



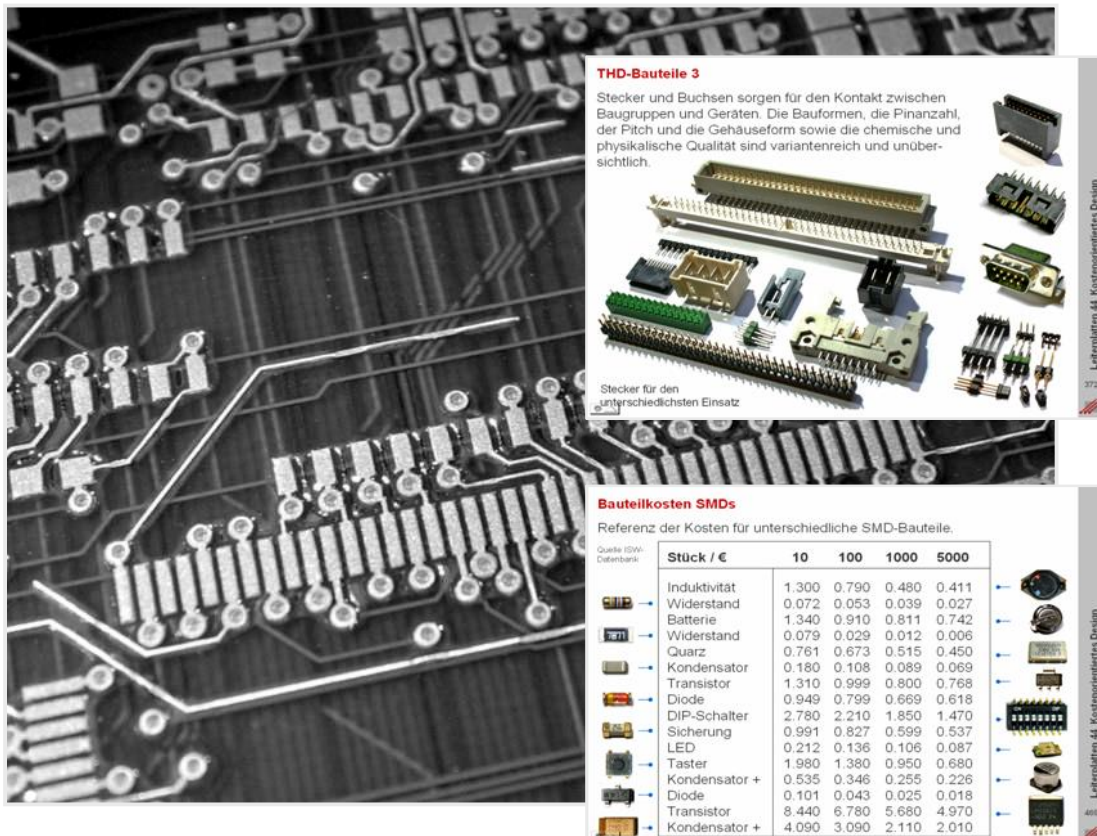
Arnold Wiemers

Seminar

Leiterplatten 44

... Kostenorientiertes Design elektronischer Baugruppen

Allgemeine und spezielle Regeln für die Kostenbeurteilung von Baugruppen. Berücksichtigung der Kostenaspekte für die Schaltplankonstruktion, das CAD-Design, die Leiterplattenfertigung und die Baugruppenproduktion. Strategien für die Kontrolle der Kosten einer Baugruppe.



THD-Bauteile 3

Stecker und Buchsen sorgen für den Kontakt zwischen Baugruppen und Geräten. Die Bauformen, die Pinanzahl, der Pitch und die Gehäuseform sowie die chemische und physikalische Qualität sind variantenreich und unübersichtlich.

Stecker für den unterschiedlichsten Einsatz

Bauteilkosten SMDs

Referenz der Kosten für unterschiedliche SMD-Bauteile.

Quelle: IDW-Datenbank

Stück / €	10	100	1000	5000
Induktivität	1.300	0.790	0.480	0.411
Widerstand	0.072	0.053	0.039	0.027
Batterie	1.340	0.910	0.811	0.742
Widerstand	0.079	0.029	0.012	0.006
Quarz	0.761	0.673	0.515	0.450
Kondensator	0.180	0.108	0.089	0.069
Transistor	1.310	0.999	0.800	0.768
Diode	0.949	0.799	0.669	0.618
DIP-Schalter	2.780	2.210	1.850	1.470
Sicherung	0.991	0.827	0.599	0.537
LED	0.212	0.136	0.106	0.087
Taster	1.980	1.380	0.950	0.680
Kondensator +	0.535	0.346	0.255	0.226
Diode	0.101	0.043	0.025	0.018
Transistor	8.440	6.780	5.680	4.970
Kondensator +	4.090	3.090	2.110	2.010

Wer wird mit dem Seminar "**Leiterplatten 44 ... Kostenorientiertes Design elektronischer Baugruppen**" angesprochen ?

Unsere Gegenwart - und erst recht unsere Zukunft - wird durch die Funktion elektromechanischer Baugruppen bestimmt. Insbesondere, wenn Stückzahlen >> 5000 hergestellt werden müssen, stehen die Kosten für die Erstellung des CAD-Designs, die Fertigung der Leiterplatte und die Produktion der Baugruppe im Vordergrund.

Das ist berechtigt. Parallel dazu steht die langfristige Zuverlässigkeit. Die Integration von Elektronik in KFZ, Landwirtschaft, Medizin, Hausbau und Kommunikation - um nur einige zu nennen - schiebt die Anforderung an die Zuverlässigkeit in den Vordergrund, und "langfristig" zielt auf die erwartete störungsfreie Funktion über Jahrzehnte.

Verantwortlich für die Fehlfunktion einer Baugruppe ist oft nur eine Bagatelle. Die Folgen für die Einsatzfähigkeit eines Produktes sind jedoch dramatisch. Der resultierende Imageverlust ist ein hohes Risiko für das Unternehmen, das für das Produkt in der Verantwortung steht. "Kosten" und "Zuverlässigkeit" dürfen sich deshalb niemals gegenüberstehen.

Es ist entscheidend, daß die Beziehung zwischen der technologischen und der wirtschaftlichen Qualität durch einen partnerschaftlichen Charakter geprägt ist.

Das Seminar "**Leiterplatten 44 ... Kostenorientiertes Design elektronischer Baugruppen**" erläutert anschaulich den Zusammenhang zwischen den Geometrien in der CAD-Bibliothek, der Produktion von Leiterplatten und Baugruppen und deren wirtschaftliche Bedeutung.

Die **Konstrukteure** elektronischer Schaltungen und die **CAD-Designer** erhalten einen Einblick in die wirtschaftlichen Rahmenbedingungen, die **Einkäufer** und **Projektleiter** in die technisch-physikalischen Anforderungen. Das Seminar fördert damit auch das partnerschaftliche Miteinander der Wirtschaftler und Technologen.

Die Themen sind ebenso interessant für alle **Entscheidungsträger im Bereich CAD-Design, Leiterplatte und Baugruppe**, deren Aufgabe es ist, Projekte führend und beratend zu begleiten.

Die elektronische Evolution : Einsatzbereiche

Chancen und Möglichkeiten

Für jede moderne Industriegesellschaft ist die Kopplung von Elektronik und Anlagentechnologie der Garant für eine stabile und erfolgreiche Zukunft.

Perspektivische Einsatzbereiche

Industrie	Automotive
Medizintechnik	Agrartechnik
Avionik	Luft- & Raumfahrt
Militärtechnik	Radio & Fernsehen
Freizeitgestaltung	Justiz & Verwaltung
Gebäudetechnik	Datentransfer
Kommunikation	Energieversorgung
IT-Sicherheit	Nautik
Straßenverkehr	Überwachung



Leiterplatten 44 Kostenorientiertes Design

Einsatzbereiche

Anwendungsbereiche elektronischer Baugruppen im privaten und industriellen Umfeld.

Perspektiven für zukünftige elektronische Baugruppen vor dem Hintergrund wirtschaftlicher und zuverlässiger Aspekte.

Kaskadierende Anforderungen 1

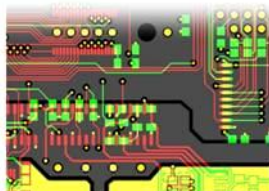
Schaltplankonstruktion

Das Schaltungskonzept fixiert einzusetzende elektronische Bauteile.
Die Bauteile fixieren die geometrischen Anforderungen an das Layout.
Das Layout fixiert den Lageraufbau und die Kosten der Leiterplatte.
Die Bauteilauswahl fixiert den Aufwand für Löt- und Reparatur.



CAD-Design

Die Layout-Geometrie fixiert die physikalischen Eigenschaften, die pauschale Produzierbarkeit und die Produktionstoleranz sowie den Ausschuss in der Fertigung.
Die Padflächen fixieren die langfristige fehlerfreie mechanische Stabilität der Bauteile auf der gelöteten Baugruppe.



Leiterplatten 44 Kostenorientiertes Design

Kaskadierende Anforderungen

Erläuterung der ganzheitlichen Zusammenhänge zwischen den vier Disziplinen Schaltplankonstruktion, CAD-Design, Leiterplattenfertigung und Baugruppenproduktion.

Die elektronische Evolution : Dokumentation

Konstruktion und Dokumentation von Printed Circuit Boards

Die Komplexität der Aufgabenstellung an eine elektronische Baugruppe zeigt sich an der Komplexität der herzustellenden Leiterplatte.

Standard...



...für einfache elektronische Geräte

...für anspruchsvolle Industrieanlagen

...für Applikationen im Highspeed-Bereich

Leiterplatten 44 Kostenorientiertes Design

Dokumentation

Organisatorische und logistische Voraussetzungen für die verbindliche und zuverlässige Dokumentation "einfacher" und komplexer Leiterplatten für die Produktion elektronischer Baugruppen.

Direkte und indirekte Kosten

Das "Kostenorientierte Design" hat die Aufgabe, Kosten entweder zu reduzieren oder im Idealfall ganz zu vermeiden.

Unnötige Kosten entstehen durch ein *unwissentlich* nicht optimiertes Design der Baugruppe.

Die Hauptquellen sind die Konstruktion des Schaltplanes und das CAD-Design.

Die Kosten teilen sich in direkte und indirekte Kosten auf.

"Direkte Kosten" entstehen während der Produktion der Baugruppe.

"Indirekte Kosten" entstehen während des Betriebs der Baugruppe.

Alle Kosten entstehen innerhalb des Zeitfensters "Beginn der Schaltplan-konstruktion" bis "Beendigung des CAD-Designs".



Leiterplatten 44 Kostenorientiertes Design

21

Direkte und indirekte Kosten

Aufteilung der Kostenstrukturen. Beachtung der direkten Kosten während der Leiterplatten- und Baugruppenproduktion. Zuordnung der indirekten Kosten während des Baugruppenbetriebs. Zeitfenster für die Entstehung von Kosten.

Kostenorientiertes Design : Automotive (Beispiel 1)

Automobile sind ohne Elektronik undenkbar. Controller, Servicemotoren, Boardkommunikation und Assistenzsysteme werden heute als Komponenten verbaut. Strom- und Wärmebelastung sind problematisch. Vibration, Temperatur, Öl und Staub sind ein kritisches Betriebsumfeld.

Alle Leiterplattenklassen (Starr, Flex, Starrflex) werden zur Lösung der Aufgabe eingesetzt. Die Aufbaugeometrien der Leiterplatten müssen sich an begrenzten Bauräumen orientieren.

Die angestrebte Kommunikation zwischen Fahrzeugen (...autonomes Fahren) und der Ausbau der Sensorik werden erhöhte Forderungen an die EMV und an die Signal- und Powerintegrität stellen. Informationstransfer im Highspeed-Modus bestimmt die Entwicklung.



Bildquelle Citroen / Internet 01-2018

Der **Einfluß der Leiterplattentechnologie** auf stabile technische Lösungen wird oft unterschätzt. Die Wahl des Basismaterials, die Dokumentation des Multilayers und die ideale Kontaktierungsstrategie sind entscheidend.

Leiterplatten 44 Kostenorientiertes Design

29

Kostenorientiertes Design

Die kommunikative Abhängigkeit elektronischer Baugruppen hinsichtlich ihrer Funktion.

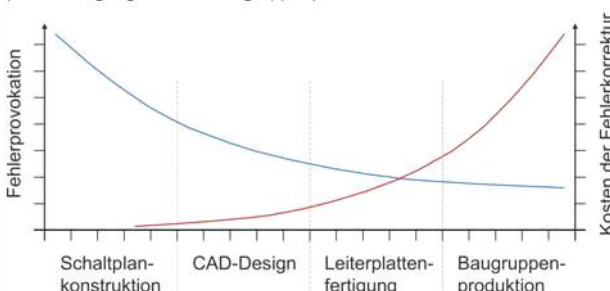
Projektbegleitung als empfehlenswerte Strategie für die korrektive Planung elektronischer Baugruppen am Beispiel der KFZ- und EMobilität.

Kostenorientiertes Design : Fehlerprovokation und Korrektur

Fehlerwahrscheinlichkeit und Kosten für die Korrektur.

Die **Wahrscheinlichkeit** für die Provokation eines Fehlers ist in der Konstruktionsphase einer elektronischen Baugruppe und im Design des CAD-Layouts am höchsten.

Die Kosten für die **Korrektur** eines Fehlers sind im Bereich der Leiterplattenfertigung und der Baugruppenproduktion am höchsten.



Leiterplatten 44 Kostenorientiertes Design

35

Fehlerprovokation

Die Fehlerwahrscheinlichkeit im Ablauf der einzelnen Phasen für die Konstruktion elektronischer Baugruppen.

Beurteilung der Kosten für die Korrektur von Fehlern in Abhängigkeit vom Konstruktionszeitpunkt.

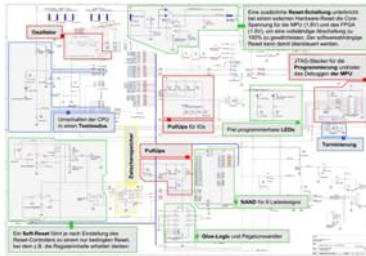
Schaltplankonstruktion : Anforderungen

Die Planung elektronischer Baugruppen hat bereits auf dem Level der **Schaltplankonstruktion** einen sehr hohen Anspruch zu erfüllen. Mit der Erstellung des Schaltplans werden die Vorgaben für die zuverlässige Produktion der späteren Baugruppe festgelegt.

Das **CAD-Layout** muß die gestellten Anforderungen begleiten und kontrollieren.

Die **Leiterplatte** muß die physikalischen Aufgaben erfüllen.

Die **Baugruppe** muß die Funktion gewährleisten.



Aufgabe

Die korrekte, fehlerfreie und informative Konstruktion eines Schaltplans sichert langfristig den Transfer und die Dokumentation der Anforderungen an das Layout und die Funktion der Baugruppe. Und spart Kosten.

Referenz : LP2010/Gerhard Eigelsreiter

Leiterplatten 44 Kostenorientiertes Design

45

Schaltplankonstruktion

Dokumentation der Verbindungen zwischen den elektromechanischen Komponenten der Baugruppe. Vorgaben an das CAD-Design über Constraints und Call Outs. Optionen für den Test der späteren zuverlässigen physikalischen Funktion der Baugruppe.

Stückliste : BOM

Die **Stückliste** (i.e. **BOM = Bill of Material**) muss die präzise Bauteilbeschreibung enthalten. Dazu gehören die Bauform, der Footprint, die Toleranzen, die Spannungsangaben, der Temperaturbereich, der Hersteller und eventuell erforderliches Zusatz-/Montagematerial.

Qnt	Bezeichnung	Einheit	Hersteller	Material
1	IC1000	1000	IC1000	IC1000
1	IC1001	1001	IC1001	IC1001
1	IC1002	1002	IC1002	IC1002
1	IC1003	1003	IC1003	IC1003
1	IC1004	1004	IC1004	IC1004
1	IC1005	1005	IC1005	IC1005
1	IC1006	1006	IC1006	IC1006
1	IC1007	1007	IC1007	IC1007
1	IC1008	1008	IC1008	IC1008
1	IC1009	1009	IC1009	IC1009
1	IC1010	1010	IC1010	IC1010
1	IC1011	1011	IC1011	IC1011
1	IC1012	1012	IC1012	IC1012
1	IC1013	1013	IC1013	IC1013
1	IC1014	1014	IC1014	IC1014
1	IC1015	1015	IC1015	IC1015
1	IC1016	1016	IC1016	IC1016
1	IC1017	1017	IC1017	IC1017
1	IC1018	1018	IC1018	IC1018
1	IC1019	1019	IC1019	IC1019
1	IC1020	1020	IC1020	IC1020
1	IC1021	1021	IC1021	IC1021
1	IC1022	1022	IC1022	IC1022
1	IC1023	1023	IC1023	IC1023
1	IC1024	1024	IC1024	IC1024
1	IC1025	1025	IC1025	IC1025
1	IC1026	1026	IC1026	IC1026
1	IC1027	1027	IC1027	IC1027
1	IC1028	1028	IC1028	IC1028
1	IC1029	1029	IC1029	IC1029
1	IC1030	1030	IC1030	IC1030
1	IC1031	1031	IC1031	IC1031
1	IC1032	1032	IC1032	IC1032
1	IC1033	1033	IC1033	IC1033
1	IC1034	1034	IC1034	IC1034
1	IC1035	1035	IC1035	IC1035
1	IC1036	1036	IC1036	IC1036
1	IC1037	1037	IC1037	IC1037
1	IC1038	1038	IC1038	IC1038
1	IC1039	1039	IC1039	IC1039
1	IC1040	1040	IC1040	IC1040
1	IC1041	1041	IC1041	IC1041
1	IC1042	1042	IC1042	IC1042
1	IC1043	1043	IC1043	IC1043
1	IC1044	1044	IC1044	IC1044
1	IC1045	1045	IC1045	IC1045
1	IC1046	1046	IC1046	IC1046
1	IC1047	1047	IC1047	IC1047
1	IC1048	1048	IC1048	IC1048
1	IC1049	1049	IC1049	IC1049
1	IC1050	1050	IC1050	IC1050
1	IC1051	1051	IC1051	IC1051
1	IC1052	1052	IC1052	IC1052
1	IC1053	1053	IC1053	IC1053
1	IC1054	1054	IC1054	IC1054
1	IC1055	1055	IC1055	IC1055
1	IC1056	1056	IC1056	IC1056
1	IC1057	1057	IC1057	IC1057
1	IC1058	1058	IC1058	IC1058
1	IC1059	1059	IC1059	IC1059
1	IC1060	1060	IC1060	IC1060
1	IC1061	1061	IC1061	IC1061
1	IC1062	1062	IC1062	IC1062
1	IC1063	1063	IC1063	IC1063
1	IC1064	1064	IC1064	IC1064
1	IC1065	1065	IC1065	IC1065
1	IC1066	1066	IC1066	IC1066
1	IC1067	1067	IC1067	IC1067
1	IC1068	1068	IC1068	IC1068
1	IC1069	1069	IC1069	IC1069
1	IC1070	1070	IC1070	IC1070
1	IC1071	1071	IC1071	IC1071
1	IC1072	1072	IC1072	IC1072
1	IC1073	1073	IC1073	IC1073
1	IC1074	1074	IC1074	IC1074
1	IC1075	1075	IC1075	IC1075
1	IC1076	1076	IC1076	IC1076
1	IC1077	1077	IC1077	IC1077
1	IC1078	1078	IC1078	IC1078
1	IC1079	1079	IC1079	IC1079
1	IC1080	1080	IC1080	IC1080
1	IC1081	1081	IC1081	IC1081
1	IC1082	1082	IC1082	IC1082
1	IC1083	1083	IC1083	IC1083
1	IC1084	1084	IC1084	IC1084
1	IC1085	1085	IC1085	IC1085
1	IC1086	1086	IC1086	IC1086
1	IC1087	1087	IC1087	IC1087
1	IC1088	1088	IC1088	IC1088
1	IC1089	1089	IC1089	IC1089
1	IC1090	1090	IC1090	IC1090
1	IC1091	1091	IC1091	IC1091
1	IC1092	1092	IC1092	IC1092
1	IC1093	1093	IC1093	IC1093
1	IC1094	1094	IC1094	IC1094
1	IC1095	1095	IC1095	IC1095
1	IC1096	1096	IC1096	IC1096
1	IC1097	1097	IC1097	IC1097
1	IC1098	1098	IC1098	IC1098
1	IC1099	1099	IC1099	IC1099
1	IC1100	1100	IC1100	IC1100
1	IC1101	1101	IC1101	IC1101
1	IC1102	1102	IC1102	IC1102
1	IC1103	1103	IC1103	IC1103
1	IC1104	1104	IC1104	IC1104
1	IC1105	1105	IC1105	IC1105
1	IC1106	1106	IC1106	IC1106
1	IC1107	1107	IC1107	IC1107
1	IC1108	1108	IC1108	IC1108
1	IC1109	1109	IC1109	IC1109
1	IC1110	1110	IC1110	IC1110
1	IC1111	1111	IC1111	IC1111
1	IC1112	1112	IC1112	IC1112
1	IC1113	1113	IC1113	IC1113
1	IC1114	1114	IC1114	IC1114
1	IC1115	1115	IC1115	IC1115
1	IC1116	1116	IC1116	IC1116
1	IC1117	1117	IC1117	IC1117
1	IC1118	1118	IC1118	IC1118
1	IC1119	1119	IC1119	IC1119
1	IC1120	1120	IC1120	IC1120
1	IC1121	1121	IC1121	IC1121
1	IC1122	1122	IC1122	IC1122
1	IC1123	1123	IC1123	IC1123
1	IC1124	1124	IC1124	IC1124
1	IC1125	1125	IC1125	IC1125
1	IC1126	1126	IC1126	IC1126
1	IC1127	1127	IC1127	IC1127
1	IC1128	1128	IC1128	IC1128
1	IC1129	1129	IC1129	IC1129
1	IC1130	1130	IC1130	IC1130
1	IC1131	1131	IC1131	IC1131
1	IC1132	1132	IC1132	IC1132
1	IC1133	1133	IC1133	IC1133
1	IC1134	1134	IC1134	IC1134
1	IC1135	1135	IC1135	IC1135
1	IC1136	1136	IC1136	IC1136
1	IC1137	1137	IC1137	IC1137
1	IC1138	1138	IC1138	IC1138
1	IC1139	1139	IC1139	IC1139
1	IC1140	1140	IC1140	IC1140
1	IC1141	1141	IC1141	IC1141
1	IC1142	1142	IC1142	IC1142
1	IC1143	1143	IC1143	IC1143
1	IC1144	1144	IC1144	IC1144
1	IC1145	1145	IC1145	IC1145
1	IC1146	1146	IC1146	IC1146
1	IC1147	1147	IC1147	IC1147
1	IC1148	1148	IC1148	IC1148
1	IC1149	1149	IC1149	IC1149
1	IC1150	1150	IC1150	IC1150
1	IC1151	1151	IC1151	IC1151
1	IC1152	1152	IC1152	IC1152
1	IC1153	1153	IC1153	IC1153
1	IC1154	1154	IC1154	IC1154
1	IC1155	1155	IC1155	IC1155
1	IC1156	1156	IC1156	IC1156
1	IC1157	1157	IC1157	IC1157
1	IC1158	1158	IC1158	IC1158
1	IC1159	1159	IC1159	IC1159
1	IC1160	1160	IC1160	IC1160
1	IC1161	1161	IC1161	IC1161
1	IC1162	1162	IC1162	IC1162
1	IC1163	1163	IC1163	IC1163
1	IC1164	1164	IC1164	IC1164
1	IC1165	1165	IC1165	IC1165
1	IC1166	1166	IC1166	IC1166
1	IC1167	1167	IC1167	IC1167
1	IC1168	1168	IC1168	IC1168
1	IC1169	1169	IC1169	IC1169
1	IC1170	1170	IC1170	IC1170
1	IC1171	1171	IC1171	IC1171
1	IC1172	1172	IC1172	IC1172
1	IC1173	1173	IC1173	IC1173
1	IC1174	1174	IC1174	IC1174
1	IC1175	1175	IC1175	IC1175
1	IC1176	1176	IC1176	IC1176
1	IC1177	1177	IC1177	IC1177
1	IC1178	1178	IC1178	IC1178
1	IC1179	1179	IC1179	IC1179
1	IC1180	1180	IC1180	IC1180
1	IC1181	1181	IC1181	IC1181
1	IC1182	1182	IC1182	IC1182
1	IC1183	1183	IC1183	IC1183
1	IC1184	1184	IC1184	IC1184
1	IC1185	1185	IC1185	IC1185
1	IC1186	1186	IC1186	IC1186
1	IC1187	1187	IC1187	IC1187
1	IC1188	1188	IC1188	IC1188
1	IC1189	1189	IC1189	IC1189
1	IC1190	1190	IC1190	IC1190
1	IC1191	1191	IC1191	IC1191
1	IC1192	1192	IC1192	IC1192
1	IC1193	1193	IC1193	IC1193
1	IC1194	1194	IC1194	IC1194
1	IC1195	1195	IC1195	IC1195
1	IC1196	1196	IC1196	IC1196
1	IC1197	1197	IC1197	IC1197
1	IC1198	1198	IC1198	IC1198
1	IC1199	1199	IC1199	IC1199
1	IC1200	1200	IC1200	IC1200

Quelle : J. Vincenz

Leiterplatten 44 Kostenorientiertes Design

55

Bill of Material (Stückliste, BOM)

Listung der einzusetzenden (und einzukaufenden) Komponenten. Vorentscheidungen für die Logistik und die AVT (~ Aufbau- und Verbindungstechnologie) für das CAD-Design und die Fertigung der Leiterplatten und Baugruppen.

Stückliste : BTC

Die kontinuierliche Reduzierung der Geometrien der SMD-Bauteile ist nicht von jedem Baugruppenproduzenten in der Bestückung umsetzbar. Üblicherweise kann die Geometrie 0402 international von jedem Baugruppenproduzenten bestückt werden. Für Bauteile ab 0201 oder kleiner liegen die Kosten für die Baugruppenproduktion um zirka 20% höher und die Anzahl an international auswählbaren Lieferanten nimmt deutlich ab.



1206 (SMD-Bauform)



0603

Gleiche Vorgaben gelten für BTCs (Bottom Termination Components), deren Lötflächengeometrien eine große Herausforderung an die Anlagentechnologie des Baugruppenproduzenten und an die Lötqualität stellen.

Viele Unternehmen reagieren darauf und verknüpfen die Bibliotheken für die



BCT 24-polig

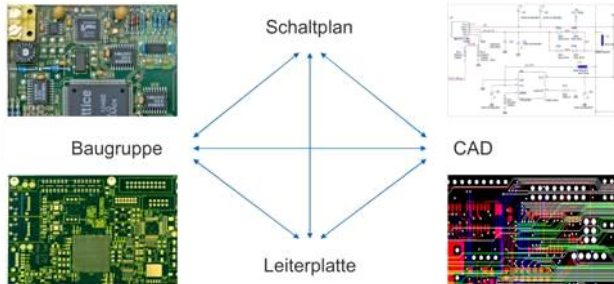
Schaltplankonstruktion und das CAD-Design mit internen Datenbanken, die Bauteile < 0402 oder in BTC-Bauform aus Kostengründen nicht im CAD-Layout zulassen.

Leiterplatten 44 Kostenorientiertes Design

Kommunikation

Wissen ist alles...

Die Qualität einer Baugruppe hängt wesentlich von den möglichen Interaktionen der Partner Schaltplan, CAD-Design, Leiterplattenfertigung und Baugruppenproduktion ab.



Mit zunehmender Kommunikation nimmt die Qualität einer Baugruppe zu und das Fehlerrisiko und die Gesamtkosten nehmen ab.

Leiterplatten 44 Kostenorientiertes Design

60

Kommunikation

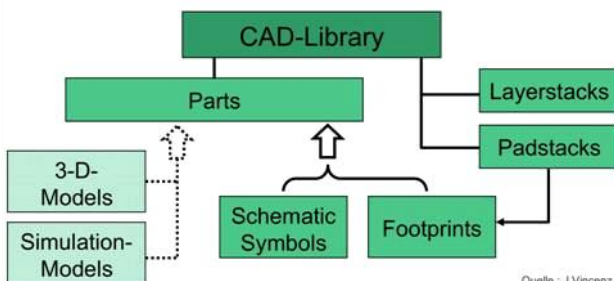
Qualitätsbestimmende Vorteile bei einer ausgereiften Kommunikation zwischen den Partnern für die Konstruktion und Produktion einer elektromechanischen Baugruppe. Kontrolle des Fehlerrisikos. Vorgaben für die Qualitätskontrolle.

Informationen in der CAD-Bibliothek

Die Bibliothek ist üblicherweise unterteilt in die Bereiche "Parts Library", "Schematic Library" und "Footprint Library".

Padstacks und Layerstacks

Ebenfalls sind "Padstacks" und "Layerstacks" als Bibliothekselemente zu werten. Sie bestimmen die langfristige Zuverlässigkeit und die dokumentarische Qualität einer Baugruppe.



Leiterplatten 44 Kostenorientiertes Design

68

CAD-Bibliothek

Notwendige Basisinformationen in der CAD-Bibliothek/-Datenbank. Padstacks als definitive Vorgabe für die Produktion der Leiterplatte und der Baugruppe. Layerstacks als nachvollziehbare Dokumentation der Anforderungen an eine Baugruppe.

Padstack : Sicherheitsabstände (Funktion)

Für den sicheren Betrieb einer Baugruppe müssen Sicherheitsabstände eingehalten werden. Die Abstände der Leitungen (~ Tracks) und der Lötflächen (~ Pads) zueinander orientieren sich am zur Verfügung stehen Raum im Layout und an physikalischen Vorgaben (z.B. Impedanzwerte).

Die Optionen für die Vorgabe von Sicherheitsabständen zu den einzelnen Elementen eines CAD-Designs werden durch die CAD-Software festgelegt. Daraus können zusätzliche Kosten für die Leiterplatte entstehen.

Design	Design						
	Track	Pad	Via	Testpoint	Mounting Hole	Copper	Text
Track	0.150	0.150	0.150	0.200	0.300	0.150	0.150
Pad	0.150	0.150	0.150	0.150	0.300	0.200	0.200
Via	0.150	0.150	0.150	0.150	0.300	0.200	0.200
Testpoint	0.200	0.150	0.150	2.000	0.300	0.150	0.200
Mounting Hole	0.300	0.300	0.300	0.300	0.300	0.500	0.300
Copper	0.150	0.200	0.200	0.150	0.500	0.150	0.250
Text	0.150	0.200	0.200	0.200	0.300	0.250	0.150
Board	0.500	0.500	0.500	0.500	0.300	0.500	0.500

Sicherheitsabstände zwischen geometrischen Strukturen

Bildquelle: J. Vincenz

Leiterplatten 44 Kostenorientiertes Design

75

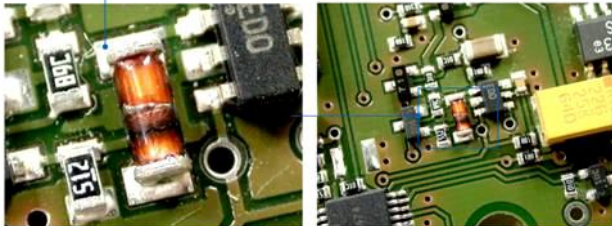
Design-Vorgaben

Grundlegende Parameter für das Routing des CAD-Designs. Möglichkeiten automatischer Vorgaben seitens der CAD-Software und erforderliche manuelle Ergänzungen zur Vermeidung kostenintensiver Mängel.

Padstack : Kosten und Risiken 1

Die Definition der Padstack-Geometrie in der CAD-Bibliothek hat einen direkten Einfluß auf die Produktions- und Betriebsrisiken der späteren Baugruppe.

Beispiel 1 Für die Bestückungsseite ist im Padstack für die Diode mit der Bauform "minimelf" eine zu große Lötfläche zugeordnet und die Lötflächen sind zu weit auseinander. Die Diode sitzt nicht mittig, kann sich verdrehen und so eine Unterschreitung des Sicherheitsabstands in der 3. Dimension provozieren. Es entstehen Kosten für zu viel Lotpaste.



Leiterplatten 44 Kostenorientiertes Design 77

Kosten und Risiken

Einfluß der Padstack-Geometrien auf die Positionierung von SMD-Komponenten während der Bestückung und Lötung.

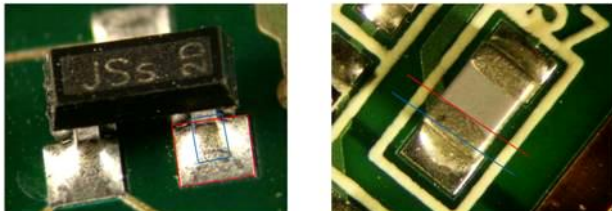
Bewertung der Anschlußflächen-geometrie auf das Lötergebnis und die Funktion der Baugruppe.

Padstacks für SMD-Bauteile

Regel (SMD-Padstacks)

Die Geometrie der Padstacks muß an die Geometrie der SMDs angepaßt sein.

Zu große Lötflächen führen zu Verdrehungen und Verschiebungen oder zu einem unnötigem Verbrauch von Lotpaste. Daraus entstehen Risiken und Kosten.



Leiterplatten 44 Kostenorientiertes Design 102

Padstacks

Analyse der Konfiguration der Anschlußflächen mit Referenz zur CAD-Bibliothek/-Datenbank. Verschiebung und Rotation der Komponenten sowie erhöhter Lotpastenverbrauch als Folge unangepaßter Landpatterngeometrien.

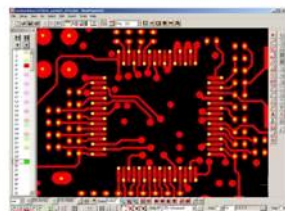
Layerstack : Erweiterungen + Dokumentation 2

Beispiel 1 (Elektronische Prüfung)

Die elektronische Prüfung setzt die mechanische Adaption der Lötstelle voraus. Der vollautomatische Test kann über einen Stiftadapter (Andruckkraft um 200p) oder einen Flying Prober (Andruckkraft um 10p) erfolgen. Das Prüfprogramm erstellt die CAM des Leiterplattenherstellers. Dort kann nicht immer erkannt werden, welches Montageverfahren (Löten oder Bonden) vorgesehen ist. Effektiver ist, die Adaption in der CAD-Bauteilbibliothek zu hinterlegen.

Adaptionsstrategie für die elektronische Prüfung

-  Flying Prober
Stiftadapter
(Löten)
-  Flying Prober
(Löten)
-  Flying Prober
(Bonden)



Leiterplatten 44 Kostenorientiertes Design 107

Layerstacks

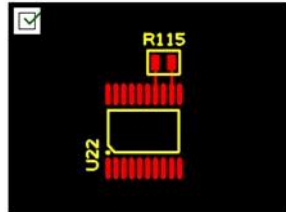
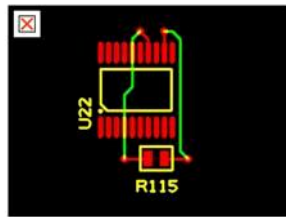
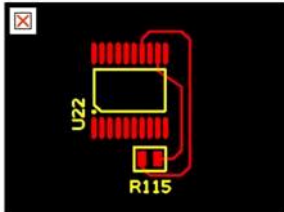
Optionen seitens CAD zur Optimierung der Dokumentation zu einem Layout.

Anlage individueller Layer für den E.-Test und die Bestückung in den CAD-Daten ergänzend zu den Standard-Layerstacks.

Placement : Signalweglänge 2

Beispiel 2 Der für ein CAD-Layout benötigte Raum wird durch das parallele Handling von Routing und Platzierung optimal und effektiv ausgenutzt. Das geht üblicherweise nur bei einem manuellen Routen.

Ein "einfaches" Layout reduziert immer die Kosten und das Risiko für den Betrieb einer Baugruppe.



Leiterplatten 44 Kostenorientiertes Design

122

Placement

Grundstrategien für die Platzierung von Komponenten im CAD-Layout. Reduzierung von Vias und Leiterbahnlängen zur optimierten Auslastung des Flächenbedarfs und zur physikalisch stabileren Funktion der Baugruppe.

Placement : Unzureichender Sicherheitsabstand

Der DRC (~ Design Rule Check) des CAD-Systems prüft nicht nur auf die Vollständigkeit der Netze sondern u.a. auch auf ein Overlapping (~ ein Überlagern) der Bauteile auf der späteren bestückten Leiterplatte.

Der Platzbedarf eines Bauteils ist als Outline in den Bauteilmakros der CAD-Bibliothek festgelegt. Für die fehlerfreie Bestückung müssen benachbarte Komponenten ausreichenden Abstand haben.

Eine zu ungenau in der Datenbank hinterlegte Outline bringt Bauteile in Kontakt. Insbesondere die Wärmeübergabe von Spulen an Kondensatoren provoziert ein Ausgasen des Dielektrikums und läßt Baugruppen Jahre zu früh ausfallen. Es entstehen Kosten.



Leiterplatten 44 Kostenorientiertes Design

120

Placement

Festlegung des Platzbedarfs für elektromechanische Komponenten in der CAD-Datenbank mit Blick auf die spätere Bestückung. Interpretationen seitens des Design-Rule-Checks. Risikoreiche Placements.

Routing : Signalplanes

Die Komplexität der Verdrahtung orientiert sich an der Menge der zu platzierenden elektromechanischen Bauteile, an der Anzahl der Pins pro Fläche, am Pitch und an der Bauteilvariante SMD oder THD.

Hochdichte Bauteile erhöhen die Lagenanzahl in einem Multilayer und damit die Kosten für die Leiterplatte.

Die Bestückungskosten hängen *nicht* von der Lagenanzahl ab.

12-Lagen-Multilayer Auf 3 innenliegenden Signallagen werden nur zirka 18% der Fläche für das Routing benötigt.



Leiterplatten 44 Kostenorientiertes Design

128

Routing

Optimierung des Routings vor dem Hintergrund der Komplexität der Komponenten und dem Lagenaufbau der Leiterplatte. Berücksichtigung des Bauteilpitch und der Anschlußdichte.

Toleranzraum : Grenzwert

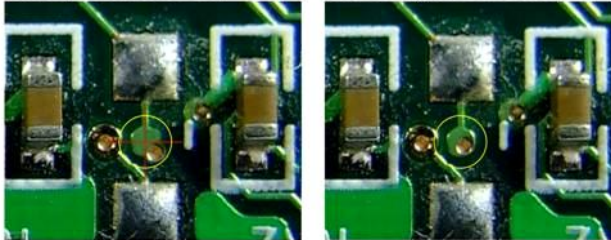
Das Viapad ist im Padstack der CAD-Bibliothek geometrisch reduziert, um nicht übermäßig Platz im CAD-Layout zu blockieren.

Regel (Viapassung)

Die Via Bohrung darf *niemals* außerhalb des zugehörigen Viapads liegen.

Fehler (→ Retuschiert Wi) ☒

Grenzwertig aber in Ordnung ☒



Problem In der gerne zitierten IPC-A600 ist die fehlerhafte Variante für Class 2 freigegeben. Der reduzierte Sicherheitsabstand auf den Powerplanes von Multilayern wird in der Richtlinie nicht berücksichtigt.

Leiterplatten 44 Kostenorientiertes Design

157

Design-Regelwerke

Interpretation der Verbindlichkeit international üblicher Regelwerke vor dem Hintergrund der sich entwickelnden Technologie für die Produktion von Leiterplatten und Baugruppen.

Erforderliche Anpassungen an die aktuellen Regeln der Hersteller.

Abstand für Vias in Pads (Lötfläche < Toleranzraum) 1c

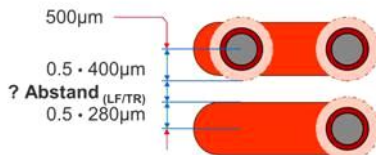
Beispiel (Berechnung des Abstandes LF/TR)

Folgende Werte sind gegeben :

500µm Pitch
400µm Toleranzraum (~ Viadurchmesser 100µm, BWzg 200µm)
280µm Lötfläche (minimale Breite)



Für das Löten ist ein Abstand_(LF/TR) von 200µm erforderlich. Kann dieser Abstand eingehalten werden ?



Es ist :

$$\begin{aligned} \text{Abstand}_{(LF/TR)} &= \text{Pitch} - 0.5 \cdot (\text{Lötfläche} + \text{Toleranzraum}) \\ &= 500\mu\text{m} - 0.5 \cdot (280\mu\text{m} + 400\mu\text{m}) = 500\mu\text{m} - 340\mu\text{m} \\ &= 160\mu\text{m} \end{aligned}$$

Der geforderte Abstand von 200µm kann *nicht* eingehalten werden.

Leiterplatten 44 Kostenorientiertes Design

163

Lötflächen

Abgleich der Regeln für den Design-Rule-Check am CAD-System mit den Regeln für die Bestückung von Leiterplatten.

Erweiterung der Vorgaben für das Routing von Vias in SMD-Flächen unter Beachtung der Toleranzen für den Lotpastendruck.

Bewertung der Fertigungsschritte : Leiterplattenfertigung

Kostenreferenz (Fertigungsschritte)

Die Kosten orientieren sich zu zirka 20% an der individuellen Leiterplatte und zu zirka 80% am pauschalen Produktionsnutzen.

Arbeitsschritt	Leiterplatte	Produktionsnutzen
Materialausgabe		●
BuriedVias bohren	●	
Kontaktieren (BuriedVias)		●
Laminieren		●
Leiterbildbelichtung (innen)		●
Verpressen/Verkleben		●
dk-/THD-Bohren	●	
Laservias	●	
Lötstopdruck		●
Bestückungsdruck, Viadruck		●
Endoberfläche		●
Elektronische Prüfung	●	
Impedanztest		●
Kontur bearbeiten	●	

Leiterplatten 44 Kostenorientiertes Design

199

Kosten der Leiterplatte

Zuordnung der Kosten für die Produktion von Leiterplatten in Abhängigkeit von den durchzuführenden Arbeitsschritten.

Pauschale Kosten mit Referenz auf den Produktionsnutzen. Individuelle Kosten mit Referenz auf die Eigenschaften der Leiterplatte.

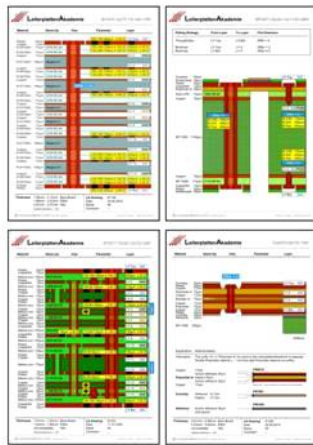
Dokumentation von Leiterplatten

Hinweis (Dokumentation)

Leiterplatten haben eine extrem hohe Individualität. Basismaterial, Lagenaufbau und Kontaktierung geben den Ausschlag für die zuverlässige Funktion der Geräte und Maschinen, in denen die Baugruppen eingesetzt werden. Für die Kommunikation zwischen den Partnern CAD, Leiterplatte und Baugruppe ist die Dokumentation der Leiterplatte *sehr* wichtig.

Hinweis (Entsorgung)

Die chemische Konstellation der Basismaterial ist veränderlich und komplex. Für die spätere rechtlich vorgeschriebene Entsorgung ist die Dokumentation unverzichtbar.



Leiterplatten 44 Kostenorientiertes Design

350

Leiterplattenvarianten

Logistik für die Individualisierung und Dokumentation von Leiterplatten.

Die mögliche und notwendige Einbindung der eingesetzten Basismaterialien in die Datenbank des CAD-Systems.

Spezifikation von Leiterplatten und Baugruppen 20

Bauteile (SMD (Top))

Die Option "nein" schließt SMD-Bauteile auf dem Toplayer aus. Mit der Option "ja" werden dem Toplayer Bauteile zugeordnet. Damit die Komplexität und die Prüfkosten abgeschätzt werden können, muß die Anzahl der SMD-Flächen angegeben werden sowie die kleinste SMD-Bauform.

Bauteile (SMD (Bottom))

Die Option "nein" schließt SMD-Bauteile auf dem Bottomlayer aus. Mit der Option "ja" werden dem Bottomlayer Bauteile zugeordnet. Auch hier muß die Anzahl der SMD-Flächen angegeben werden sowie die kleinste SMD-Bauform.



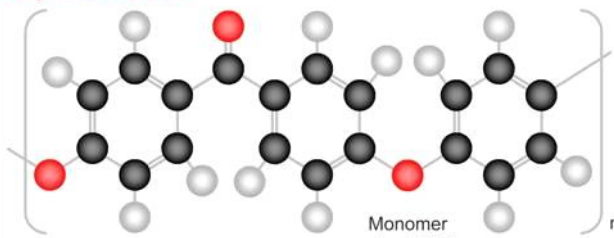
Leiterplatten 44 Kostenorientiertes Design

334

Spezifikation

Spezifikation der Leiterplatte unter ergänzender Berücksichtigung der Anforderungen an die Produktion der Baugruppe.

Polyetheretherketon



Polyetheretherketon PEEK KetaSpire Gatone Victrex

Polyetheretherketon ist ein beigefarbener und hochtemperaturbeständiger thermoplastischer Kunststoff. Die Schmelztemperatur beträgt 335° C. PEEK ist beständig gegen viele organische und anorganische Chemikalien. Unbeständig ist es gegen UV-Strahlung, konzentrierte Salpetersäure, allgemein saure oxidierende Bedingungen und gegen einige Halogenkohlenwasserstoffe. PEEK löst sich in konzentrierter Schwefelsäure bei Raumtemperatur vollständig auf.

● Kohlenstoff ● Sauerstoff ● Wasserstoff

Leiterplatten 44 Kostenorientiertes Design

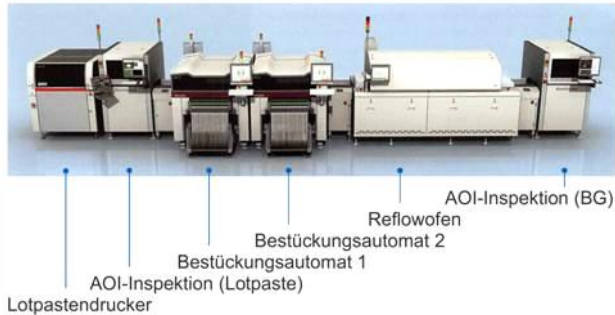
304

Chemie

Ein (kurzer) Einblick in die Chemie von Basismaterialien. Anforderungen an das Dielektrikum von Leiterplatten. Einschränkungen seitens RoHs und notwendige Vorgaben für die spätere Entsorgung gemäß WEEE und weiterer rechtlicher Vorgaben.

Bestückungslinie

Erforderliche Automatenkonstellation für die Produktion von Baugruppen.



Die Automaten können erweitert werden um Zu- und Abstapelsysteme. Zusätzliche Arbeitsplätze für die händische Nachbestückung und/oder Repair und/oder diverse Funktionstests sind üblich.

Bild- und Textquelle PRODUCTRONIC 11-2016

Leiterplatten 44 Kostenorientiertes Design

366

Baugruppenproduktion

Eine Übersicht zu der Anlagentechnologie für die Produktion elektromechanischer Baugruppen.

Erläuterung des Prozeßablaufs.

Vorgaben für die Bestückung von THDs und/oder SMDs.

Wellen- und Reflowlöten, Bonden und Einpressen.

THD-Bauteile 2

Auch innerhalb einer Typgruppe von Bauteilen können die Bauformen sehr unterschiedlich sein. Für eine problemlose Bestückung müssen die Geometrien aller Bauteile in der CAD-Bibliothek korrekt angelegt worden sein und idealerweise für Tests in 3D räumlich dargestellt werden können.



Leiterplatten 44 Kostenorientiertes Design

371

Bauteile

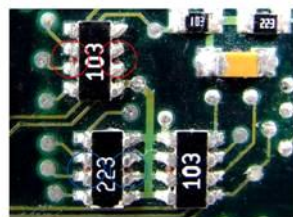
Lagerung, Transport und Vorbereitung der Bestückung von THD- und SMD-Komponenten.

Eine Einsicht in die Vielfalt von Bauformen. Bewertung der Qualität der Lötergebnisse im Zusammenhang mit der Definition der Padstacks in der CAD-Bibliothek.

SMDs wellenlöten 3

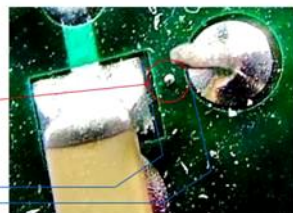
Beispiel (SMD-Widerstandsarrays)

Mehrpole Bauteile müssen so verklebt werden, daß eine Rotation ausgeschlossen ist. Gibt der Baugruppenproduzent die Klebpositionen vor, dann ist eine Annotation an CAD unverzichtbar, damit dort die Baugruppenfertigung vollständig dokumentiert ist.



Beispiel (SMDs und THDs)

Die Verschleppung und die kritische Bildung von Lotperlen Lot muß unbedingt vermieden werden, wenn über die Welle gelötet wird. Direkt nebeneinander liegende Lötflächen müssen einen Mindestabstand von 800µm haben.



Leiterplatten 44 Kostenorientiertes Design

385

AVT und Repair

Strategien für die Aufbau- und Verbindungstechnologie elektromechanischer Komponenten auf Leiterplatten.

Ursachen für fehlerhafte Lötverbindungen und/oder Lotperlen.

Vorgaben für die korrekte Reparatur von Baugruppen.

Bauteilkosten SMDs

Referenz der Kosten für unterschiedliche SMD-Bauteile.

Quelle ISW-Datenbank

Stück / €	10	100	1000	5000
Induktivität	1.300	0.790	0.480	0.411
Widerstand	0.072	0.053	0.039	0.027
Batterie	1.340	0.910	0.811	0.742
Widerstand	0.079	0.029	0.012	0.006
Quarz	0.761	0.673	0.515	0.450
Kondensator	0.180	0.108	0.089	0.069
Transistor	1.310	0.999	0.800	0.768
Diode	0.949	0.799	0.669	0.618
DIP-Schalter	2.780	2.210	1.850	1.470
Sicherung	0.991	0.827	0.599	0.537
LED	0.212	0.136	0.106	0.087
Taster	1.980	1.380	0.950	0.680
Kondensator +	0.535	0.346	0.255	0.226
Diode	0.101	0.043	0.025	0.018
Transistor	8.440	6.780	5.680	4.970
Kondensator +	4.090	3.090	2.110	2.010

Leiterplatten 44 Kostenorientiertes Design

Bauteilkosten

Übersicht zu ausgewählten SMD-Komponenten. Vergleich der Bauteilkosten nach Funktion und Bauform.

Preisgestaltung in Abhängigkeit von der Stückzahl.

Liefervarianten Stange, Rolle, Tray.

Bauteilkosten : Varianz bei Widerständen (Beispiel)

Die Kosten für ein Bauteil orientieren sich vornehmlich an Funktion, Bauform, Strom- und Temperaturbelastbarkeit. Formell "gleiche" Bauteile kosten unterschiedlich.

Bauform	EUR/Stück bei 5000	Max	Min	MWert	Anzahl
0201 (0.60x0.30mm)	Widerstand	0.011	0.008	0.009	40
1411 (3.50x2.80mm)	Widerstand	0.040	0.006	0.013	15
Melf (L5.8xD2.2mm)	Widerstand	0.053	0.009	0.011	38
RM 7.62mm axial	Widerstand	0.080	0.020	0.075	12
Minimelf (L3.6xD1.4mm)	Widerstand	0.130	0.004	0.024	211
1812 wide (4.60x3.20mm)	Widerstand	0.136	0.085	0.100	21
1210 (3.20x2.50mm)	Widerstand	0.249	0.005	0.055	81
0805 (2.00x1.25mm)	Widerstand	0.252	0.004	0.006	1486
RM 15.24mm axial D3.0mm	Widerstand	0.270	0.146	0.259	43
0402 (1.00x0.50mm)	Widerstand	0.302	0.002	0.004	1846
1206 (3.20x1.60mm)	Widerstand	0.318	0.004	0.018	790
0603 (1.60x0.80mm)	Widerstand	0.330	0.003	0.006	5184
RM 20.32mm axial D5.0mm	Widerstand	0.450	0.160	0.241	9
2512 (6.35x3.20mm)	Widerstand	0.530	0.008	0.087	138

Quelle ISW Datenbank

Leiterplatten 44 Kostenorientiertes Design

Bauteilkosten

Bauteilkosten für die Standardkomponenten Widerstand, Diode und Kondensator mit Referenz zum Bauteilgehäuse.

Maximal-, Minimal- und Mittelwerte.

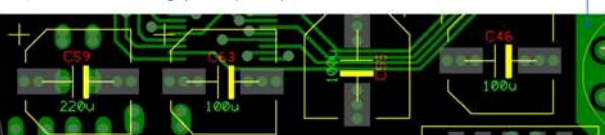
Kostenabschätzung 2

Informationen zum Zeitpunkt des CAD-Layouts

- + BOM (Bauteilliste, Bill of Material)
- + Spezifikation der Leiterplatte (Basismaterial, Tg, RoHs,...)
- + Technische Zeichnung (Leiterplatte)
- + Gerber-Daten (Leiterbilder für die Produktion der LP)
- + Excellon-/Sieb&Meyer-Daten (Bohren, Fräsen, Lasern, Ritzen)
- + Bestückungspläne (Vorbereitung der Baugruppenproduktion)
- + Bestückungsfiles (Data zur Automatenbestückung)

Informationen zum Zeitpunkt der Leiterplattenfertigung

- + Lagenaufbau als Dokument (i.e. Multilayerbauplan)
- + Leiterplattenspezifikation (Basismaterialreferenz)
- + Musterrückstellung (Leiterplatte)



Leiterplatten 44 Kostenorientiertes Design

Kostenabschätzung

Im Vorfeld eines Projektes die Abschätzung der Gesamtkosten für eine Leiterplatte und/oder eine Baugruppe auf der Basis der Informationen im Schaltplan und/oder im CAD-Layout.

Möglichkeiten einer aussagefähigen Expertise.

Ihr Referent



Arnold Wiemers Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, den Fertigungsablauf und die Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Teilhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH mit Sitz in Berlin.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).

Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.

Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.

Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das 2-tägige Seminar "**Leiterplatten 44 ... Kostenorientiertes Design elektronischer Baugruppen**" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht Ihnen InHouse als Präsenz- oder Online-Seminar zur Verfügung.

Wir schulen in Deutschland, Österreich und der Schweiz.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Wir informieren Sie über die Termine unserer Seminare via Mailing, eMail, Internet oder die Fachpresse.

Die Teilnahmegebühr beträgt 890 € für das Präsenz- und 810 € für das Online-Seminar. Die Gebühren gelten pro Person und sind zzgl. MwSt. Enthalten sind die Seminarunterlagen und das Zertifikat. Im Präsenzseminar zusätzlich die Mittagessen und Getränke.

Konferenz-Seminar

Wenn Sie "**Leiterplatten 44 ... Kostenorientiertes Design elektronischer Baugruppen**" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

Das Seminar "**Leiterplatten 44 ... Kostenorientiertes Design elektronischer Baugruppen**" wird von uns auch InHouse referiert. Sie sparen Teilnahmegebühren sowie Reise- und Übernachtungskosten.

Für 3.150,00 € zzgl. MwSt. kommt unser Referent zu Ihnen ins Haus bei einer Teilnahme von 6 Personen. Für mehr/weniger als 4 Teilnehmer unterbreiten wir Ihnen gerne ein angepaßtes Angebot.

Jeder Teilnehmer erhält ausführliche Seminarunterlagen und das Teilnahmezertifikat. Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich.

Bitte stimmen Sie sich für Online-Seminare mit uns ab.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare im Januar, Juli und August.



Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon

(030) 34 35 18 99

Telefax

(030) 34 35 19 02

eMail

info@leiterplattenakademie.de

Internet

www.leiterplattenakademie.de