



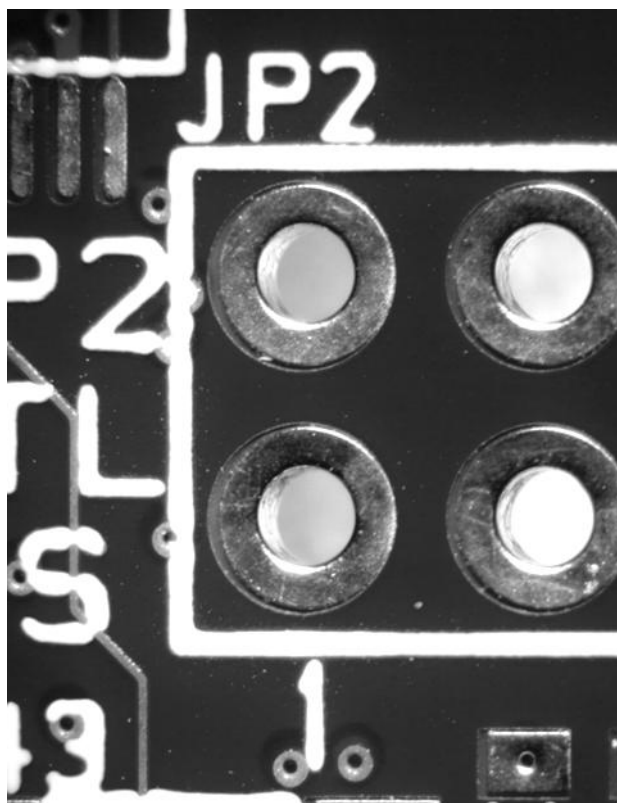
Arnold Wiemers

Seminar und Tutorial

Leiterplatten 54

...LP*Verifikation*

Strategien, Vorgaben und Möglichkeiten für
die Verifikation von unbestückten Leiterplatten



Elektronische Prüfung : Flying Prober

Hinweis (Testadaption)
Der Produktionszuschnitt kann von beiden Seiten (i.e. Top und Bottom) über Probes adaptiert werden. Die Lebensdauer der Probes kann 20 Millionen Kontakte erreichen.

Finger Probe (Kontaktabnahme)
Wenn auf Pads mit weichen Oberflächen (z.B. „Chemisch Gold“) keine Abdrücke sein dürfen, dann müssen separate Kontaktflächen im CAD-Design vorgesehen werden, die den Finger-Probes zur Kontaktabnahme dienen.

Insbesondere Bondflächen für die Chipmontage und Lötflächen für SMD-Bauformen < 0603 müssen plan sein und unbeschädigt bleiben.

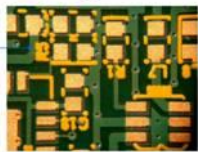


Automatisch nicht prüfbare Strukturen : Bestückungsdruck

Beispiel (Bestückungsdruck 1)
Der freigestellte Bestückungsdruck ist informationsfrei und unbrauchbar.

Beispiel (Bestückungsdruck 2)
Angedruckte Pads sind elektronisch praktisch nicht prüfbar.

Beispiel (Bestückungsdruck 3)
Durch den Bestückungsdruck verschlossene Vias.



Leiterplatten 54 ...LP*Verifikation*

Wer wird mit dem Seminar "**Leiterplatten 54 ...LPVerifikation**" angesprochen?

Das Halbtagsseminar informiert über die Prüfverfahren, die während der Produktion von Leiterplatten zum Einsatz kommen können.

Zu den offensichtlichen mechanischen Eigenschaften einer Leiterplatte gehören Längen, Breiten und Dicken sowie die Bohrdurchmesser der THT-Bohrungen und der Vias. Falls erforderlich, können physikalische Parameter gemessen werden. Dies betrifft zur Zeit hauptsächlich die Impedanz von Signalleiterbahnen.

Die Analyse von Schliffbildern erlaubt Expertisen zum inneren Aufbau von Multilayern und zu Schichtdicken in der Hülse.

Die Verifikation der Qualität einer Leiterplatte sichert die Zuverlässigkeit und die Funktion der elektronischen Baugruppe weitestgehend ab.

Für **CAD-Designer/innen** sind die nachprüfbaren Eigenschaften einer Leiterplatte eine Leitlinie für die Spezifikation eines Layouts respektive einer Leiterplatte.

"**Leiterplatten 54 ...LPVerifikation**" erläutert die Komplexität und die Aussagekraft der Tests, die auf einer Leiterplatte zum Einsatz kommen. Üblicherweise sind niemals alle Eigenschaften einer Leiterplatte mit automatischen Systemen prüfbar. In der Praxis gibt es also keine Prüfung, die für sich alle Qualitäten erfassen kann. Es ist stets ein Prüfzenario erforderlich, das die individuellen Eigenschaften einer Leiterplatte möglichst vollständig erfaßt.

Das Seminar ist auch für *Mitarbeiter/innen in den Bereichen* **CAM**, **Qualitätsmanagement** sowie **WAK** und **WEK** von Bedeutung, weil es das Verständnis für automatisch prüfbare und nicht prüfbare Anforderungen erläutert. Individuelle Informationen in dynamischen Fertigungsaufträgen können diese Lücken schließen.

Es fördert damit auch das partnerschaftliche Miteinander auf der Linie "CAD - CAM - Leiterplatte - Baugruppe".

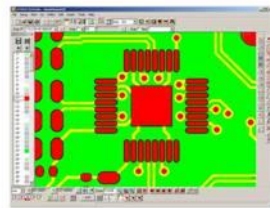
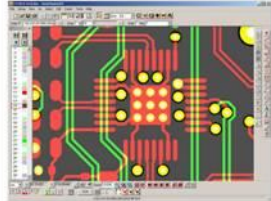
Die Darstellung der Themen ist interessant für alle **Entscheidungsträger im Bereich Design und Leiterplatte**, deren Aufgabe es ist, das Produkt "Baugruppe" führend und beratend zu begleiten.

Finde den Fehler bevor es zu spät ist

Datenanalyse (CAD-Layout)

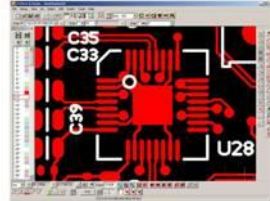
Die visuelle Durchsicht der Daten auf Gerber-Basis erlaubt eine Beurteilung der handwerklichen und funktionalen Qualität der zu fertigenden Leiterplatte. Dem folgt eine automatisierte Kontrolle der Geometrien auf allen Ebenen des CAD-Layouts. Daraus ergibt sich ein erster Status für das Produkt.

Top, Bottom + Powerplane



Top + Soldermask

Top + Silkscreen



Leiterplatten 54 ...LP-Verifikation

Datenanalyse

Durchsicht der Daten, die der Post-prozeß des CAD-Systems an die CAM des Leiterplattenherstellers liefert.

Prüfung auf Vollständigkeit und fachliche Umsetzbarkeit. Fehlerquellen und Mängel in der Datenübergabe.

Prüfspektrum

Zu prüfende Qualitäten

Die an/auf einer Leiterplatte zu prüfenden Qualitäten lassen sich in die drei Kategorien „Leiterbild“, „Mechanik“ und „Logistik“ einsortieren.

Leiterbild

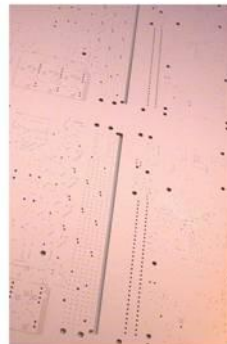
Zum Leiterbild gehören alle Strukturen, die in Kupfer ausgeführt werden.

Mechanik

Zur Mechanik gehören alle Bohrungen und Konturen.

Dokumentation

Zur Dokumentation gehören diverse strategische Papiere/Daten.



Leiterplatten 54 ...LP-Verifikation

Prüfspektrum

Einordnung der zu prüfenden Qualitäten in ein möglichst komplettes Prüfspektrum für die Verifikation von Leiterplatten.

Definition der Wertigkeiten Leiterbild, Mechanik und Dokumentation.

Prüfspektrum : Leiterbild

Die Kontaktflächen elektronischer Bauteile werden direkt auf Lötflächen (~ SMT) oder in metallisierten Bohrungen (~ THT) montiert. Die Verbindungen zwischen den Anschlüssen der Bauteile werden über Leiterbahnen (~ Vektoren) hergestellt. Die absolute Richtigkeit der Verbindungen zwischen den Lötflächen, die Ausprägung von Polygonen (~ SMD-Shapes, Füllflächen, Powerplanes) und die korrekte Geometrie von Restringen und SMD-Flächen definieren die Funktion der Baugruppe.

Fehlertypen (Leiterbild)

Während der Produktion der Leiterplatten kann das Leiterbild beschädigt werden (zerkratzte Filme, Ätzfehler, mechanische Transportschäden). Die Leiterbahnen/Leiterbilder müssen daher in unterschiedlichen Fertigungsabschnitten präzise getestet werden.

Es gibt die beiden Strategien, das Leiterbild *optisch* (manuell und automatisch) oder *elektronisch* zu testen.



Bestückter Multilayer

Leiterplatten 54 ...LP-Verifikation

Leiterbilder

Bewertung der Leiterbilder auf einer Leiterplatte für die zuverlässige Produktion der späteren Baugruppe. Ätzfehler und Transportschäden als qualitativer Mangel für die Lötbarkeit einer Leiterplatte. Strategien für die Verifikation von Leiterbildern.

Prüfpektrum : Bohrungen

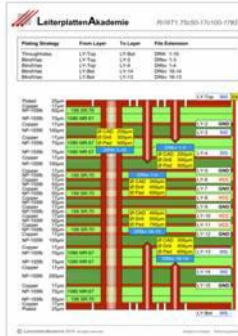
Dokumentation der Kontaktierungsstrategie

Die Dokumentation vieler CAD-Systeme ist unvollkommen, weil sie Bohrwerkzeuge üblicherweise pauschal als "tool diameter (~ Werkzeugdurchmesser)" listet.

Der Begriff ist irreführend. Eigentlich ist unter dieser Rubrik der Enddurchmesser (~ final diameter) auf der fertigen Leiterplatte gemeint.

Ob eine partielle Bohrung (~ Buried Via, BlindVia) auf einer Leiterplatte umsetzbar ist, hängt vom Lagenaufbau ab. Dieser muß CAM spätestens zum Zeitpunkt der Auftragsvorbereitung vorliegen.

Für die Beurteilung der technischen Kontaktierbarkeit einer Bohrung muß zudem das AspectRatio bekannt sein, das von der Anlagentechnik des Leiterplattenherstellers realisiert werden kann.



Documentation of the contact strategy

Dokumentation der Kontaktierungen

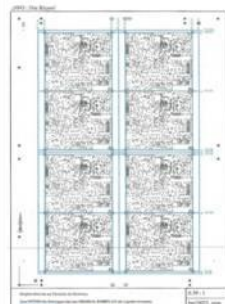
Kontaktierung (Dokumentation)

Dokumentation der Bohrstrategie als Voraussetzung für die Produktionsplanung und die systematische Verifikation von Leiterplatten.

Interpretation der Begrifflichkeiten zur Dokumentenlenkung und zur Syntax der Produktionsdaten.

Mechanische Spezifikation : Bohrungen und Konturen

Alle Bohrungen einer Leiterplatte müssen in einem einzigen **Bohrplan** dokumentiert sein. Bohrpläne können idealerweise in dem universell lesbaren GERBER-Format angelegt sein.



Ritzplan

Bohrplan

Die Ritzungen dienen der Vortrennung des Liefer-/Bestückungsnutzens. Der **Ritzplan** beschreibt die zu fertigenden Ritzwege mit Referenz zum Bohrbild. Die Pläne sind unverzichtbar in den Auftrags-Begleitpapieren.

Bohr- und Maßpläne

Beschreibung von Bohrungen und Bohrwerkzeugen für die vergleichende Prüfung von Leiterplatteigenschaften während der Leiterplattenproduktion.

Allgemeine Vorgaben für die Maßangaben zu Geometrien von Leiterplatten.

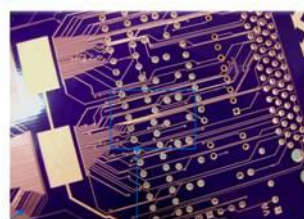
AOI : Beispiel "Fotolaminat auf Kupfer"

Hinweis (Verdrahtungsdichte)

Die hohe Verdrahtungsdichte elektronischer Schaltungen verleitet während der Erstellung des CAD-Layouts zu einer Reduzierung der Leiterbildgeometrien. Allerdings muß jedes Routing die technologischen Grenzen für die Fertigung von Leiterplatten respektieren.

Fehler (Fehlerbild Fotolaminat)

Innenlage mit blauem Fotolaminat auf dem Basiskupfer. Das Laminat ist bereits belichtet und entwickelt. Die Laminatstege sind in manchen Bereichen mit < 40µm zu schmal. Das Laminat haftet nicht. Diese Innenlage ist ohne Korrektur des Routings nicht herstellbar.



AOI

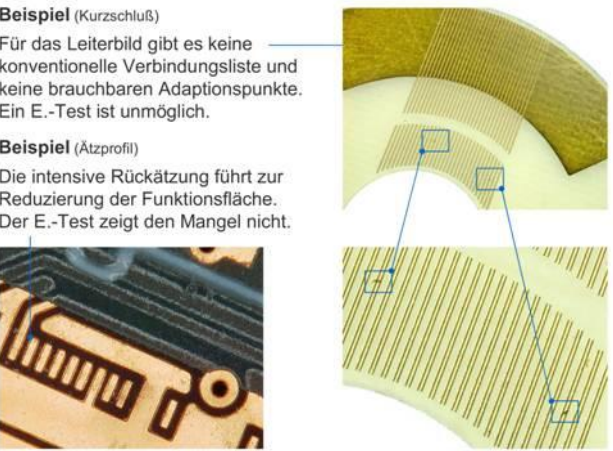
Einsatz der automatisch-optischen Inspektion (AOI) von geometrischen Strukturen auf den Layern von Leiterplatten.

Erkennbare und nicht erkennbare Fehlerquellen während der Ausprägung des Leiterbildes.

Automatisch nicht prüfbare Strukturen : Ätzen

Beispiel (Kurzschluß)
Für das Leiterbild gibt es keine konventionelle Verbindungsliste und keine brauchbaren Adaptionenpunkte. Ein E.-Test ist unmöglich.

Beispiel (Ätzprofil)
Die intensive Rückätzung führt zur Reduzierung der Funktionsfläche. Der E.-Test zeigt den Mangel nicht.



Leiterplatten 54 ...LP-Verifikation 13

Ätzen

Automatisch nicht prüfbare Leiterbildstrukturen auf Leiterplatten. Elektronisch nicht erkennbare Fehler.

Nicht detektierbare Abweichungen vom Leiterbildquerschnitt durch die Rückätzung.

Automatisch nicht prüfbare Strukturen : Benetzungsfehler

Benetzungsfehler sind meistens die Folge einer Kontamination des Kupfers auf der Leiterplattenoberfläche. Die Endoberfläche (~ "Finish") kann dann keine zuverlässig haftende Verbindung mit der Kupferoberfläche eingehen.

Der Kontrast der unterschiedlichen Oberflächen auf dem Pad reicht nicht aus, um diesen Fehler mit dem AOI-Automaten erkennen zu können. Weil die Oberfläche fast immer elektrisch leitfähig bleibt, wird die unvollständige Benetzbarkeit beim elektronischen Test mit einem Nadeladapter ebenfalls nicht erkannt.

Beispiel
Ursprüngliche Kupferoberfläche auf der Leiterplatte vor dem Prozessieren des Hot-Air-Levelings



Quelle : Susanne Grube (ILFA)

Leiterplatten 54 ...LP-Verifikation 14

Oberfläche

Benetzungsfehler auf der Kupferoberfläche von Leiterplatten. Nur optisch erkennbare Mängel in der Beschichtung.

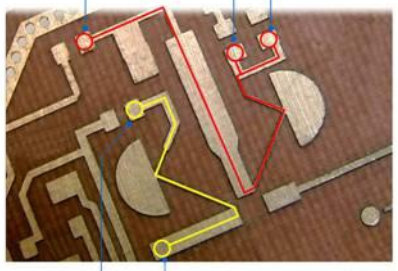
Eingeschränkte elektrische Leitfähigkeit und Lötbarkeit von Oberflächen.

Verbindungsliste : Prüfen funktionaler HF-Geometrien

Für die Durchführung der elektronischen Prüfung müssen die Endpunkte der Netze auf der Leiterplatte mit einer Nadel adaptiert werden. Die korrekte Ausprägung funktionaler Strukturen, wie sie für HF-Schaltungen typisch sind (i.e. Filter, Schrägen, unsymmetrische Leiterbahnbreiten,...), kann mit dieser Strategie jedoch nicht erkannt werden.

Die spätere Funktion der Leiterplatte ist damit nicht prüfbar. Erforderlich wäre eine optische Analyse des Leiterbildes mit einer toleranzbezogenen Interpretation der bildlichen Strukturen. Das scheitert meistens an dem ungenügenden Kontrast zwischen Leiterbild und Basismaterial.

Netzendpunkte der Verbindung 2



Netzendpunkte der Verbindung 1

Leiterplatten 54 ...LP-Verifikation 15

HF-Geometrien

Grundstrategien der elektronischen Prüfung.

Optisch nicht vollständig prüfbare Geometrien bei HF-Schaltungen. Adaptierung von Netzknoten. Datatransfer von Verbindungen. Funktionale Geometrien.

Automatisch nicht prüfbare Strukturen : Bohrungen

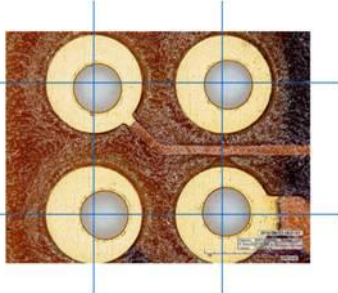
Bohrungen in flexiblem Basismaterial

Die optische Analyse zeigt, daß die Pads in gleichmäßigem Abstand sind. Die Bohrungen sind jedoch nicht mittig und zeigen bei einem Pitch von 2.54mm eine offensichtliche Abweichung.

Die Ursache kann in einer ungenauen Maschinenpositionierung liegen aber möglicherweise auch in einer zu ungenauen Führung des Bohrwerkzeuges im Bohrpaket.

Umlaufend um die Bohrung hat sich ein Grad gebildet, der auch durch die nachfolgenden Reinigungs- und Bürstprozesse nicht entfernt werden konnte.

Polyimid mit der Oberfläche ENIG



Leiterplatten 54 ...LP-Verifikation 15

Bohrpositionierung

Passgenauigkeit von Bohrungen zu Leiterbildstrukturen.

Gründe für den Versatz zwischen Bild und Mechanik. Allgemein noch akzeptable Toleranzen.

Vermessung von Bohrpositionen.

Automatisch nicht prüfbare Strukturen : Hülseninnenwand

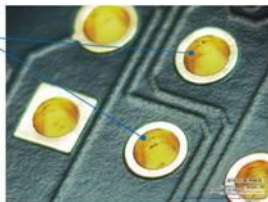
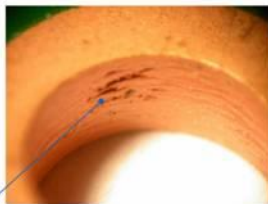
Hinweis (Hülseninnenwand)

Bohren fällt in die Kategorie der spannabhebenden Fertigung. Im Idealfall wird (...bei FR4) das Glasgewebe sauber geschnitten und inklusive des Harzgefüges aus der erstellten Bohrung entfernt.

Stumpfe Schneiden und/oder instabile Basismaterialien und/oder eine zu aggressive Reinigung der Bohrwandung (...z.B. der Desmearprozeß) können zu einer partiellen Aufrauhung der Hülseninnenwand führen.

Die optische Inspektion muß ergeben ob die Fehlstellen kritisch sind oder ob die Leiterplatte freigegeben wird.

Nur große Bohrungen können sicher eingesehen werden. Vias $\leq 300\mu\text{m}$ sind optisch nicht kontrollierbar.



Leiterplatten 54 ...LP-Verifikation 16

Bohrhülsen

Möglichkeiten der Inspektion der Hülsen von THT-Bohrungen und Vias.

Erkennbarkeit von Fehlbelegungen hinsichtlich der Kupferdicke und der galvanischen Oberfläche von Bohrhülsen.

Automatisch nicht prüfbare Strukturen : Bestückungsdruck

Beispiel (Bestückungsdruck 1)

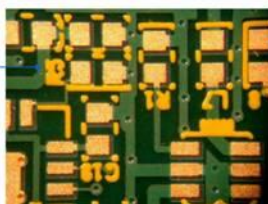
Der freigestellte Bestückungsdruck ist informationsfrei und unbrauchbar.

Beispiel (Bestückungsdruck 2)

Angedruckte Pads sind elektronisch praktisch nicht prüfbar.

Beispiel (Bestückungsdruck 3)

Durch den Bestückungsdruck verschlossene Vias.



Leiterplatten 54 ...LP-Verifikation 18

Drucke

Analyse der umlaufenden Freistellung von Lötstopdrucken zu SMD-Lötflächen. Prüfung auf korrekt freigestellte Lötflächen.

Verifikation von Via-, Carbon- und Abziehlackdrucken auf Leiterplatten. Beurteilung der Qualität von Viadruck und Pluggingverfahren.

IST-Coupon : Schliffergebnisse

Die Dokumentation zur IST-Messung unterstützt die systematische bildliche Suche nach dem aufgetretenen Fehler. Die Interpretation der zugeordneten Schliffbilder erlaubt sowohl die Klassifikation des aufgetretenen Fehlers als auch die Beurteilung der wahrscheinlichen Ursache.

Beispiel

Das Material ist innerhalb des Gefüges aus Laminat und Prepreg gerissen.

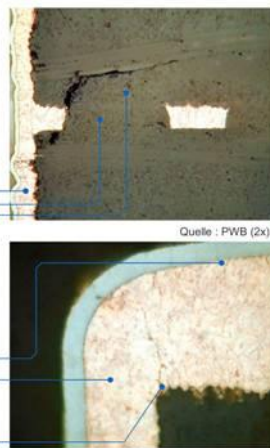
Hülsenwand
Prepreg
Laminat

Quelle : PWB (2x)

Beispiel

Durch Überdehnung in Z-Richtung ist das Pad angerissen.

Restring / Pad
Hülsenwand



Leiterplatten 54 ...LP Verifikation 12

IST-Test

Impedanzmessungen als Mittel für die Qualitätsbeurteilung von Multilayern. Erkennbarkeit von Mikrodelaminationen bei Multilayern durch den IST-Test.

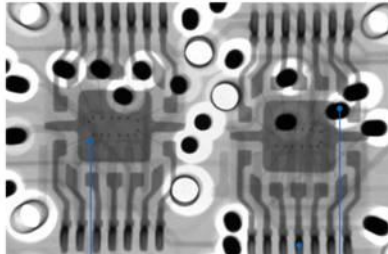
Verifikation von Testergebnissen durch die Interpretation von Schliffbildern.

Röntgenanalyse

Die Röntgenanalyse eignet sich als zerstörungsfreies Verfahren für die Bewertung der innenliegenden Qualitäten einer Leiterplatte. Die Analyse wird bevorzugt bei Baugruppen mit Funktionsfehlern eingesetzt, weil sie eine sehr weitgehende Betrachtung sowohl der Eigenschaften der Leiterplatte als auch der Lötstellen und sogar der Bonds in den Chips gestattet.

Die Bewertung eines Röntgenbildes setzt einiges an Erfahrung im Einsatz dieser Technologie voraus. Die Fehlersuche sollte immer mit Unterstützung des Produktionsdatensatzes (z.B. Gerber) erfolgen.

Für eine automatische Reihenuntersuchung in der Produktion ist das Verfahren ungeeignet.



Bonds im Chip
SMD-Lötflächen
Gepluggte Vias

Leiterplatten 54 ...LP Verifikation 11

Röntgen

Röntgeninspektion von Multilayern in dreidimensionaler Qualität.

Bewertung von Lötflächen, Bonds in Chips und der Kupferdicke von THT-Bohrungen.

Vermessen der Paßgenauigkeit der einzelnen Lagen eines Multilayers.

Automatisch nicht prüfbare Strukturen : Kantenmetallisierung

Beispiel (Kantenmetallisierung)

Das Abblättern der metallisierten Kante ist mit der elektronischen Prüfung nicht erkennbar. Die Anlagentechnik ist auf einen 2-dimensionalen Test ausgelegt.

Der hier gezeigte Fehler ist zudem von der Leiterplattendicke (...> 3.0mm) und der Endoberfläche (...ENIG) abhängig.

Die Materialdicke führt zu höherer Z-Achsen-Ausdehnung, als dies für eine konventionelle Dicke von zirka 1.5mm der Fall ist. Die Endoberfläche ENIG (~Ni/Au) ist durch den Unterbau mit Nickel sehr spröde und reißt bei thermischer Belastung ab.

Um diesen Fehler zu erkennen, müßten Dicke und Oberfläche Teil der Prüfvorgabe für die CAM sein.



Leiterplatten 54 ...LP Verifikation 17

Kantenmetallisierung

Optisch interpretierbare Qualitäten hinsichtlich der Metallisierungen an der Kante von Leiterplatten.

Prüfung der Stabilität von Kantenmetallisierungen.

Zusammenhang zwischen Endoberfläche und Materialausdehnung.

Automatisch nicht prüfbare Strukturen : Fräsen

Beispiel (Bohrung + Kontur)

Die Bohrung ist zu dicht an der Fräskontur. Dieser Mangel hätte mit dem DRC entdeckt werden müssen. Metallische Strukturen sollten einen Abstand $\geq 1.0\text{mm}$ zur Kontur haben. Die optische Verifikation kann zwar den Fehler erkennen, der LP-Hersteller kann das aber nicht korrigieren. Die Leiterplatten sind einsetzbar. Das Layout muß aber revidiert werden.



Beispiel (Steckerleiste)

Nach dem Anfasen der Steckerleiste ist nur optisch zu erkennen, daß die innenliegenden Powerplanes freiliegen. Das ist ein massiver Fehler. Der Lacksteg vor den Steckungen ist unzulässig.



Leiterplatten 54 ...LP-Verifikation 19

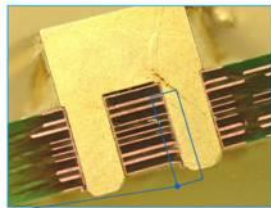
Konturbearbeitung

Automatisch nicht prüfbare Geometrien. Fehlpositionierung von Sollbruchstellen. Mögliche Kurzschlüsse durch das Anfasen von Steckerleisten. Layoutgeometrien als Fehlerquelle für mechanische Mängel auf Leiterplatten.

Automatisch nicht prüfbare Strukturen : Einpressen

Hinweis (Einpressen)

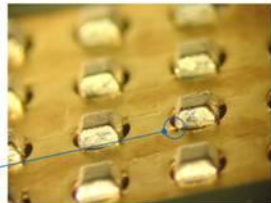
Wenn Bauteile durch das Einpressen in die Leiterplatte montiert werden sollen, dann müssen die Lochdurchmesser so angelegt sein, daß die einzupressenden Stifte im Hülsenkupfer sicheren Halt finden. Die Qualität der Passung ist nur nach der Montage des Bauteiles über eine Schliffanalyse möglich. Erst die optische Analyse zeigt auf, ob das Einpressen zu Verschiebungen des Hülsenkupfers geführt hat.



Hochstromkontakt

Beispiel (Einpressen)

Die Sicht auf die Einpreßzone zeigt, daß das Leiterplattenmaterial bereits leicht gequetscht wird. Die Bohrung sollte $50\mu\text{m}$ größer gewählt werden.



Leiterplatten 54 ...LP-Verifikation 20

Bauteilmontage

Das Einpressen von hochpoligen Steckern und Hochstromkontakten bewerten.

Untersuchen der Flächen für das direkte Bonden von ICs auf Leiterplatten.

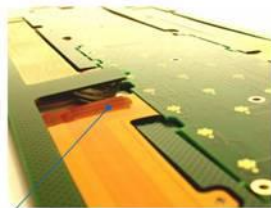
Automatisch nicht prüfbare Strukturen : Haltestege

Hinweis (Haltestege)

Starrflexible Leiterplatten werden oft mit einem Rahmen ausgeliefert, der die Leiterplatte stabilisieren soll. Die Leiterplatte und der Rahmen sind über Stege miteinander verbunden.

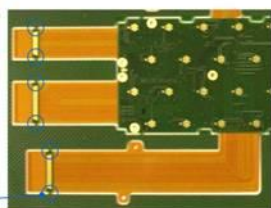
Beispiel (Haltesteg 1)

Zu wenig Haltestege : beim Wellenlöten kann das Leiterplattenmaterial hochgedrückt werden. Gelangt Lot auf die obere Seite, dann sind massive Schäden an der Leiterplatte und an den bestückten Bauteilen möglich.



Beispiel (Haltesteg 2)

Die Leiterplatte ist instabil weil es nur im Steckerbereich Haltestege gibt.



Leiterplatten 54 ...LP-Verifikation 21

Nutzenstege

Vermessen und bewerten der Positionierung von Nutzenstegen. Diskrete Analyse der Abstände auf starren und starrflexiblen Multilayern in Abhängigkeit von der Geometrie der Leiterplatten. Stegbreiten, Freistellungen und mechanische Stabilität.

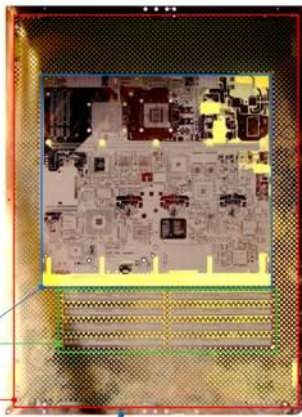
Impedanzcoupon : Reduzierung der Nutzfläche

Die Prüfcoupons für die Impedanzmessung müssen in der Nutzfläche untergebracht sein. Das reale Funktionsumfeld auf der Leiterplatte kann dadurch ideal überprüft werden.

Hinweis (Couponfläche)

Die Prüfcoupons reduzieren die Fläche, die für die Fertigung der Leiterplatten zur Verfügung steht. Die Produktkosten verteuern sich dadurch gegebenenfalls.

Leiterplatte
Prüfcoupons
Nutzfläche
Produktionszuschnitt



Leiterplatten 54 ...LP-Verifikation

Impedanz

Verfahren für die Messung von Impedanzen und Definition des Meßbereiches.

Impedanzcoupons auf Leiterplatten.

Impedanzvarianten. Prüfprotokolle.

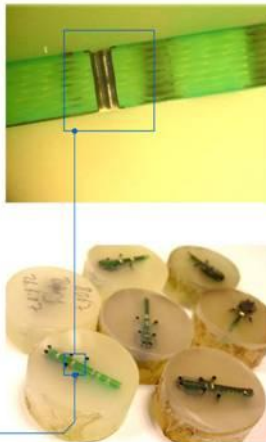
Mechanische Spezifikation : Schliffanalyse

Die Schliffanalyse ist das wichtigste Mittel, wenn die Qualität der inneren Geometrien einer Leiterplatte beurteilt werden sollen.

Es können u.a. untersucht werden :

- Die Querschnittsgeometrie des Kupfers
- Die Abstände der Layer zueinander
- Die Reihenfolge der Layer
- Der Versatz der Innenlagen zueinander
- Die Dicke des Basiskupfers
- Die Dicken der Lamine und Prepregs
- Die Dicke des Hülse Kupfers
- Die Oberflächengüte der Kontaktierung
- Die Durchmesser der Bohrungen
- Der Bohrer Verlauf von Vias
- Die Dicke des Lötstoplackes
- Die Dicke des Bestückungsdruckes

In Epoxydharz eingebetteter Schliff



Leiterplatten 54 ...LP-Verifikation

Schliffe

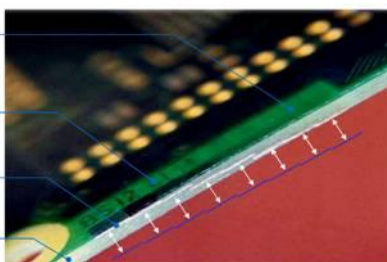
Verifikation mechanischer Eigenschaften von Multilayern über die Interpretation von Schliffbildern. Optionen der Leiterplattenanalyse auf der Basis von Feinschliffen. Kontrolle und Rückannotation zur Fertigung in der Produktion von Leiterplatten und Baugruppen.

Impedanz : Treppencoupon analysieren

Über einen Treppencoupon an der Kante der Leiterplatte können alle ausschlaggebenden Geometrien zerstörungsfrei ermittelt werden. Auch die Impedanzeigenschaften können tendenziell nachberechnet werden.

Beim Zusammenbau des Multilayers ist genau dann die richtige Reihenfolge der Lagen eingehalten worden, wenn die Kupferstücke das Bild einer stetig fallenden (...oder steigenden) Treppe ergeben. Der Coupon muß von CAD in das Layoutdesign eingebracht werden.

Freistellung im Layout
Lagenkennzeichnung im Klartext auf jedem Layer
Kupferstück an der Kante (3 bis 5 mm breit)
Kante der Leiterplatte



Leiterplatten 54 ...LP-Verifikation

Lagenaufbaucoupon

Zerstörungsfreie und delegierbare Prüfung des Aufbaus eines Multilayers mit einem Treppencoupon bzw. eines Treppencoupons.

Verifizierung der Lagenreihenfolge, der Lagenabstände und der Kupferdicken in einem Multilayer.

Ihr Referent



Arnold Wiemers ist der Leiterplatte seit 1983 verbunden. Von 1985 bis 2009 war er bei der ILFA GmbH in Hannover beschäftigt.

Er war dort verantwortlich für die Fachbereiche CAD und CAM, für die Auftragsvorbereitung und für die technischen Dokumente der Firma ILFA im Internet.

Er ist seit 1982 freier Softwareentwickler (ISW), vornehmlich für branchentypische Applikationen im Bereich der Leiterplatte, wie die Kalkulation und die Fertigungssteuerung von Leiterplatten.

Diverse Fachveröffentlichungen. Referent für Seminare, Konferenzvorträge und Workshops zum Thema Leiterplattentechnologie (MFT, MPS, Impedanz, Multilayersysteme, Designregeln, Gerber, LP2010).

Vom IPC zertifizierter CID, CID+ und Instructor. FED-Designer und FED-Referent. Mitarbeit am Schulungskonzept des FED. Mitarbeit in der international besetzten "Projektgruppe Design" des FED und des VdL/ZVEI.

Die LeiterplattenAkademie

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt sowohl die systematische als auch die kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung.

Die zentrale Aufgabe der LeiterplattenAkademie ist, das Fachwissen aus den Bereichen der Schaltungsentwicklung, des CAD-Designs, der CAM-Bearbeitung, der Leiterplattentechnologie und der Baugruppenproduktion in Seminaren, Workshops und Tutorials zu vermitteln.

Seminare und Teilnahmegebühren

Das Halbtagsseminar "**Leiterplatten 54 ...LPVerifikation**" wird als freies Seminar durchgeführt, kann für Konferenzen gebucht werden und steht Ihnen auch als InHouse-Seminar zur Verfügung.

Freies Seminar

Die Durchführung liegt bei der LeiterplattenAkademie. Die Termine werden via Mailing, eMail, Internet oder Presseveröffentlichungen mitgeteilt. Die Veranstaltungsorte liegen in Deutschland, Österreich und der Schweiz. Die Teilnahmegebühr beträgt 260 € zzgl. MwSt. pro Person. Enthalten sind ausführliche Seminarunterlagen, das Teilnahmezertifikat und Getränke.

Konferenz-Seminar

Wenn Sie "**Leiterplatten 54 ...LPVerifikation**" auf Ihrer Konferenz anbieten möchten, dann sprechen Sie bitte unsere Seminarleitung an.

InHouse: Unser Seminar in Ihrem Haus

Das Seminar "**Leiterplatten 54 ...LPVerifikation**" wird auch firmenintern referiert. Sie sparen Reise- und Übernachtungskosten, vor allem jedoch Zeit.

Für pauschal 1.450 € zzgl. MwSt. liefern wir Ihnen unsere Referenten "frei Haus" bei Teilnahme von bis zu 10 Personen.

Jeder Teilnehmer erhält ausführliche Seminarunterlagen sowie ein Teilnahmezertifikat. Für mehr als 10 Teilnehmer unterbreiten wir Ihnen gerne ein gesondertes Angebot.

Eine individuelle Themengestaltung mit firmentypischen Schwerpunkten ist selbstverständlich möglich. Bitte stimmen Sie sich mit uns ab.

Wir bieten Ihnen 15% Rabatt für InHouse-Seminare in den Monaten Juli und August.



Die LeiterplattenAkademie

Die LA - LeiterplattenAkademie GmbH ist eine Schulungs- und Weiterbildungseinrichtung für die Fachbereiche

Schaltungsentwicklung

CAD-Design

CAM-Bearbeitung

Leiterplattentechnologie

Baugruppenproduktion

Die Akademie versteht sich als Partner für öffentliche Einrichtungen und Unternehmen der Wirtschaft, die in vergleichbaren Feldern engagiert sind.



LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
10555 Berlin

Telefon

(030) 34 35 18 99

Telefax

(030) 34 35 19 02

eMail

info@leiterplattenakademie.de

Internet

www.leiterplattenakademie.de