



Leiterplatten - Seminar 4

12. Juni in Berlin

Arnold Wiemers

*Technologie, Trends und
Kosten in der Elektronik*



LeiterplattenAkademie





1. Abschnitt

- 1 Vorwort... was kommt + Strategisches
- 2 Geometrien... und Aufgaben für CAM
- 3 KFZ- und EMobilität
- 4 Anforderungen an Leiterplatten
- 5 Basismaterial



Was kommt...

IoT, Industrie 4.0, IT-Sicherheit, Big Data, autonome Systeme, Cloud Computing, Smart Home, heterogene Netzwerke und kollaborierende Roboter :

Diese Strategien und Aufgaben sind nur auf der Basis funktionierender elektronischer Baugruppen möglich.

Das erfordert vorausschauendes Wissen.



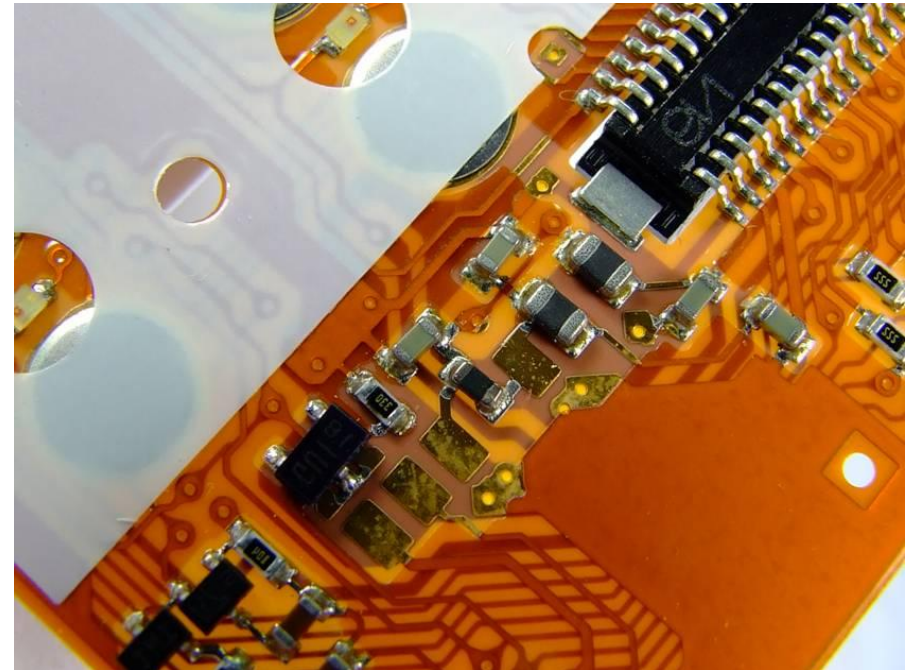
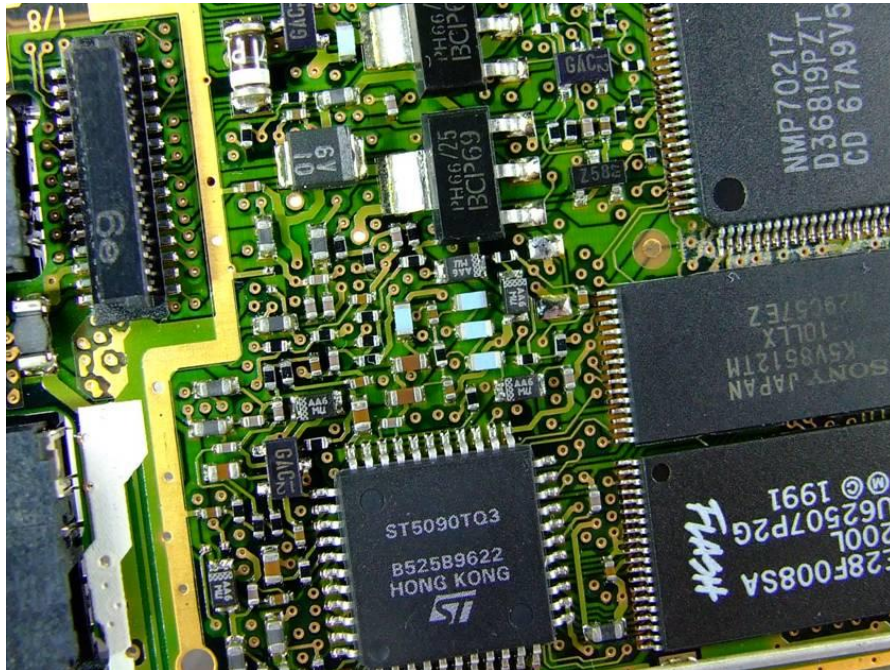
Vernetzte Spinnenroboter arbeiten zusammen als mobiler 3D-Drucker.

Die Geometrie bestimmt das Sein

Seit zirka 2005 ist mit der Reduzierung der Gehäuseabmaße und der Löt- und Anschlußflächengeometrien eine Grenze überschritten worden. Die MFT (MicroFinelineTechnology) mit Bildstrukturen $\leq 85\mu\text{m}$ wird deshalb die HDI (High-Density-Interconnect)-Technologie ablösen.

Die vorhandenen Designregeln sind bereits oft unzutreffend und in sich nicht mehr schlüssig. Die zunehmenden Probleme mit Funktionsdefiziten bei Leiterplatten und Baugruppen haben Signalwirkung.

Es ist *völlig ausgeschlossen*, den Übergang von der HDI-Technologie zur MFT mit den alten Designregeln und Verhaltensstrategien zu schaffen.



Layout, Leiterplatte und Baugruppe

Regel (Layout, Leiterplatte, Baugruppe)

Die Disziplinen CAD-Layouterstellung, Leiterplattenfertigung und Baugruppenproduktion bedingen sich gleichwertig gegenseitig.

CAD Das CAD-Layout liefert die Fertigungsdokumente für die Produktion der Leiterplatte und der Baugruppe.

Leiterplatte Die Leiterplattentechnologie liefert die Konstruktionsvorgaben für die Erstellung des CAD-Layoutes und stellt die Leiterplatten für die Baugruppenproduktion bei.

Baugruppe Die Baugruppententechnologie definiert die Anforderungen an die Qualität der Leiterplatte und an die Konstruktion des Layouts.

Regel (Formulierung von Designregeln)

Die Formulierung von Designregeln ist nur möglich über die Analyse der Fertigungsbedingungen für die Leiterplatten- und Baugruppenproduktion.



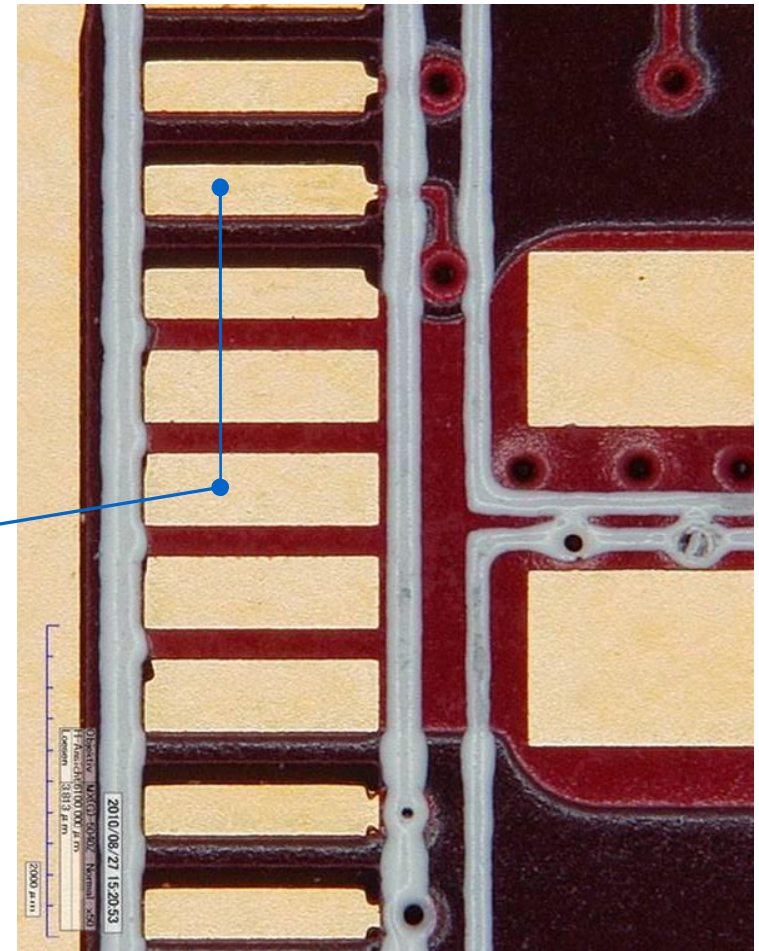
Analyse der Baugruppenspezifikation

Die CAM des Leiterplattenherstellers ist an der Schnittstelle zwischen der virtuellen CAD-Konstruktion und der realen Fertigung der Leiterplatte und nachfolgend der Baugruppe. Mit der Produktion der Leiterplatte werden alle Geometrien festgelegt, mit denen der Baugruppenproduzent dann *später* zurechtkommen muß. Die Analyse der stabilen, kostengünstigen und zuverlässigen Produzierbarkeit der Baugruppe *muß* deshalb von der CAM des Leiterplattenherstellers übernommen werden.

Beispiel

Die Lötflächen sollen eigentlich die gleiche Grundfläche haben. Durch die Unterlegung mit einer Massefläche sind die mittleren Lötflächen größer. Die Lotpaste wird dort anders aufschmelzen und das kann zu minderwertigen Lotverbindungen führen.

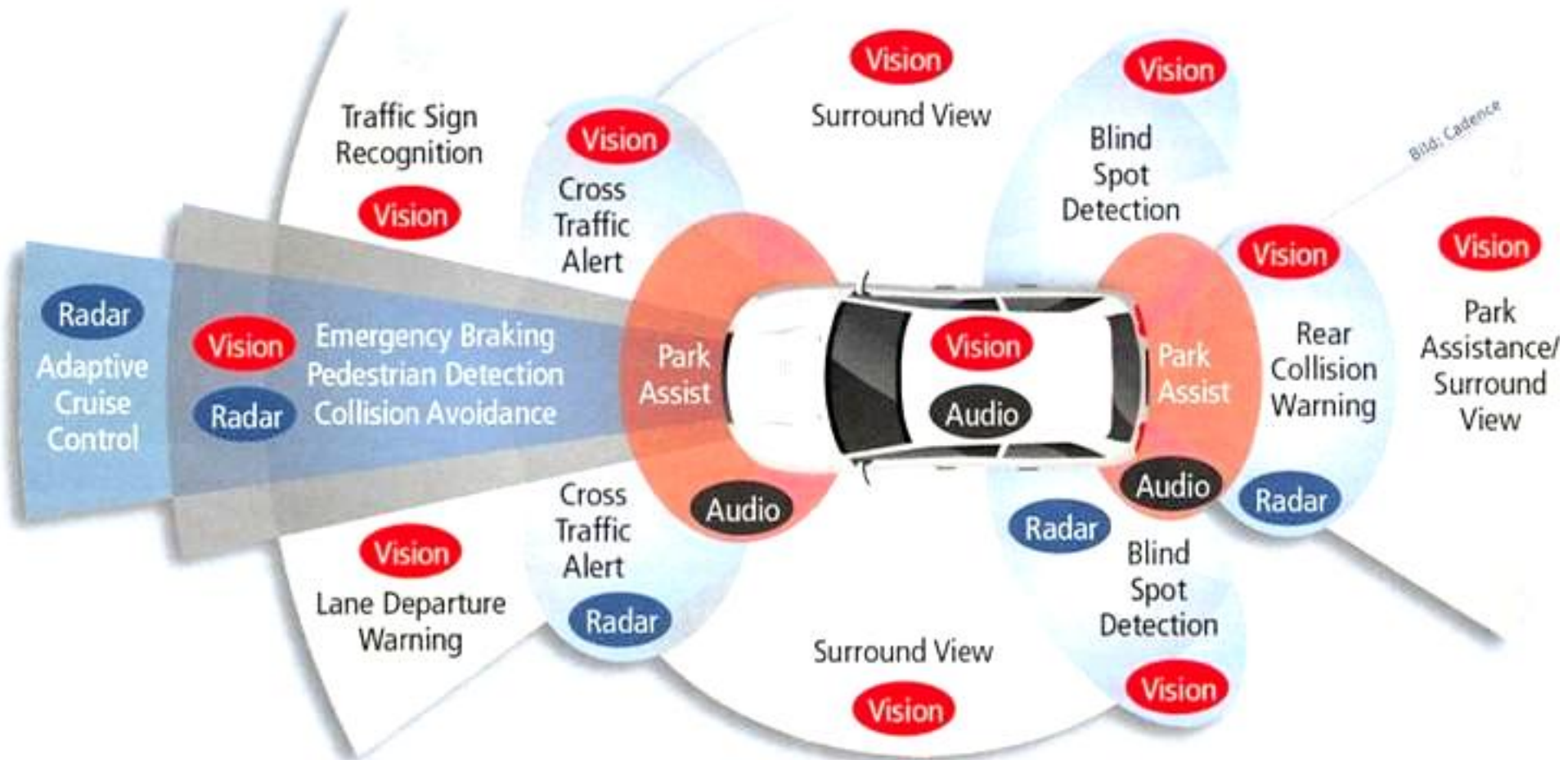
Für den Leiterplattenhersteller ist diese Geometrie aber völlig unproblematisch.



Kommunikationssysteme

Der kommunikative Aufwand eines Fahrzeuges mit seiner dreidimensionalen Umwelt ist ausgesprochen komplex.

Sowohl Audio- als auch Videodaten sowie hochfrequente Radarinformationen müssen erkannt und bewertet werden, damit eine angemessene Reaktion des Fahrzeuges zuverlässig ausgelöst werden kann.



Bildquelle: Elektronikpraxis Nr 4'2017

Historie : 2019 Humantransportsysteme

Beispiel (Konzeptstudie Toyota)

Elektromobilität auf dem Bürgersteig mit einem elektromotorisierten Dreirad. Der iWALK soll Menschen autonom in ihrem Lebensraum transportieren.

Das erfordert eine wiederverwendbare Energiequelle (~ Batterie) mit einem definierten Auflademodus (~ Ladestation, Ladekabel, Steckverbindung). Ein Bordcomputer wird benötigt für die Eigentumssicherung, für individuelle Funktionsparameter, für die sensorische Interpretation des jeweils aktuellen Umfelds, für die Beleuchtung und natürlich für die Navigation.

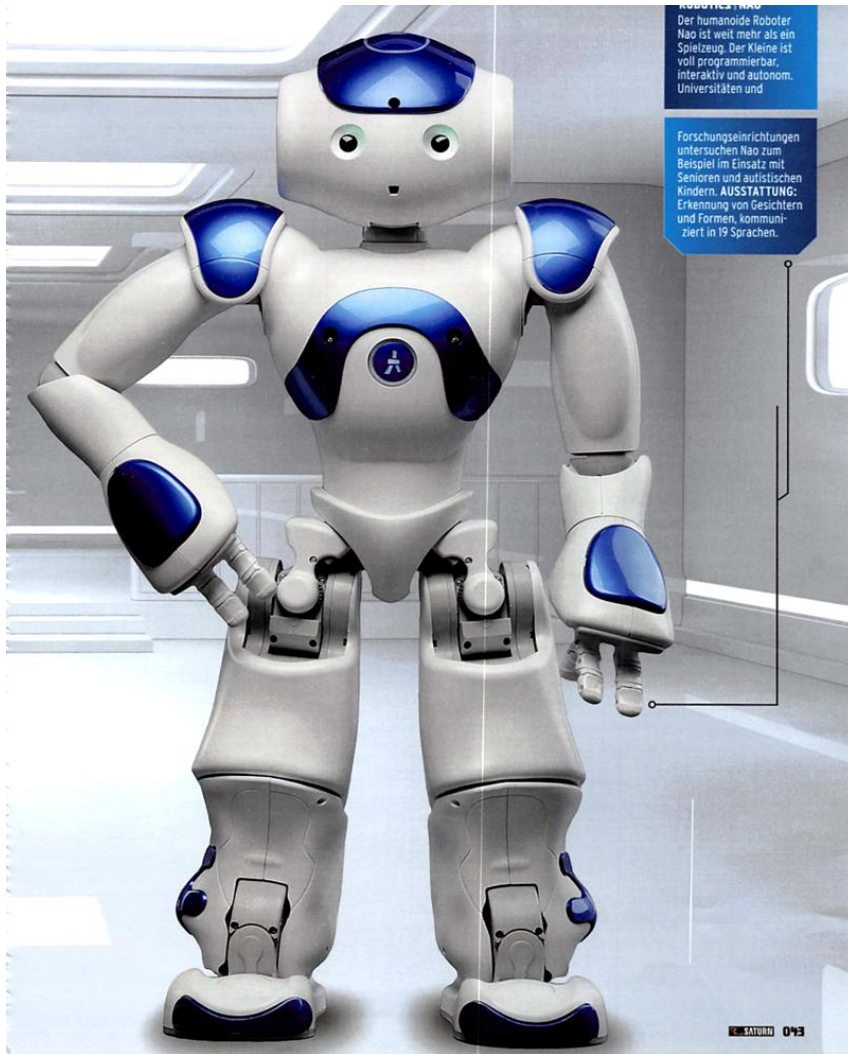
Unverzichtbar ist die Einbindung in ein zuverlässiges Kommunikationsnetz.

Bildquelle Toyota / Internet 01-2018



Historie : 2016 Roboter

Serienmäßige Roboter für den Hausgebrauch inklusive Entertainment.



Nao soll Senioren betreuen, für die Medikation sorgen, einkaufen und den Wohnraum pflegen.



Keecker hat ein komplettes Musiksistem und einen Beamer für die Projektion von Bildern und Filmen.

Bild- und Textquelle SATURN Internet 2014

GPS-Navigation

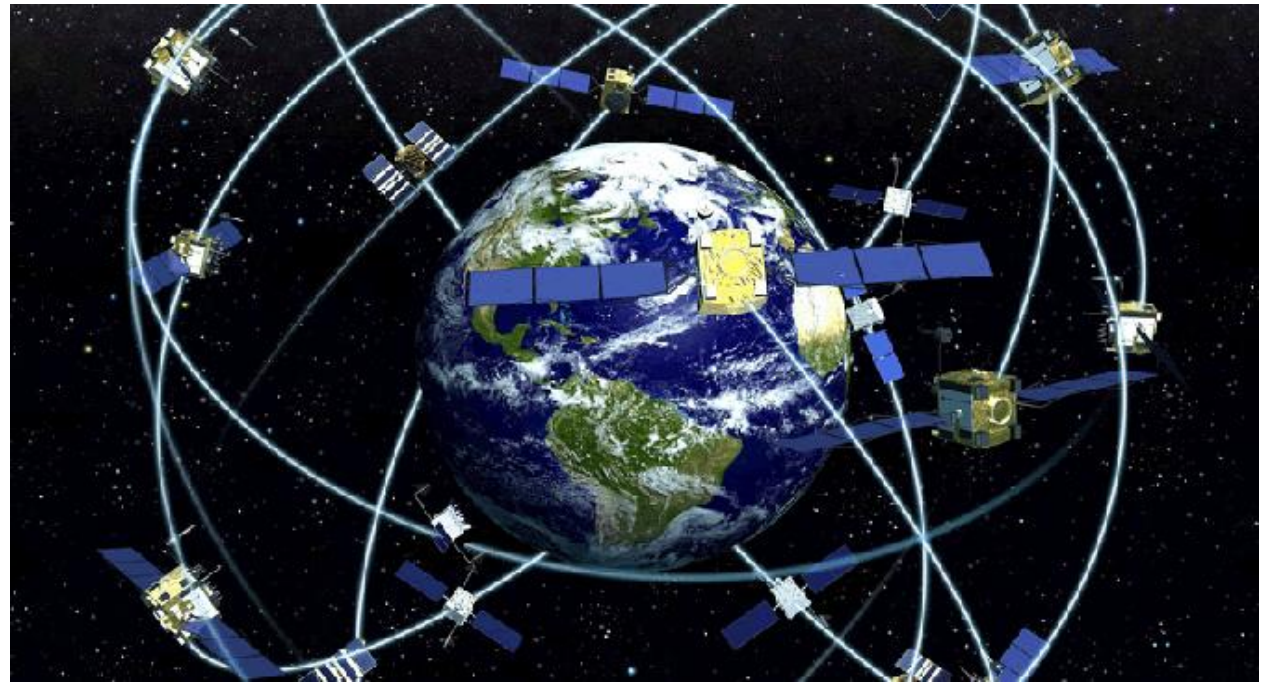
Begriff (GPS) GPS = Global Positioning System
~ System zur globalen Positionsbestimmung

Information (GPS)

Ohne Positionserkennung ist zuverlässiges autonomes Fahren undenkbar. Die Übermittlung der Position muß sehr genau und sehr schnell erfolgen. Navigationssysteme auf der Basis des "Common Recipient

Codes" melden pro Sekunde eine Position mit einer Genauigkeit von cirka 5m. Zweifrequenzempfänger messen eine Position bis auf wenige Zentimeter genau.

Der Informationstransfer per Funk muß stabil und unterbrechungsfrei verfügbar sein. Das setzt voraus, daß hunderte elektronischer Baugruppen (...inklusive der Satelliten) kommunikativ und fehlerfrei arbeiten.



Text- und Bildquelle 1milyarbilgi.com / Internet 1'2018



Strategische Anforderungen an Leiterplatten

Es müssen etliche Anforderungen bei der Konstruktion einer Leiterplatte für eine High-speed-Baugruppe berücksichtigt werden.

Impedanz

Signalqualität

EMV

Abschirmung

Powerintegrität

Funktionale Stabilität

Kapazitive Powerplanes

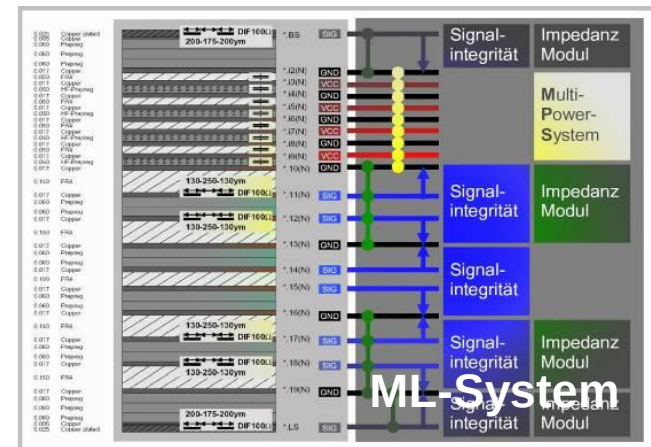
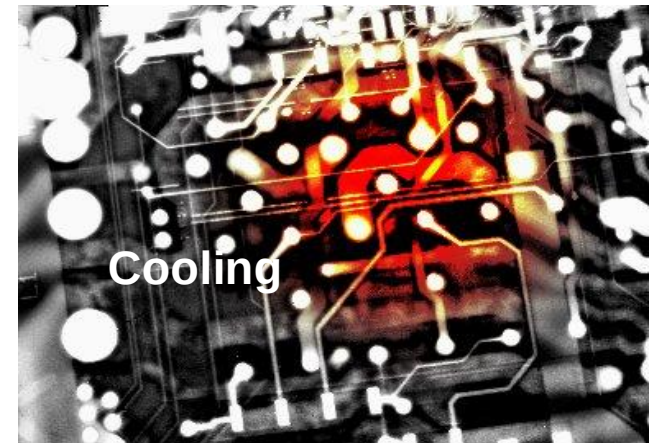
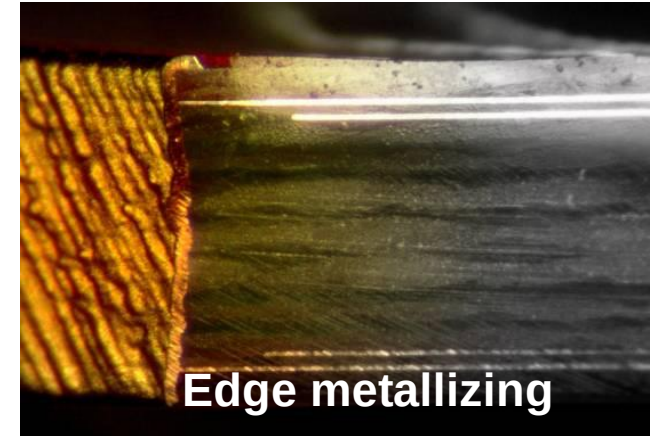
Breitbandige Entkopplung

Entwärmung

Funktionale Stabilität

Signalintegrität

Funktionale Stabilität



Aspekte moderner Produktionsverfahren 1

Die Technologie für die Fertigung von Leiterplatten muß die Konstruktion hochleistungsfähiger Baugruppen unterstützen.

Die wichtigsten Prozeßtechniken sind :

Microvias

Laser / Mechanisch gebohrt
Enddurchmesser bis minimal 50µm

Laserschnitt der Kontur

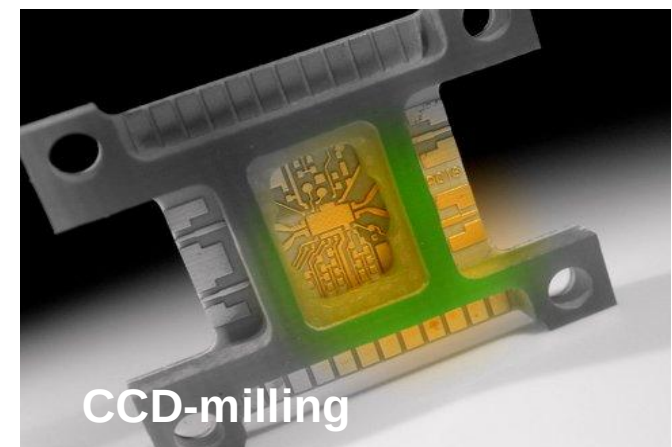
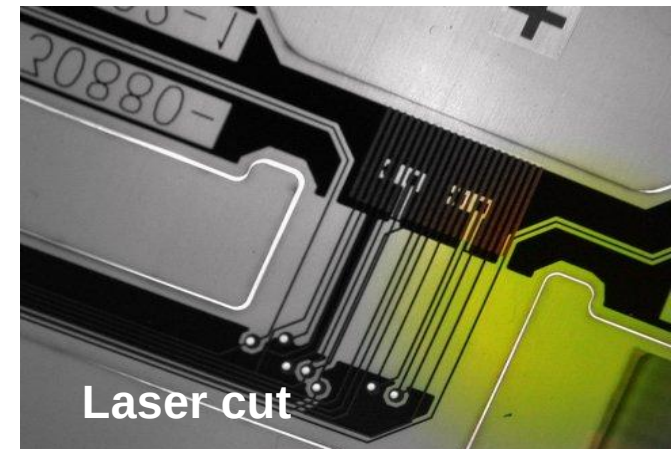
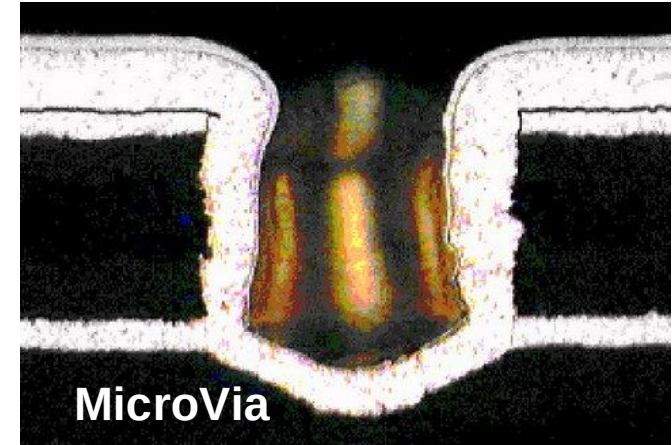
Kanalbreite bin minimal 30µm

Hybridmultilayersysteme

Kombination unterschiedlicher
Basismaterialallaminate

Laser direct imaging (LDI) für MFT

Leiterbahnbreiten bis minimal 50µm



Aspekte moderner Produktionsverfahren 2

Von Bedeutung sind neue Verfahren, die eine höhere Verdrahtungsdichte ermöglichen. Das zielt in Richtung Miniaturisierung der Leiterbahnbreiten und -abstände sowie der Viadurchmesser.

Die wichtigste Aufgabe der Leiterplattentechnik ist jedoch, fertigungsbedingte Toleranzen zu reduzieren.

CNC Bearbeitung

Bohren und Fräsen mit
CCD-Kamera registrieren

Selektive Kontaktierungen

BlindVias / BuriedVias

Pluggen

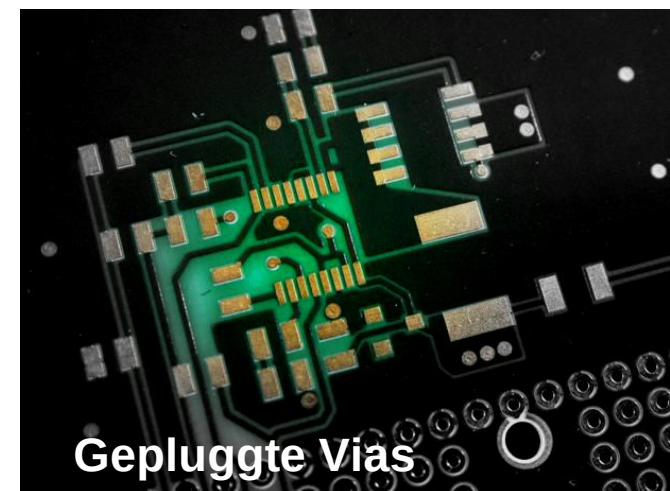
ViaInPad

Entwärmung

Partielles Verpressen

Starrflexible Aufbauten

Höhenniveaus / Hohlräume



Basismaterial : Chemische Stoffgruppen

Gruppe	Zusammensetzung	T _g [°C]	ε _r [100MHz]
 BT	Bismaleimid-Triazinharz mit Quarzglas	180 - 220	3.9 - 4.9
CE	Cyanatester mit Quarzglas	230	3.6
CEM1	Hartpapierkern mit FR4-Außenlagen	130	4.7
CEM3	Glasvlieskern mit FR4-Außenlagen	130	5.2
FR2	Phenolharzpapier	105	4.7
FR3	Hartpapier	110	4.9
 FR4	Epoxid + Glasgewebe	135 - 170	4.5
FR5	Epoxid + Glasgewebe	160	4.6
 PD	Polyimidharz	260	4.2 - 4.6
 PTFE	Polytetrafluoräthylen mit Glas oder Keramik	240 - 280	2.2 - 10.2
 CHn	Vernetzte Kohlenwasser- stoffe mit Keramikfüllung	300	4.5 - 9.8

 Standardmaterial  Hochwertiges Material



Basismaterial : Herstellerfirmen / Trägermaterial / Dielektrikum

Material	Hersteller	Trägermaterial (Verstärkung)	Füllstoff (Dielektrikum)
FR4 Duraver 104ML	Isola	Glasgewebe	Epoxydharz
NP-155F	Nan Ya	Glasgewebe	Epoxydharz
NPG-150R	Nan Ya	Glasgewebe	Epoxydharz
RT/duroid 5870	Rogers	Glasfiber	PTFE Random
RT/duroid 5880LZ	Rogers	Composite	PTFE filled
RT/duroid 6002	Rogers	Composite	PTFE Keramik
Ro3003	Rogers	Kein Träger	PTFE Keramik
Ro3006	Rogers	Kein Träger	PTFE Keramik
Ro3010	Rogers	Kein Träger	PTFE Keramik
Ro4003C	Rogers	Glasgewebe	Hydrokarbon Keramik
Ro4360G2	Rogers	Glasgewebe	Hydrokarbon Keramik
TMM 13i	Rogers	Kein Träger	Hydrokarbon Keramik
TMM 4	Rogers	Kein Träger	Hydrokarbon Keramik
TMM 6	Rogers	Kein Träger	Hydrokarbon Keramik
Ultralam 3850	Rogers	Kein Träger	LCP Liquid Cryst.Polymer
XT/duroid 8100	Rogers	Glasgewebe-VS	PEEK Polyetheretherketon



Basismaterial : ϵ_r / Tg / CTE / $\tan \delta$

Material	ϵ_r	[f]	Tg	CTE(x,y,z)			$\tan \delta$	[f]
FR4 Duraver 104ML	4.30	1 GHz	135	10	10	170	0.0280	1 GHz
NP-155F	4.10	1 GHz	150	10	14	60	0.0140	1 GHz
NPG-150R	4.20	1 GHz	150	13	13	50	0.0110	1 GHz
RT/duroid 5870	2.33	10 GHz		22	28	173	0.0012	10 GHz
RT/duroid 5880LZ	1.96	10 GHz		44	43	42	0.0019	10 GHz
RT/duroid 6002	2.94	10 GHz		16	16	24	0.0012	10 GHz
Ro3003	3.00	10 GHz		17	16	25	0.0013	10 GHz
Ro3006	6.15	10 GHz		17	17	24	0.0020	10 GHz
Ro3010	10.20	10 GHz		13	11	16	0.0022	10 GHz
Ro4003C	3.38	10 GHz		11	14	46	0.0027	10 GHz
Ro4360G2	6.15	10 GHz		13	14	28	0.0038	10 GHz
TMM 13i	12.85	10 GHz		19	19	20	0.0019	10 GHz
TMM 4	4.50	10 GHz		16	16	21	0.0020	10 GHz
TMM 6	6.00	10 GHz		18	18	26	0.0023	10 GHz
Ultralam 3850	2.90	10 GHz		17	17	150	0.0025	10 GHz
XT/duroid 8100	3.45	10 GHz		18	19	67	0.0042	10 GHz



Basismaterial : Feuchtigkeitsaufnahme / Flammklasse / Gewicht

Material	FA [%]	Flamm- klasse	Wärmeleit- fähigkeit [(W/m)/K]	Spezifisch. Gewicht [kg/dm ³]	Abzugs- kraft [N/mm]
FR4 Duraver 104ML	0.36	UL94 V-0	nd	2.10	2.00
NP-155F	0.30	UL94 V-0	0.49	2.00	0.78
NPG-150R	0.18	UL94 V-0	0.58	2.10	0.88
RT/duroid 5870	0.02	UL94 V-0	0.22	2.20	4.80
RT/duroid 5880LZ	0.22	UL94 V-0	0.33	1.40	0.66
RT/duroid 6002	0.02	UL94 V-0	0.60	2.10	1.60
Ro3003	0.04	UL94 V-0	0.50	2.10	2.20
Ro3006	0.02	UL94 V-0	0.79	2.60	1.20
Ro3010	0.05	UL94 V-0	0.95	2.80	1.60
Ro4003C	0.04	non FR	0.71	1.80	1.05
Ro4360G2	0.08	UL94 V-0	0.75	2.16	0.91
TMM 13i	0.13	non FR	0.76	3.00	0.70
TMM 4	0.07	non FR	0.70	2.10	1.00
TMM 6	0.06	non FR	0.72	2.40	1.00
Ultralam 3850	0.04	VTM-0	0.20	1.40	0.95
XT/duroid 8100	0.25	VTM-0	0.30	nd	1.10





2. Abschnitt

- 1 Mathematische Modelle
- 2 Toleranzraum
- 3 Physik
- 4 Impedanz
- 5 Signalgeschwindigkeit
- 6 Funktionsmoduln



Bohrungen : Definition des AspectRatio

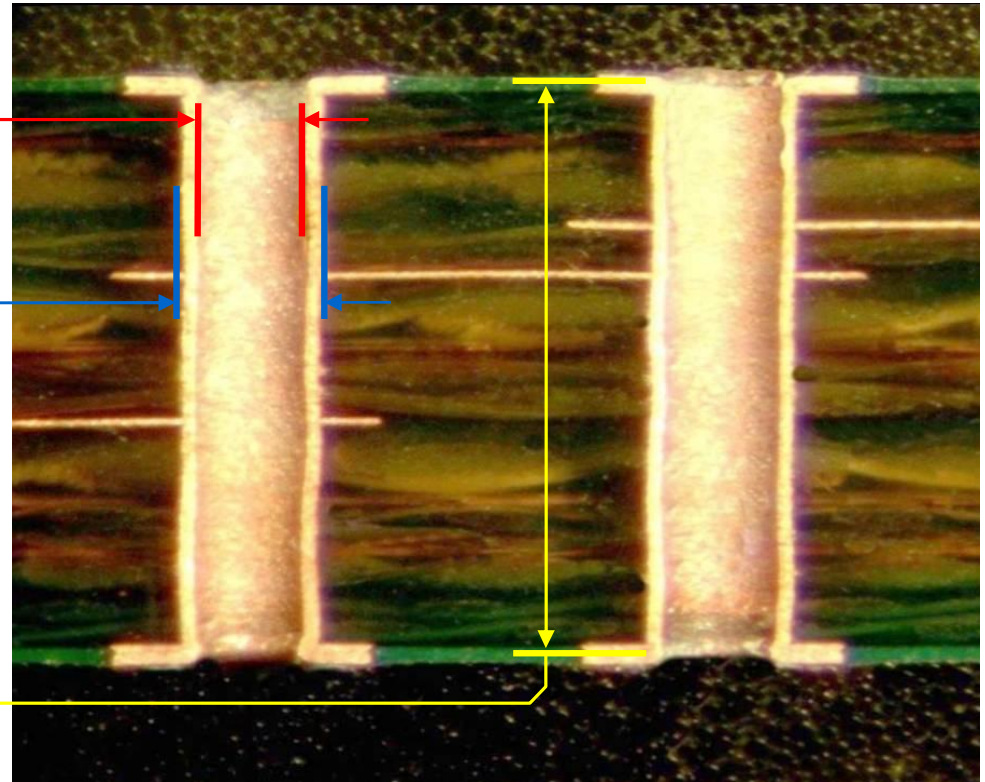
Definition (AspectRatio für Bohrungen)

Das AspectRatio beschreibt das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der galvanisch kontaktierbaren Hülslenlänge.

Enddurchmesser

Lochdurchmesser
oder
Bohrdurchmesser

Kontaktierbare Bohrtiefe
oder
Hülslenlänge



Definition (CAD-Tool-Durchmesser)

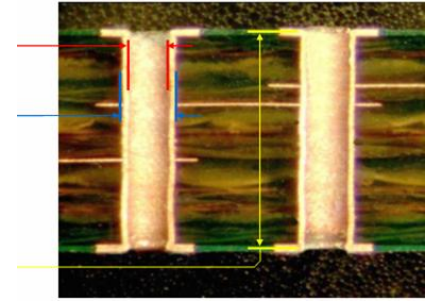
Der in der CAD-Dokumentation vorgegebene Tool-Durchmesser beschreibt immer den Enddurchmesser auf der fertigen Leiterplatte.



Bohrungen : AspectRatio bei dk-Bohrungen

Hinweis (AspectRatio für Bohrungen)

Für ndk-Bohrungen gibt es kein AspectRatio. Weil das AspectRatio in Abhängigkeit zur Kontaktierbarkeit einer Bohrung steht, gilt es nur für dk-Bohrungen.



Regel (AspectRatio für Bohrungen)

$$\text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{Kontaktierbare Bohrtiefe}}$$

$$\text{Lochdurchmesser}_{(\min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrtiefe}$$

$$\text{Kontaktierbare Bohrtiefe} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{AspectRatio}}$$

Hinweis (Lochdurchmesser)

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Bohrwerkzeugdurchmesser.

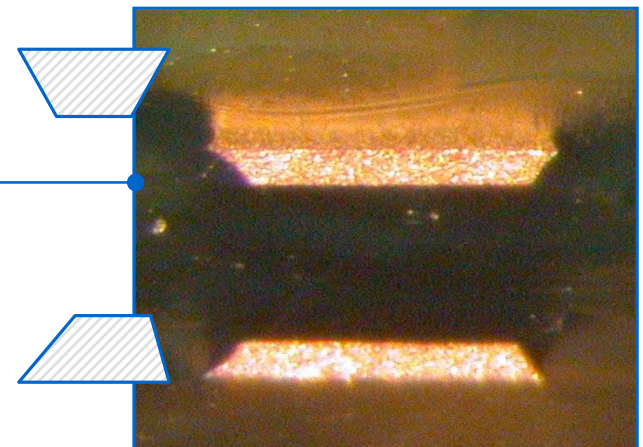
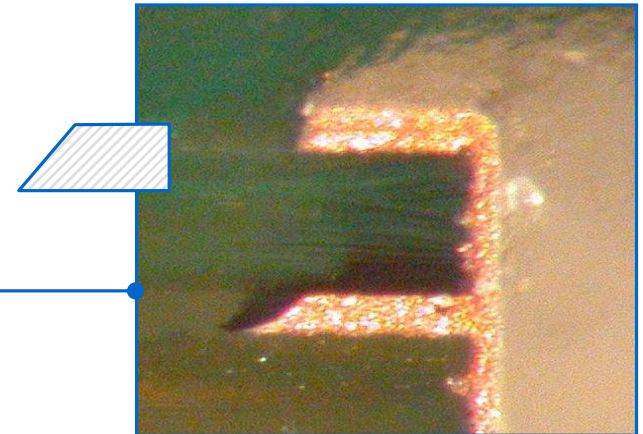
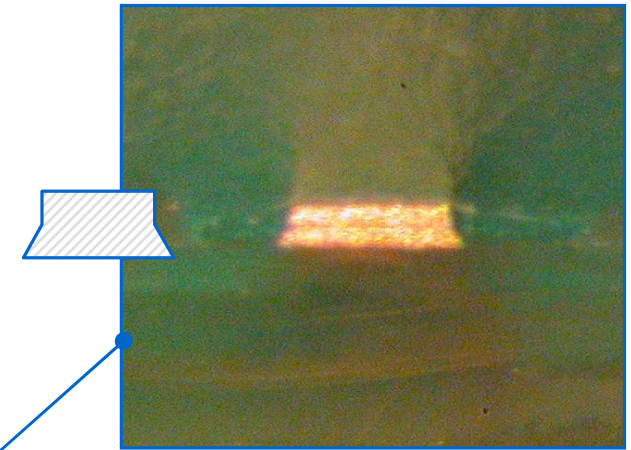
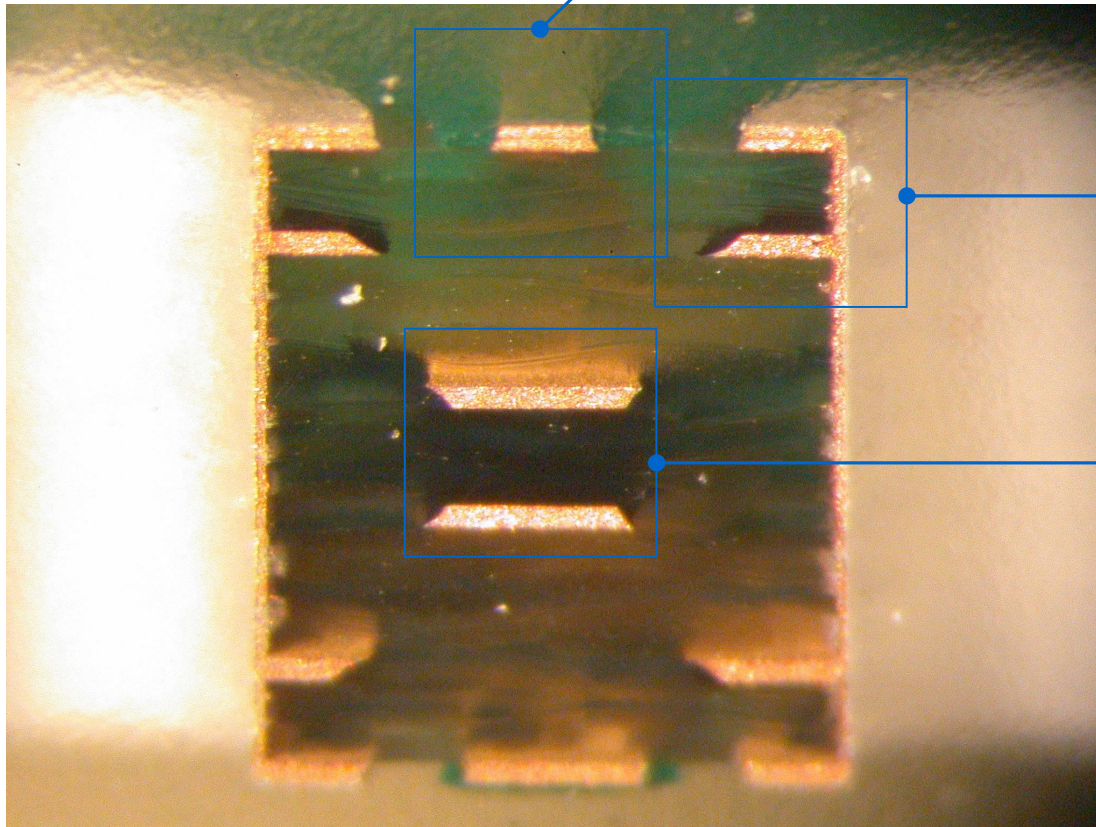
Bei durch Ablation (i.e. Lasertechnik) hergestellten Löchern ist der Lochdurchmesser identisch mit dem Durchmesser in Höhe der Startebene.



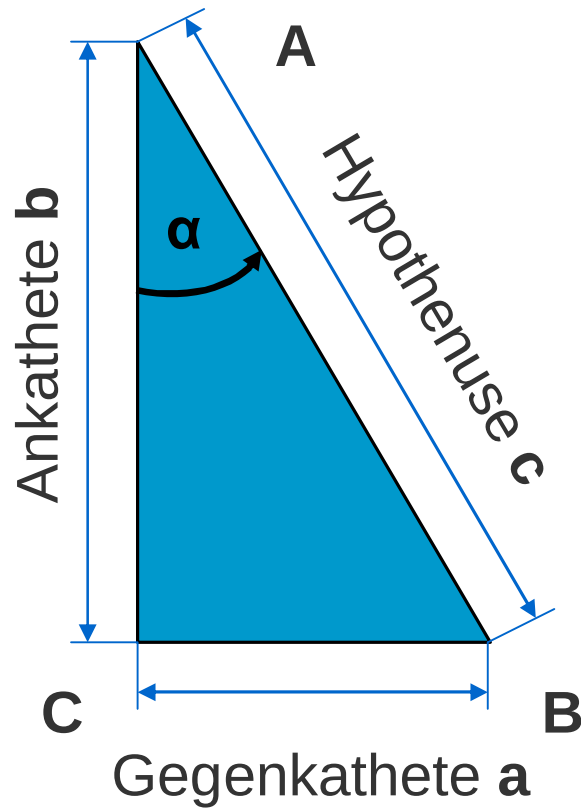
Querschnittsprofil : Profilvarianten

Das Querschnittsprofil einer Leiterbahn auf einer kontaktierten Lage ist anders, als das Querschnittsprofil einer Leiterbahn auf einer nicht kontaktierten Lage.

Die Winkel auf der rechten und der linken Ätzflanke einer Leiterbildstruktur sind nicht immer identisch.



Querschnittsprofil : Definition des Tangens Alpha



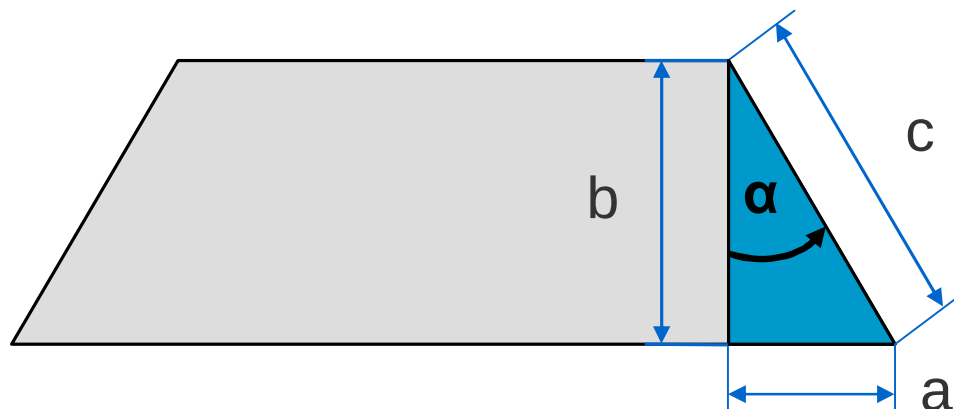
Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tangens beschrieben werden.

Allgemein gilt :

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\begin{aligned} \text{Gegenkathete} &= \text{Ankathete} \cdot \tan \alpha \\ a &= b \cdot \tan \alpha \end{aligned}$$



Alpha ' α ' ist der Winkel zwischen der Flanke 'c' der Bildstruktur und der Kupferdicke 'b'.

Ätzfuß : Definition

Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen dem Ätzfuß und der Kupferdicke formuliert.

Definition (Ätzfuß)

$$\text{Ätzfuß} = \text{Kupferdicke} \cdot \tan \alpha$$

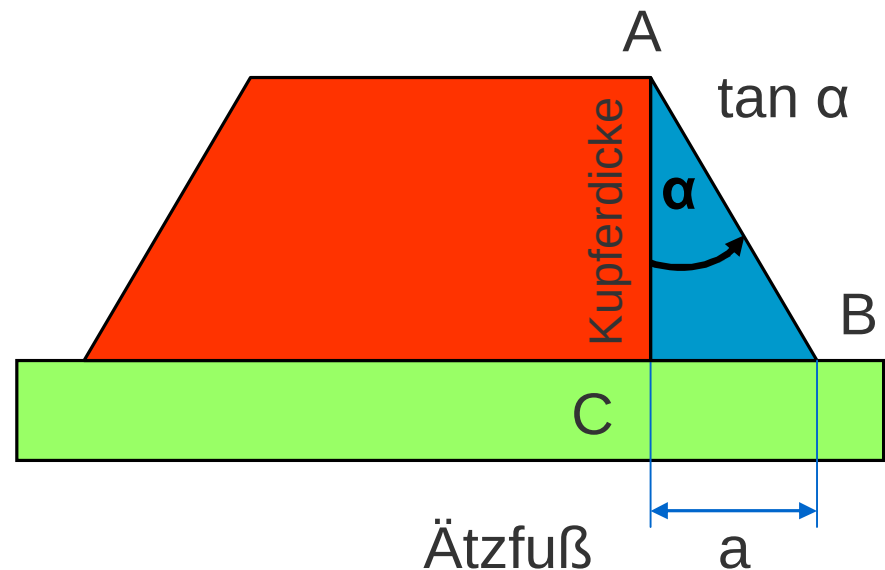
Hinweis (TangensAlpha)

Die Kupferdicke ist genau oder innerhalb eines Intervalls bekannt. Der Tangens ist eine prozeßbezogene Größe und ist ebenfalls genau oder innerhalb eines Intervalls bekannt. Mit dieser Definition kann der Ätzfuß genau oder innerhalb eines Intervalls berechnet werden.

Aus der Definition läßt sich die folgende Abhängigkeit ableiten.

Regel (Abhängigkeit des Ätzfußes)

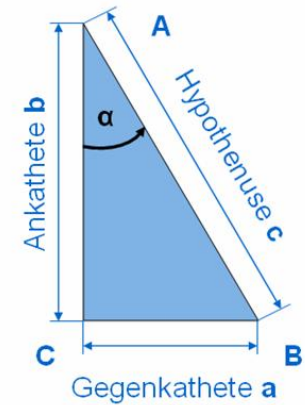
Der Ätzfuß ist *ausschließlich* von der Kupferdicke abhängig.



TangensAlpha : Werte 3

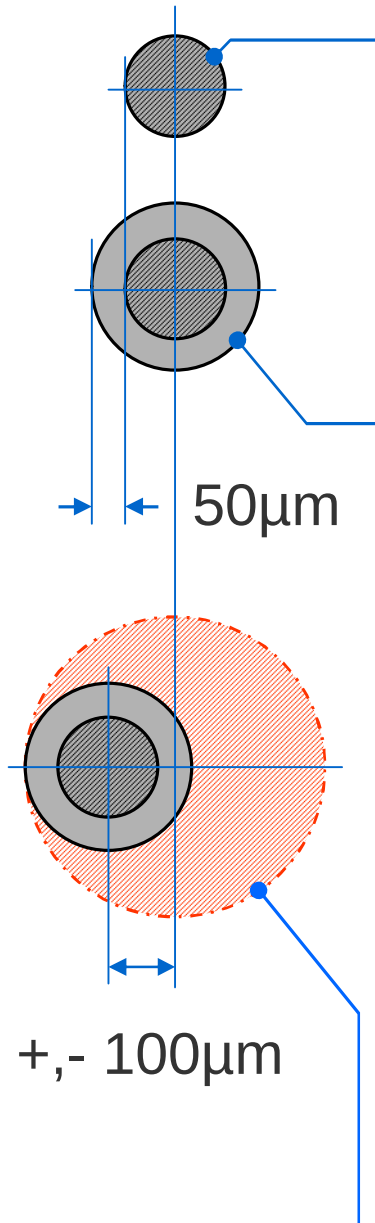
Beispiel

Bei einem Winkel von 40° und einer Kupferdicke von $35\text{ }\mu\text{m}$ ist die Bildstruktur auf der Oberseite $58.8\text{ }\mu\text{m}$ schmaler als an der Basis.



Tangens	Gegenkathete Ankathete 35 μm		Gegenkathete Ankathete 70 μm	
$\tan 0^\circ = 0$	0 μm	0 μm	0 μm	0 μm
$\tan 15^\circ \approx 0.2679$	9.4 μm	18.8 μm	18.8 μm	37.5 μm
$\tan 20^\circ \approx 0.3640$	12.8 μm	25.5 μm	25.5 μm	51.0 μm
$\tan 25^\circ \approx 0.4663$	16.3 μm	32.6 μm	32.6 μm	65.3 μm
$\tan 30^\circ \approx 0.5774$	20.2 μm	40.4 μm	40.4 μm	80.8 μm
$\tan 35^\circ \approx 0.7002$	24.5 μm	49.0 μm	49.0 μm	98.0 μm
$\tan 40^\circ \approx 0.8391$	29.4 μm	58.8 μm	58.7 μm	117.5 μm
$\tan 45^\circ = 1.0000$	35.0 μm	70.0 μm	70.0 μm	140.0 μm
$\tan 60^\circ \approx 1.7321$	60.6 μm	121.3 μm	121.3 μm	242.5 μm
$\tan 70^\circ \approx 2.7475$	96.2 μm	192.3 μm	192.3 μm	384.7 μm

Toleranzraum : CAD-Vorgabe, Bohrwerkzeug und Paßtoleranz



CAD gibt einen *Enddurchmesser* vor. Das zugehörige Bohrwerkzeug muß im Durchmesser größer sein, damit dieser Enddurchmesser auf der fertigen Leiterplatte nach dem Kontaktieren der Bohrhülse und dem Prozessieren der Endoberfläche auch zuverlässig erreicht wird.

Üblicherweise wählt der Leiterplattenhersteller eine *Zugabe* auf das passende Bohrwerkzeug (BWzg).

Regel BWzg = Enddurchmesser + 100µm Zugabe

Dieses Bohrwerkzeug ist somit umlaufend 50µm größer, als der vom CAD-Layout vorgegebene Enddurchmesser.

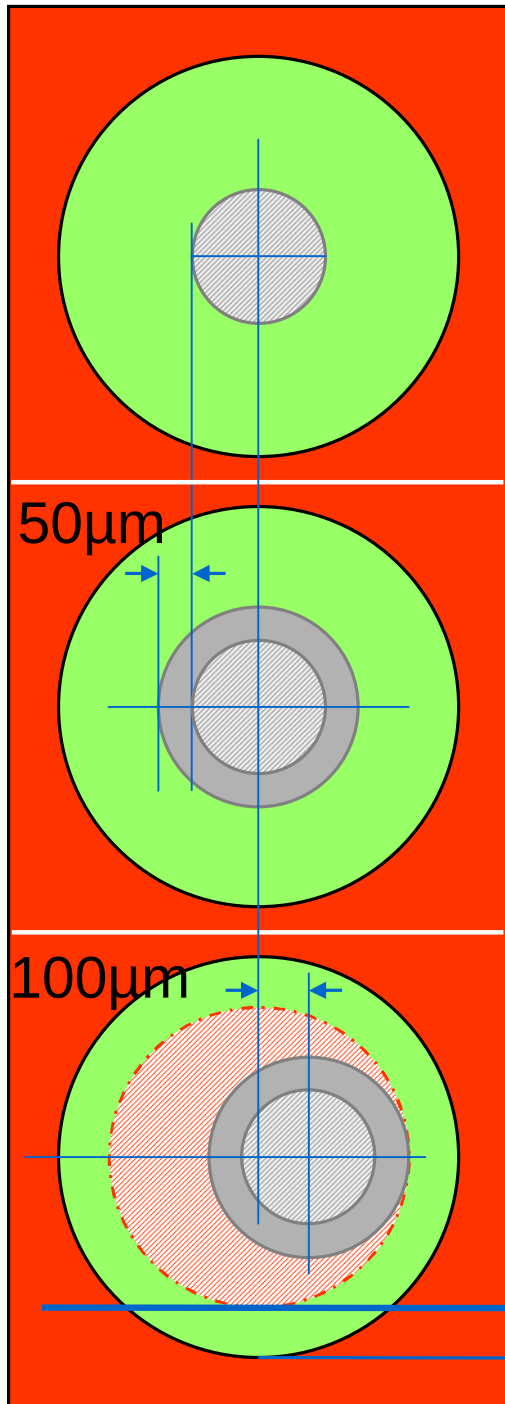
Bedingt durch die allgemeine *Toleranz* von $\pm 100\mu\text{m}$ kann die Bohrung zum Pad auf der fertigen Leiterplatte um 100µm von der Sollposition verschoben sein.

Die Bohrung wird sich letztlich innerhalb eines Toleranzraumes mit einem definierten Durchmesser wiederfinden.

Definition (Toleranzraum)

Toleranzraum = Enddurchmesser + 100µm Zugabe + (2 • 100µm Toleranz)

Isolationspads auf Powerplanes



Für die Bohrwerkzeugzugabe (BWzgZugabe) auf das passende Bohrwerkzeug (BWzg) gilt :

$$\text{BWzg} = \text{Enddurchmesser} + \text{BWzgZugabe}$$

Hinweis

Üblicherweise beträgt die BWzgZugabe 100µm. Die allgemeine Toleranz zwischen Bohrung und Leiterbild liegt bei +, - 100µm.

Für den minimalen Sicherheitsabstand gilt dann :

Regel (Minimaler Sicherheitsabstand)

$$\begin{aligned} \text{Sicherheitsabstand}_{(\min)} = \\ 0.5 \cdot (\text{Isolationspad} - \text{Enddurchmesser} \\ - \text{BWzgZugabe} - 2 \cdot \text{Toleranzbetrag}) \end{aligned}$$

Sicherheitsabstand zwischen der Tangente der Bohrung und dem Kupfer der Powerplane



Mittenabstand von Isolationen auf Powerplanes

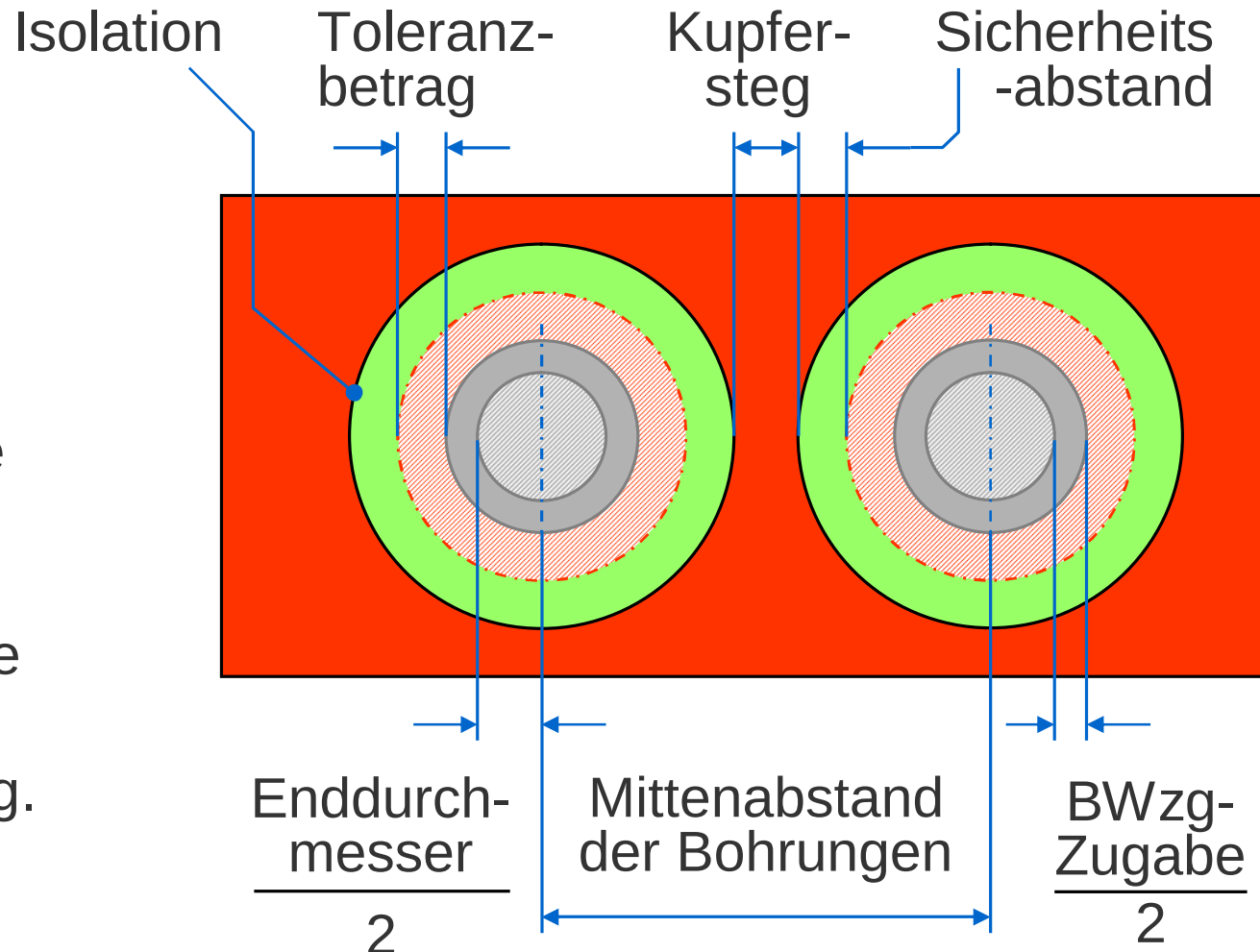
Regel (Kupfersteg bei gleichem Bohrdurchmesser)

$$\text{Mittenabstand}_{(\text{THT})} = \text{Enddurchmesser} + \text{BWzgZugabe} + \text{Kupfersteg} + 2 \cdot \text{Toleranzbetrag} + 2 \cdot \text{Sicherheitsabstand}$$

Nebenbedingung : Toleranzbetrag $\geq$ Toleranz (Bohrung zu Leiterbild)

Sicherheitsabstand

Für den zuverlässigen Betrieb der Baugruppe ist ein ausreichender Sicherheitsabstand zwischen der Tangente der Bohrwandung und der Powerplane wichtig.



Abstand für Vias in Pads (Lötfläche < Toleranzraum) 1c

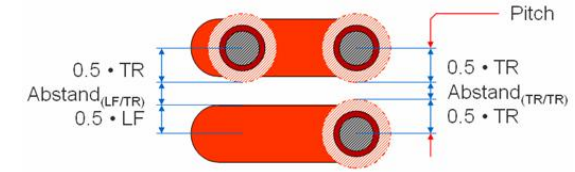
Beispiel (Berechnung des Abstandes LF/TR)

Folgende Werte sind gegeben :

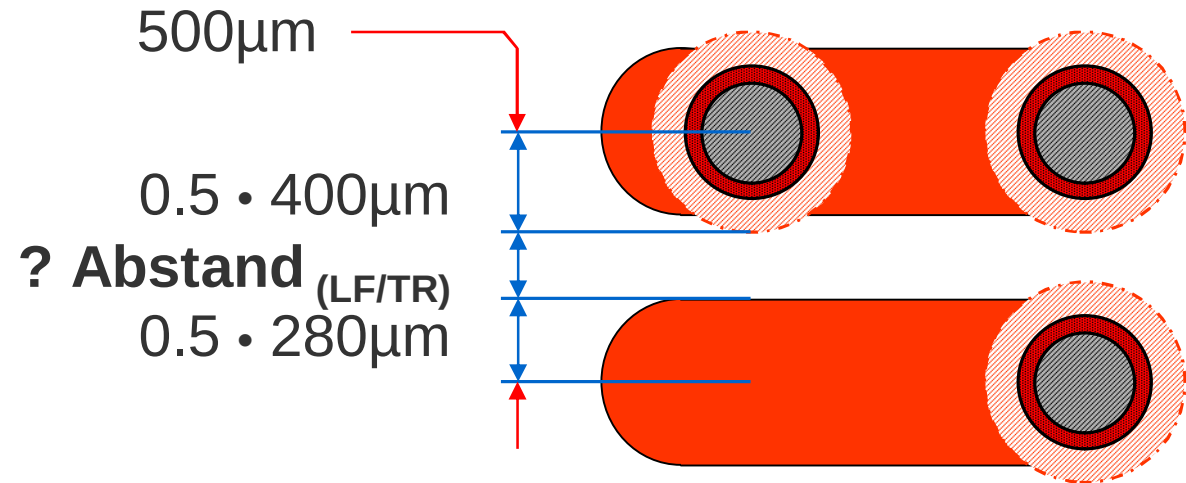
500µm Pitch

400µm Toleranzraum (~ Viadurchmesser 100µm, BWzg 200µm)

280µm Lötfläche (minimale Breite)



Für das Löten ist ein $Abstand_{(LF/TR)}$ von 200µm erforderlich. Kann dieser Abstand eingehalten werden ?



Es ist :

$$\begin{aligned} Abstand_{(LF/TR)} &= Pitch - 0.5 \cdot (Lötfläche + Toleranzraum) \\ &= 500\mu m - 0.5 \cdot (280\mu m + 400\mu m) = 500\mu m - 340\mu m \\ &= \underline{160\mu m} \end{aligned}$$

Der geforderte Abstand von 200µm kann *nicht* eingehalten werden.

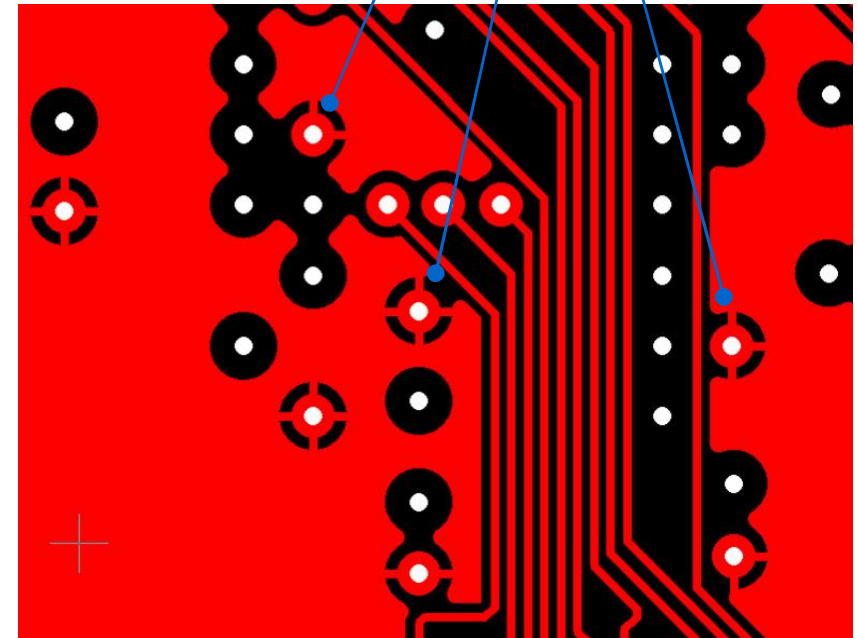
Wärmefallen : Anbindung an Powerplanes

Der Freiraum im CAD-Layout bestimmt oft die Anzahl der Stege für das Routing einer Wärmefalle.

Dadurch ergeben sich unterschiedliche Querschnitte für die Anbindung der Wärmefalle an die Powerplane.

In Abhängigkeit von der Kupferdicke hat der Querschnitt einen Einfluß auf die Wärmeableitung beim Löten der Baugruppe.

Steganzahl 2 4 3

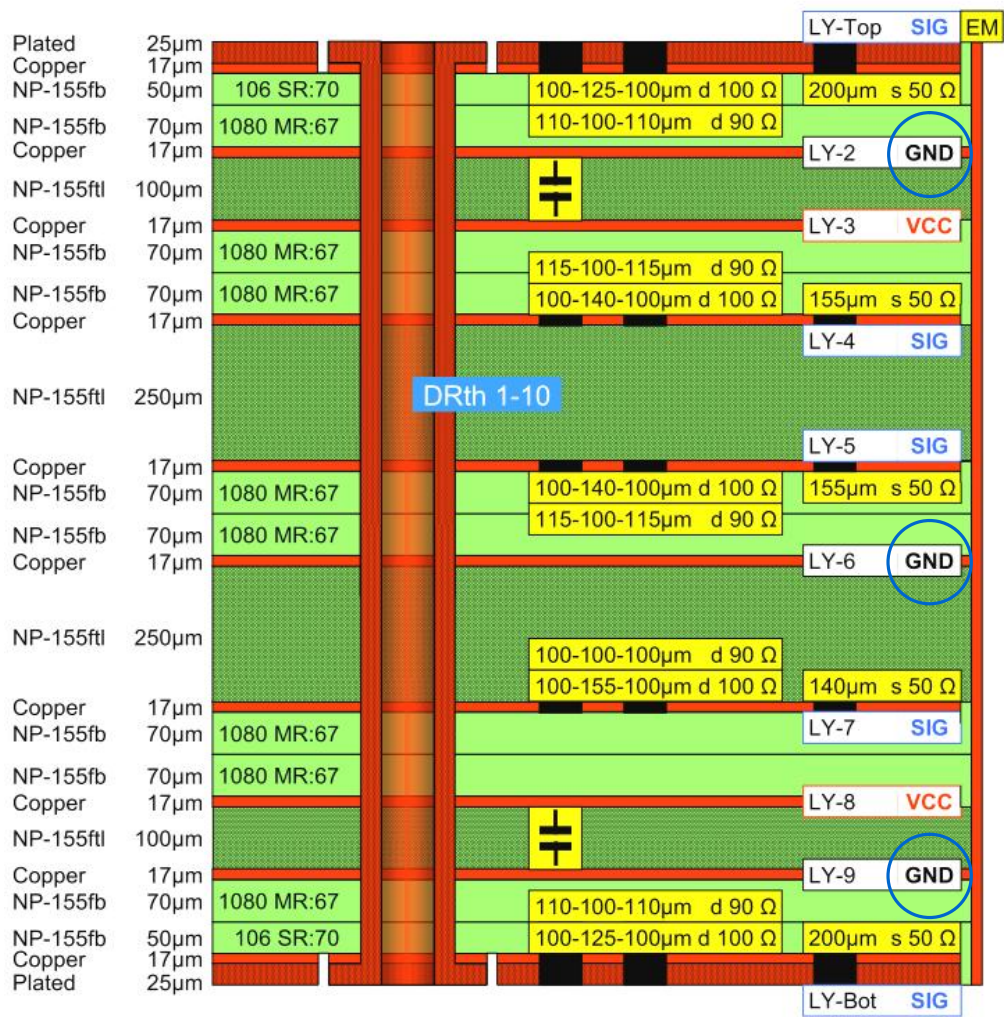


Kupferdicke 17 μm	Stegbreite [μm]			
	150	200	250	300
Steganzahl	Querschnitt [mm^2]			
1	0.0026	0.0034	0.0043	0.0051
2	0.0051	0.0068	0.0085	0.0102
3	0.0077	0.0102	0.0128	0.0153
4	0.0102	0.0136	0.0170	0.0204

Wärmefallen : Anbindung an Powerplanes bei Higspeed

Für Highspeed-Baugruppen werden GND-Planes oft mehrfach im Lagenaufbau platziert, damit Referenzen für Impedanzen, Rückströme und MultiPowerSysteme zur Verfügung stehen.

Damit erhöht sich in den THT-Bohrungen der Querschnitt der Kupferanbindung und in Folge die Wärmeableitung beim Löten der Baugruppe.



Die Qualität des Lotaufstiegs in der Hülse der THT-Bohrungen wird dadurch eingeschränkt.

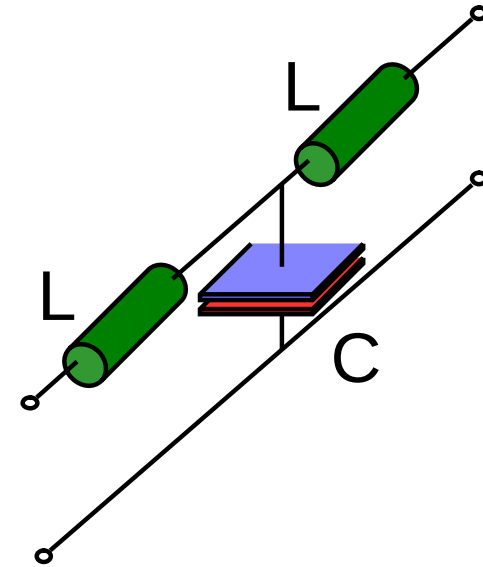
Kupferdicke Bohrung	17 µm 1.10 mm
Anzahl der Wärmefallen im Layout	Anbindung der Wärmefallen an die Hülse [mm²]
1	0.0588
2	0.1175
3	0.1762
4	0.2350

Impedanz : Physik und Leiterplattentechnologie

Hinweis (Impedanz)

Eine Leiterbahn kann im Ersatzschaltbild als Induktivität mit einem kapazitiven Bezug zur Referenzplane dargestellt werden.

Auf der Leiterplatte wird die Kapazität durch die Breite und die Kupferdicke der Signalleiterbahn und durch den Abstand zwischen dem Signallayer und der Powerplane festgelegt.

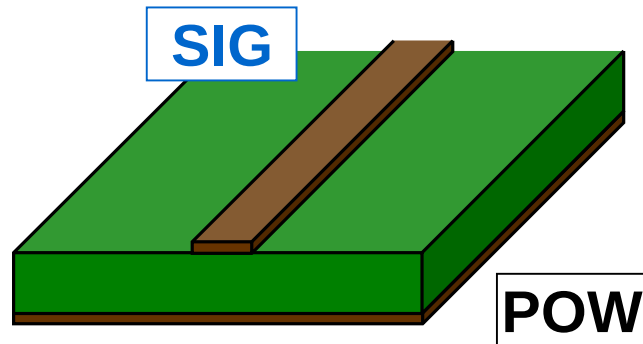


H.Reischer / Polar Instruments

Definition (Impedanz)

Für die Impedanz gilt :

$$\text{Impedanz } Z_0 = \sqrt{\frac{L}{C}}$$



Die allgemeine Zuordnung einer Leiterbahn zu einer Powerplane auf einer Leiterplatte.



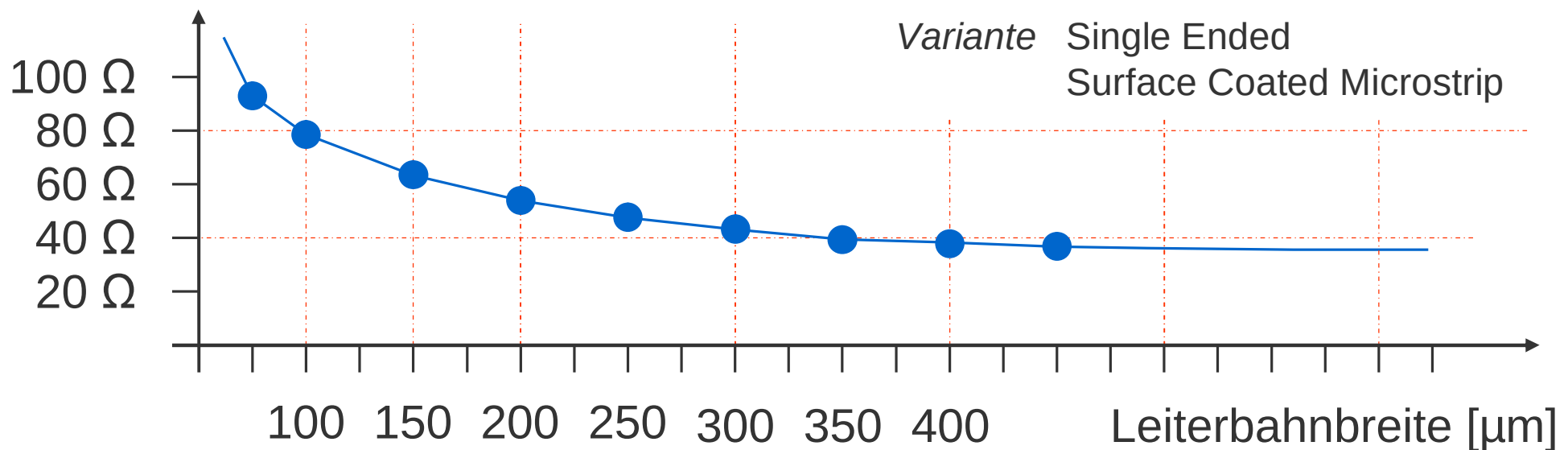
Impedanz : Impedanzverlauf

Hinweis (Impedanz und Induktivität)

Der Induktivitätsbetrag ist praktisch unabhängig von der Länge der Leiterbahn und kann deshalb als **Konstante** bewertet werden. Damit ist der Impedanzwert nur noch von der Kapazität "C" der Signalleiterbahn ab.

$$\text{Impedanz } Z_0 = \sqrt{\frac{K}{C}}$$

Weil die Kapazität "C" im Bruch als *Nenner* auftritt, folgt, daß die Impedanz zunimmt, wenn die Kapazität abnimmt. Weil aus dem Bruch die Wurzel gezogen wird, folgt, daß die Veränderung der Impedanz bei einer Veränderung der Kapazität der Leiterbahn nicht linear sondern *exponentiell* erfolgt.



Impedanz : Typische Impedanzwerte

Die typischen Werte für Impedanzen auf digitalen Baugruppen orientieren sich an der Art der Signalübertragung. Übliche Signale werden auf einer einzelnen Leiterbahn übertragen. Für eine schnelle und störsichere Übertragung werden Leitungspaare eingesetzt.

Single Ended (~ Einzelleitung)

40, 50, 65 Ω Digitale Signale

75 Ω Videosignale

Differentiell (~ Leitungspaar)

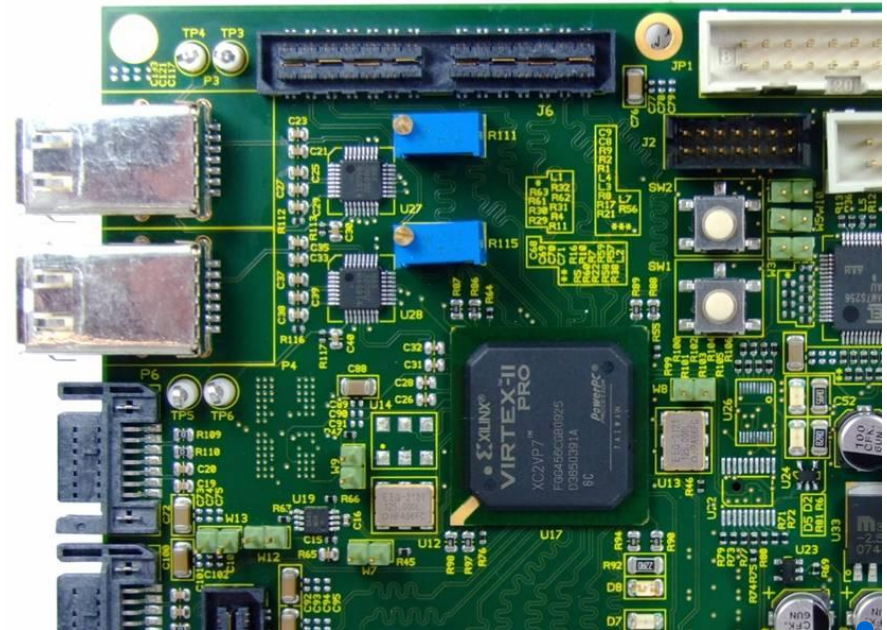
80, 90 Ω DDR3, USB

100 Ω Infiniband

Bussysteme

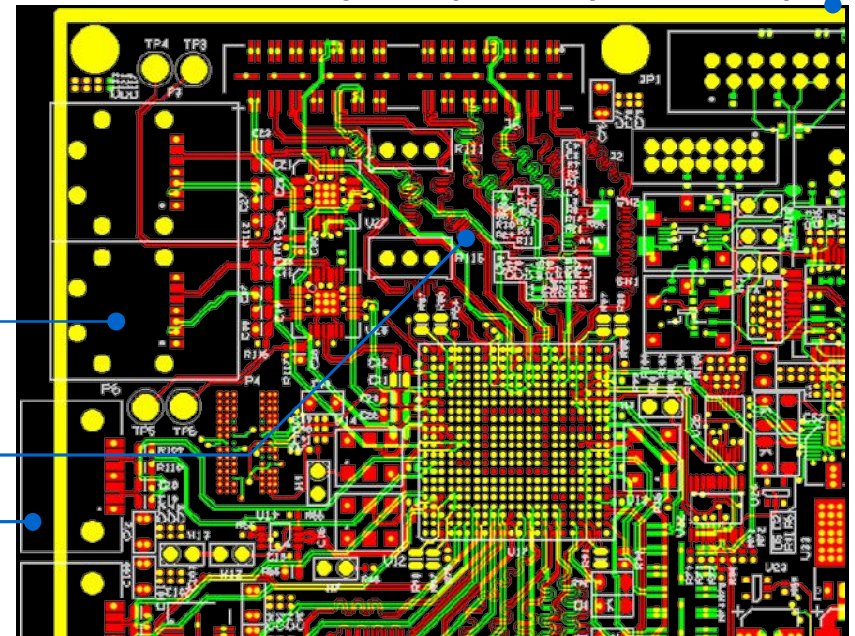
SATA

120 Ω CAN-Bus



Bestückte Baugruppe

CAD-Layout (LY-Top, LY-Bot)



Physik eines Vias berechnen (...mit Saturn PCB Toolkit V6.51)

Mit der Festlegung der Routing constraints am CAD-System wird der Viadurchmesser vorgegeben. Entsprechend der Anlage des Vias in der CAD-Bibliothek werden damit auch das Viapad auf den Signallagen und das Isolationspad auf den Innenlagen festgelegt.

Mit dem Aufbau des Multilayers wird die Länge der Hülse vorgegeben.

Die Auswahl des Basis-materials bestimmt das ϵ_r .

Die Spezifikation für die Leiterplattenfertigung legt die Dicke des Kontaktierungskupfers fest.

Damit sind die *Impedanz*, die *Kapazität* und die *Induktivität* des Vias berechenbar.

Berechnung der physikalischen Eigenschaften

Geometrie des Vias Materialvorgaben

Conductor Spacing | Conductor Impedance | Conversion Data | Planar Inductors | PDN Impedance | Thermal

Fusing Current | Embedded Resistors | PPM Calculator | Crosstalk Calculator | Wavelength Calculator

Via Properties | Conductor Properties | Bandwidth & Max Conductor Length | Differential Pairs | Padstack Calculator | Mechanical Information

Via Characteristics

Ref Plane Opening →

Via Pad

Via Plating

Ref Plane

Via Height

Via Hole Diameter: 0,100 mm

Internal Pad Diameter: 0,600 mm

Ref Plane Opening Diam: 1,0 mm

Via Height: 1,0 mm

Via Plating Thickness: 0,025 mm

Options

Base Copper Weight

9um
18um
35um
53um
70um
88um
106um
142um
178um

Units

Imperial
Metric

Substrate Options

Material Selection: Custom

Er: 4,1 Tg (°C): 130

Temp Rise (°C): 20

Temp in (°F) = 36.0

Ambient Temp (°C): 22

Temp in (°F) = 71.6

Plane Thickness

35um
70um

Layer Set

2 Layer
Multi Layer
Microvia

Print Solve!

Information

Power Dissipation in dBm VIA Thermal Resistance: 2.4711 dBm 258.516 Deg C/Watt

Via Temperature: Temp in (°C) = 42.0 VIA Voltage Drop: 1.8282 mV

Via Capacitance: 0.3414 pF

Via Inductance: 0.9378 nH

Via Impedance: 52.411 Ohms

Via DC Resistance: 0.00189 Ohms

Resonant Frequency: 8894.893 MHz

Step Response: 19.6821 ps

Power Dissipation: 0.00177 Watts

Conductor Cross Section: 0.0098 Sq.mm

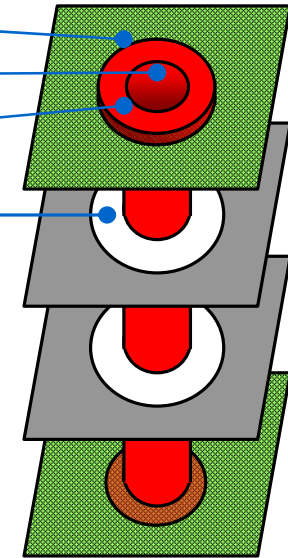
Via Current: 0.9663 Amps

SATURN PCB DESIGN INC.

Vias : Physikalische Eigenschaften

Für das Via sind im Padstack der CAD-Bibliothek vorgegeben :

25µm	Hülsenkupferdicke
200µm	Enddurchmesser des Vias
600µm	Paddurchmesser des Vias
1000µm	Isolationspad auf der Innenlage



Vialänge	Kapazität	Impedanz	Induktivität
0.4 mm	0.137 pF	42.47 Ω	0.246 nH
0.6 mm	0.205 pF	45.18 Ω	0.418 nH
0.8 mm	0.273 pF	47.01 Ω	0.604 nH
1.0 mm	0.341 pF	48.38 Ω	0.799 nH
1.2 mm	0.410 pF	49.47 Ω	1.003 nH
1.4 mm	0.478 pF	50.38 Ω	1.213 nH
1.6 mm	0.546 pF	51.15 Ω	1.429 nH
1.8 mm	0.615 pF	51.82 Ω	1.650 nH
2.0 mm	0.683 pF	52.41 Ω	1.876 nH

Padstack in
der Bibliothek
des CAD-
Systems



Signalgeschwindigkeit : Physik und Leiterplattentechnologie

Hinweis (Signalgeschwindigkeit)

Die Signalgeschwindigkeit ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

Definition (Signalgeschwindigkeit)

Für die Signalgeschwindigkeit $v_{(\text{sig})}$ gilt :

$$v_{(\text{sig})} = \frac{c}{\sqrt{\epsilon_r}}$$

Hinweis (Permittivität)

Die Variable "c" (...vom lateinischen *celeritas*) steht für die *Ausbreitungsgeschwindigkeit* elektromagnetischer Wellen und hat im Vakuum einen Wert von $3 \cdot 10^{11} \text{ mm/s} \sim 3 \cdot 10^2 \text{ mm/ns} \sim 30 \text{ cm/ns}$.

Mit der Variablen " ϵ_r " wird die *relative Dielektrizitätskonstante* oder auch die *relative Permittivität* (...vom lateinischen *permittere* ~ durchlassen) des Basismaterials bezeichnet.

Die *Speicherkapazität* eines Basismaterials ist direkt proportional zu seiner relativen Permittivität.



Signalgeschwindigkeit

Regel (Signalgeschwindigkeit)

Alles, was sich innerhalb einer Einflußsphäre mit einem Radius von zirka $150\mu\text{m}$ bis $200\mu\text{m}$ um eine Leiterbahn befindet, hat einen signifikanten Einfluß auf die Signalübertragungsqualität.

Beispiel (offene Leiterbahn)

Das effektive Dielektrikum einer offenen Leiterbahn auf einer FR4-Außenlage liegt bei zirka 2.8.

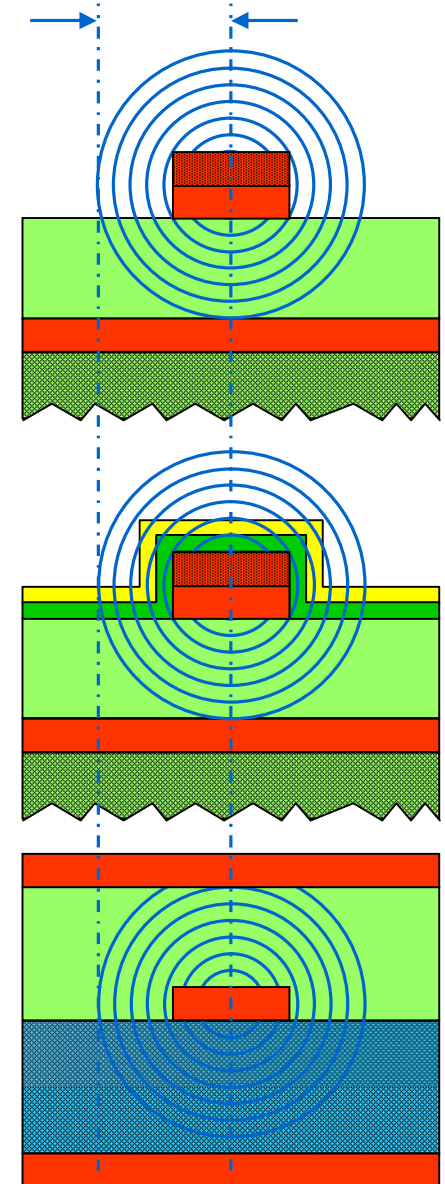
Beispiel (bedruckte Leiterbahn)

Das effektive Dielektrikum einer mit Lötstopplack bedruckten Leiterbahn auf einer FR4-Außenlage liegt bei zirka 3.8.

Beispiel (innenliegende Leiterbahn)

Das effektive Dielektrikum einer innenliegenden Leiterbahn ergibt sich aus den Dielektrika der angrenzenden Materialien.

Einflußsphäre
 $150\text{-}200\mu\text{m}$



Signalgeschwindigkeit

Beispiel (Signalgeschwindigkeit)

Vorgegeben ist eine relative Permittivität von 4.10 bei einer Frequenz von 1GHz. Referenz ist FR4 des Typs NP-155 der Fa. NanYa.

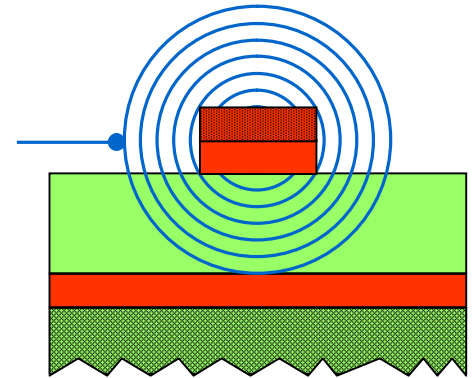
Die relative Permittivität muß sich an der effektiven Permittivität bzw. der effektiven Dielektrizitätseigenschaft orientieren, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

Für Leiterbahnen, die in ein homogenes Umfeld aus FR4 eingebettet sind, ist die Geschwindigkeit :

$$\begin{aligned} V_{(\text{sig}) (\text{FR4})} &= \frac{30}{\sqrt{4.1}} \quad [\text{cm/ns}] \\ &= \frac{30}{2.02} \quad [\text{cm/ns}] \\ &= \underline{14.85} \quad [\text{cm/ns}] \end{aligned}$$

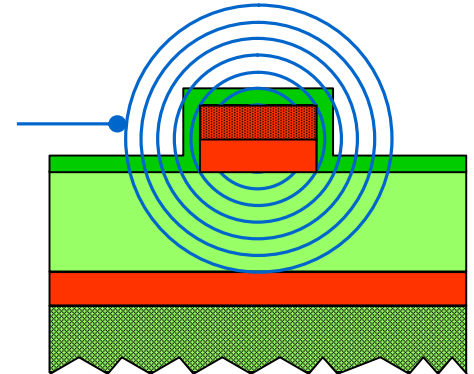
$$17.96 \text{ [cm/ns]}$$

$$\epsilon_{r_{\text{eff}}} = 2.8$$



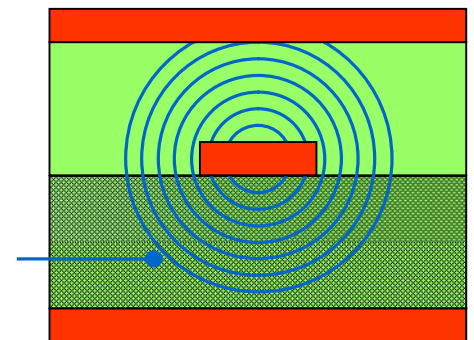
$$\epsilon_{r_{\text{eff}}} = 3.8$$

$$15.38 \text{ [cm/ns]}$$



$$\epsilon_{r_{\text{eff}}} = 4.1$$

$$14.85 \text{ [cm/ns]}$$

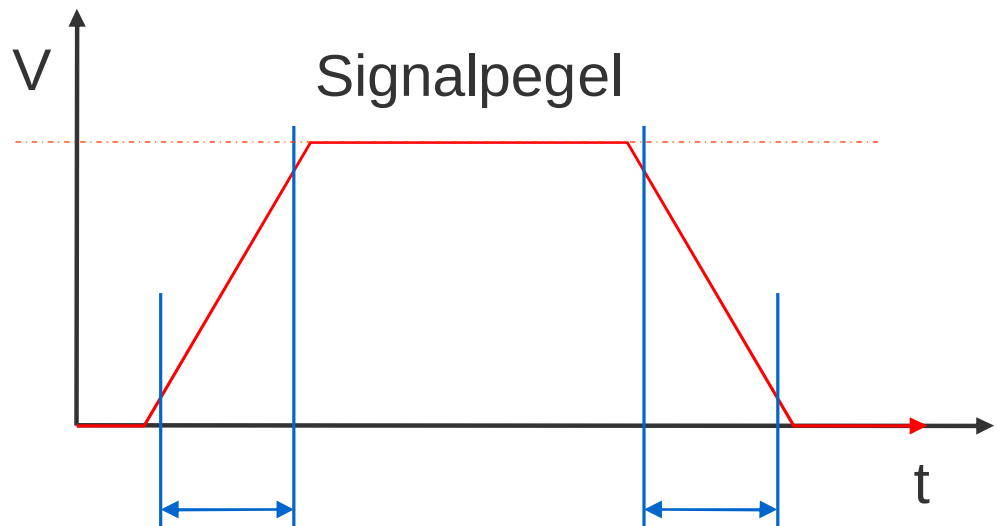


Signalanstiegszeit

Hinweis (Signalanstiegszeit)

Leiterbahnen verbinden die elektronischen Komponenten einer Baugruppe. Über diese Leiterbahnen werden Informationen zwischen den (...aktiven) Komponenten ausgetauscht.

Der Sender einer Information verändert über einen Spannungshub den Signalpegel auf einer Leiterbahn. Sobald der Empfänger den veränderten Signalpegel erkennt, reagiert er entsprechend seiner technischen Vorgaben (...als RAM, Gatter, MCU, etc).



Signal Rise Time

Signal Fall Time

Definition (Signalanstiegszeit)

Als die Signalanstiegszeit (~ Signal Rise Time) wird die Zeit bezeichnet, die vergeht, bis sich der Signalpegel von 10% auf 90% verändert hat.



Propagation Delay

Wenn ein Signal auf einer Leiterbahn (~ Transmission Line) übertragen werden soll, dann muß der Einfluß des Basismaterials beachtet werden.

Epsilon-R	[cm/ns]	[ns/cm]	Hersteller / Materialbeispiel	
1.00	29.98	0.0334	unbekannt / Luft	
2.20	20.21	0.0495	Rogers	/ D5880
2.94	17.46	0.0573	Rogers	/ D6002
3.68	15.63	0.0640	Rogers	/ Ro4350
4.10	14.81	0.0675	NanYa	/ NP-155f (~ FR4)
4.40	14.29	0.0700	Isola	/ Duraver P97 (~ PD)
4.40	14.29	0.0700	Isola	/ Duraver 114 (~ FR4)
6.20	12.04	0.0831	Rogers	/ TMM6
10.00	9.48	0.1055	Rogers	/ TMM10i

Beispiel Bei einer Permittivität (~ Epsilon-R) von 4.1 legt ein Signal in 1 ns eine Weglänge von 14.81 cm zurück.

Für eine Weglänge von 1 cm benötigt ein Signal 0.0675 ns.



Kritische Signalweglänge 2

Beispiel 2 (Kritische Signalweglänge)

In den 2010er-Jahren lag die Signalanstiegszeit der elektronisch aktiven Komponenten bei zirka 0.3 ns. Der klassische Wert für das ϵ_r des FR4-Basismaterials lag bei zirka 4.2 mit Referenz zu 1 GHz.

Für ein ϵ_r von 4.2 beträgt die innerhalb einer ns zurückgelegte Weglänge 14.63 cm. Als Propagation Delay ergibt sich daraus für die Weglänge von 1 cm eine Zeit von 0.0684 ns.

Durch Einsetzen dieser Werte läßt sich die kritische Signalweglänge ermitteln.

$$\text{KWL}_{(\text{sig})} = \frac{0.3 \text{ [ns]}}{2 \cdot 0.0684 \frac{\text{[ns]}}{\text{[cm]}}} = \frac{0.3 \text{ [ns} \cdot \text{cm]}}{0.1368 \text{ [ns]}} = \underline{2.19 \text{ [cm]}}$$

Ab einer Signalweglänge von 2.19 cm kann es zu Reflexionen kommen. Sowohl die Signalgeschwindigkeit als auch die Impedanz müssen dann beachtet werden.



Funktionsmodul in einem Multilayer

Die Konstruktion von *Funktionsräumen* in einem Multilayersystem.

**LeiterplattenAkademie**

Ri10T1.70C50-17C300-17#01

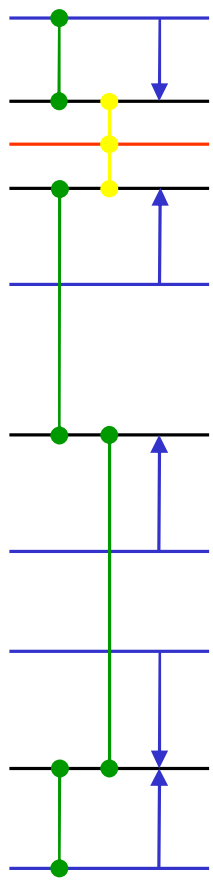
Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LY-Top SIG
Copper	17µm			
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-2 GND
NP-155ftl	50µm			
Copper	17µm			LY-3 VCC
NP-155fb	50µm	106 SR:70		
Copper	17µm			LY-4 GND
NP-155ftl	200µm			
				LY-5 SIG
Copper	17µm			
NP-155fb	65µm	1080 MR:67	100-125-100µm d 100 Ω	175µm s 50 Ω
NP-155fb	65µm	1080 MR:67		
NP-155fb	65µm	1080 MR:67		
Copper	17µm			LY-6 GND
NP-155ftl	300µm			
		DRth 1-10		
				LY-7 SIG
Copper	17µm			
NP-155fb	65µm	1080 MR:67	100-110-100µm d 100 Ω	275µm s 50 Ω
NP-155fb	65µm	1080 MR:67	100-110-100µm d 100 Ω	250µm s 50 Ω
Copper	17µm			LY-8 SIG
NP-155ftl	300µm			
Copper	17µm			LY-9 GND
NP-155fb	50µm	106 SR:70		
NP-155fb	50µm	106 SR:70	100-150-100µm d 100 Ω	150µm s 50 Ω
Copper	17µm			
Plating	25µm			LY-Bot SIG

Thickness

1.50mm - 1.70mm Bare Board
1.58mm - 1.79mm ENIG
1.62mm - 1.82mm HAL
General tolerance +/- 6%

LA-Drawing

#1030
Date 09.08.2010
Name Wi
Comment --



Impedanzmodul

Signalintegrität

Stromversorgung

Impedanzmodul

Signalintegrität

Impedanzmodul

Signalintegrität

Signalintegrität

Impedanzmodul

Signalintegrität

Signalintegrität

Funktionsmoduln für 8-Lagen-Multilayer

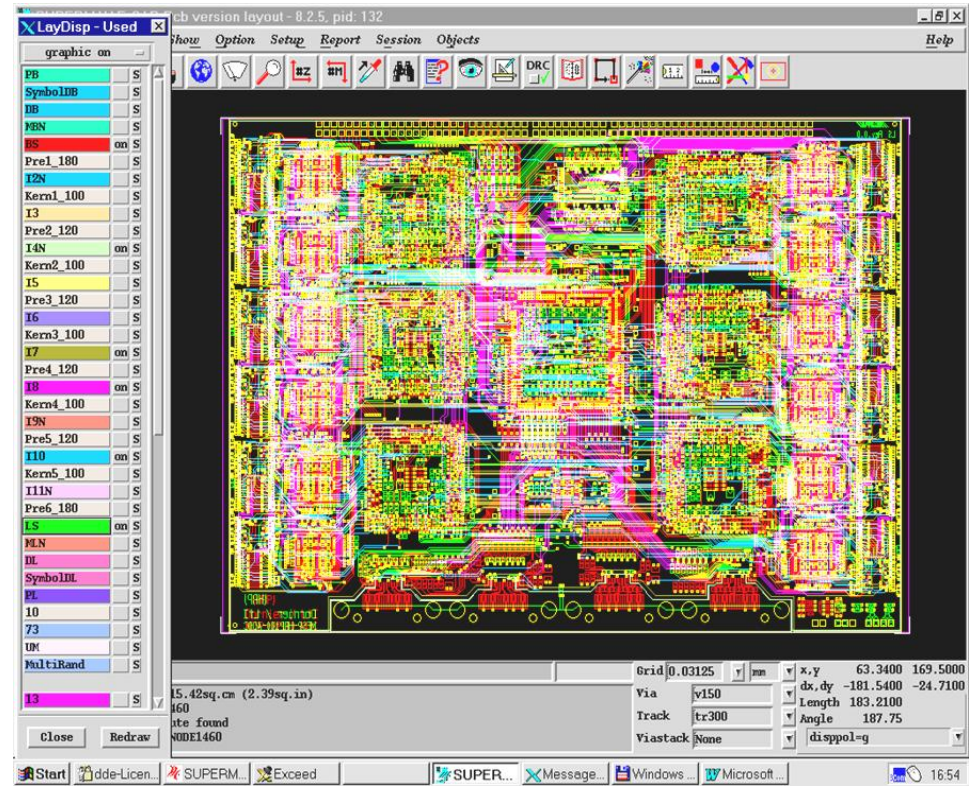
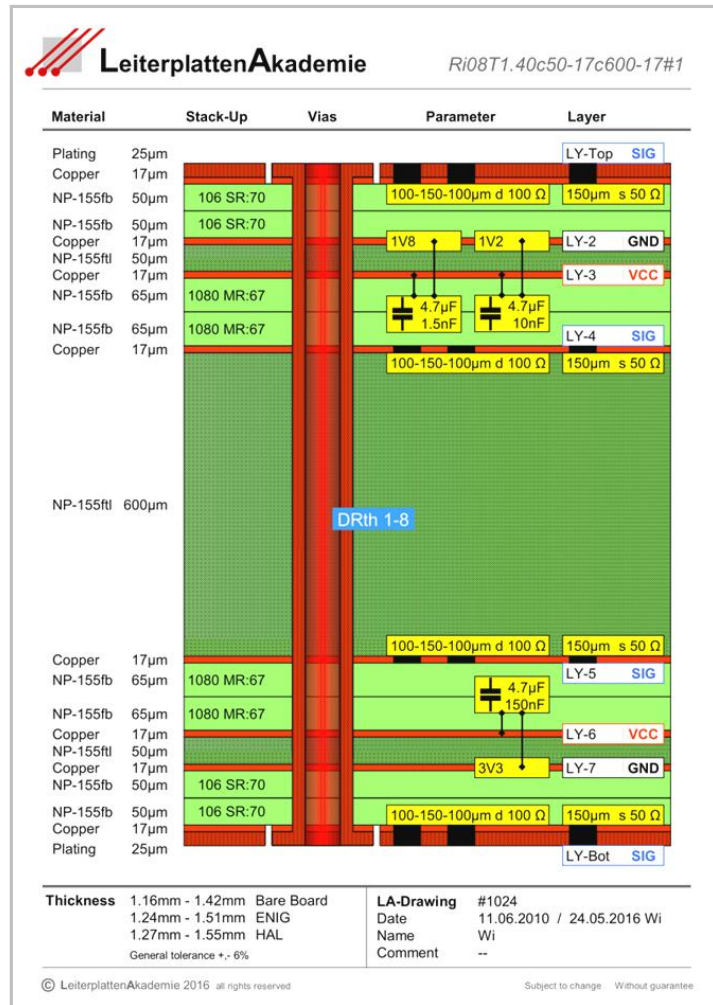
Tabelle 1	Variante 1	Variante 2	Variante 3	Variante 4	Variante 5	Variante 6
Layer 1	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Layer 2	GND	GND	SIGNAL	VCC	GND	GND
Layer 3	VCC	VCC	GND	SIGNAL	VCC	SIGNAL
Layer 4	SIGNAL	GND	VCC	SIGNAL	SIGNAL	VCC
Layer 5	SIGNAL	SIGNAL	VCC	SIGNAL	GND	SIGNAL
Layer 6	VCC	SIGNAL	GND	SIGNAL	SIGNAL	SIGNAL
Layer 7	GND	GND	SIGNAL	VCC	GND	GND
Layer 8	SIGNAL	SIGNAL	SIGNAL	GND	SIGNAL	SIGNAL
Entkopplung	gut	gut	gut	gut	gut	schlecht
EMV	mittel	gut	mittel	mittel	mittel	schlecht
Signalintegrität	schlecht	gut	schlecht	schlecht	gut	schlecht
Eigenstörung	hoch	niedrig	niedrig	hoch	mittel	mittel

Ergebnis

Die meisten theoretisch möglichen Kombinationen sind in der Praxis *nicht* brauchbar.



Integration technischer Parameter in das CAD-System



Der *tatsächliche* Lagenaufbau muß mit allen mechanischen und techni-

schen Parametern als Stack-Up im CAD-System hinterlegt sein.

Nur dann wird die virtuelle Welt des CAD-Systems mit der realen Welt korrekt abgeglichen. Die *Simulation* der Schaltungseigenschaften und die zuverlässige Produktion der Leiterplatten ist erst dann möglich.



3. Abschnitt

- 1 Multilayerdokumentation
- 2 Kosten... Nutzflächen
- 3 Kosten... Materialspezifikation
- 4 Kosten... CAD-Konstruktion
- 5 Ausblick... Multicore-Aufbauten



LeiterplattenAkademie

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LY-Top SIG
Copper	17µm			
NP-155fb	50µm		100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	50µm		106 SR:70	
Copper	17µm		1V8 1V2	LY-2 GND
NP-155ftl	50µm			
Copper	17µm			LY-3 VCC
NP-155fb	65µm		1080 MR:67	
NP-155fb	65µm		4.7µF 1.5nF 4.7µF 10nF	
Copper	17µm			LY-4 SIG
			100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155ftl	600µm	DRI-th		
Copper	17µm		100-150-100µm d 100 Ω	150µm s 50 Ω
NP-155fb	65µm		1080 MR:67	LY-5 SIG
NP-155fb	65µm		1080 MR:67	
Copper	17µm		4.7µF 150nF	
NP-155ftl	50µm			LY-6 VCC
Copper	17µm		3V3	LY-7 GND
NP-155fb	50µm		106 SR:70	
NP-155fb	50µm		100-150-100µm d 100 Ω	150µm s 50 Ω
Copper	17µm			
Plating	25µm			LY-Bot SIG

Thickness

1.16mm - 1.42mm	Bare Board
1.24mm - 1.51mm	ENIG
1.27mm - 1.55mm	HAL

General tolerance +/- 6%

LA-Drawing

#1024
Date 11.06.2010 / Rev.: 04.07.2010
Name Wi
Comment --

Regel (Multilayerdokumentation)

- Die *Qualität* und die *Quantität* des eingesetzten Materials
- Die *technischen Parameter* des eingesetzten Basismaterials
- Die *Leiterplattenspezifikation* inklusive der Subqualitäten
- Die *CAD-Constraints* mit den Extremwerten für das Routing
- Die *elektrophysikalischen Eigenschaften* der Leiterplatte
- Die wichtigsten *Volumenparameter* für die Baugruppenproduktion

© LeiterplattenAkademie 2010

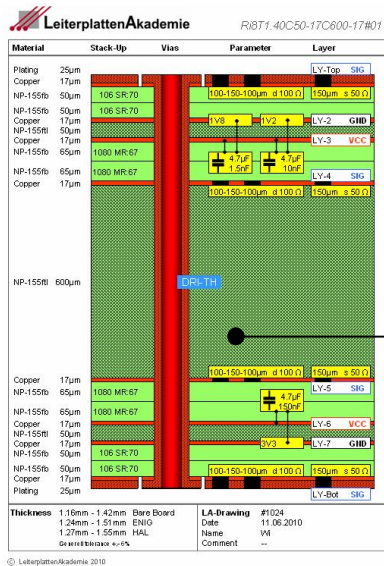
© LeiterplattenAkademie 2016

© LeiterplattenAkademie 2016



Multilayerdokumentation / Materialeigenschaften

Material per PCB		#	Glass	Resin	Pressed Thickness	Company
Prepreg	NP-155fb	4	106	SR:70%	48µm +,- 8µm	NanYa
Prepreg	NP-155fb	4	1080	MR:67%	71µm +,- 8µm	NanYa
Core	NP-155ftl	2	n.a.	n.a.	50µm	NanYa
Core	NP-155ftl	1	n.a.	n.a.	710µm	NanYa



Main Material Properties

IPC-Specification sheet	IPC-4101C / 124
Epoxy-System	FR4
Curing agent	phenolic
Flame retardend mech.	RoHS compliant Bromine
UL-zertificate	UL94 V-0
Dielectric value	4.1@1GHz
Loss tangent	0.014@1GHz
Tg	155° by DSC / TMA
CTE x/y/z	before Tg : 18/18/60 after Tg : 18/18/300
Electrical strength	40 kv/mm minimum
Adhesive strength	0.78 n/mm minimum for copper foils >17µm

Technolam Data sheet /NanYa, May 2010

Die klassische Beschreibung eines Multilayers reicht nicht mehr aus. Die Materialeigenschaften müssen im Detail zuverlässig belegt sein. Heute ist die präzise Nomenklatur der Materialien unverzichtbar...

Multilayerdokumentation / CAD-Spezifikation

LeiterplattenAkademie R8T1:40C50-17C600-17#01

Material	Stack-Up	Vias	Parameter	Layer
Pating	25µm			LV-Top SHG
Copper	17µm			
NP-155fb	50µm	106 SR-70	100-150-100µm d 100.0	150µm ± 50.0
NP-155fb	50µm	106 SR-70		
Copper	17µm		LV-0	LV-2 GH0
NP-155fb	50µm		LV-2	
Copper	17µm		LV-3	VCC
NP-155fb	50µm		LV-3	
Copper	17µm		LV-4	SHG
NP-155fb	50µm		LV-4	
Copper	17µm		LV-5	SHG
NP-155fb	50µm		LV-5	
Copper	17µm		LV-6	VCC
NP-155fb	50µm		LV-6	
Copper	17µm		LV-7	GH0
NP-155fb	50µm		LV-7	
Copper	17µm		LV-8	SHG
NP-155fb	50µm		LV-8	
Copper	17µm		LV-9	SHG
NP-155fb	50µm		LV-9	
Copper	17µm		LV-10	SHG
NP-155fb	50µm		LV-10	
Copper	17µm		LV-11	SHG
NP-155fb	50µm		LV-11	
Copper	17µm		LV-12	SHG
NP-155fb	50µm		LV-12	
Copper	17µm		LV-13	SHG
NP-155fb	50µm		LV-13	
Copper	17µm		LV-14	SHG
NP-155fb	50µm		LV-14	
Copper	17µm		LV-15	SHG
NP-155fb	50µm		LV-15	
Copper	17µm		LV-16	SHG
NP-155fb	50µm		LV-16	
Copper	17µm		LV-17	SHG
NP-155fb	50µm		LV-17	
Copper	17µm		LV-18	SHG
NP-155fb	50µm		LV-18	
Copper	17µm		LV-19	SHG
NP-155fb	50µm		LV-19	
Copper	17µm		LV-20	SHG
NP-155fb	50µm		LV-20	
Copper	17µm		LV-21	SHG
NP-155fb	50µm		LV-21	
Copper	17µm		LV-22	SHG
NP-155fb	50µm		LV-22	
Copper	17µm		LV-23	SHG
NP-155fb	50µm		LV-23	
Copper	17µm		LV-24	SHG
NP-155fb	50µm		LV-24	
Copper	17µm		LV-25	SHG
NP-155fb	50µm		LV-25	
Copper	17µm		LV-26	SHG
NP-155fb	50µm		LV-26	
Copper	17µm		LV-27	SHG
NP-155fb	50µm		LV-27	
Copper	17µm		LV-28	SHG
NP-155fb	50µm		LV-28	
Copper	17µm		LV-29	SHG
NP-155fb	50µm		LV-29	
Copper	17µm		LV-30	SHG
NP-155fb	50µm		LV-30	
Copper	17µm		LV-31	SHG
NP-155fb	50µm		LV-31	
Copper	17µm		LV-32	SHG
NP-155fb	50µm		LV-32	
Copper	17µm		LV-33	SHG
NP-155fb	50µm		LV-33	
Copper	17µm		LV-34	SHG
NP-155fb	50µm		LV-34	
Copper	17µm		LV-35	SHG
NP-155fb	50µm		LV-35	
Copper	17µm		LV-36	SHG
NP-155fb	50µm		LV-36	
Copper	17µm		LV-37	SHG
NP-155fb	50µm		LV-37	
Copper	17µm		LV-38	SHG
NP-155fb	50µm		LV-38	
Copper	17µm		LV-39	SHG
NP-155fb	50µm		LV-39	
Copper	17µm		LV-40	SHG
NP-155fb	50µm		LV-40	
Copper	17µm		LV-41	SHG
NP-155fb	50µm		LV-41	
Copper	17µm		LV-42	SHG
NP-155fb	50µm		LV-42	
Copper	17µm		LV-43	SHG
NP-155fb	50µm		LV-43	
Copper	17µm		LV-44	SHG
NP-155fb	50µm		LV-44	
Copper	17µm		LV-45	SHG
NP-155fb	50µm		LV-45	
Copper	17µm		LV-46	SHG
NP-155fb	50µm		LV-46	
Copper	17µm		LV-47	SHG
NP-155fb	50µm		LV-47	
Copper	17µm		LV-48	SHG
NP-155fb	50µm		LV-48	
Copper	17µm		LV-49	SHG
NP-155fb	50µm		LV-49	
Copper	17µm		LV-50	SHG
NP-155fb	50µm		LV-50	
Copper	17µm		LV-51	SHG
NP-155fb	50µm		LV-51	
Copper	17µm		LV-52	SHG
NP-155fb	50µm		LV-52	
Copper	17µm		LV-53	SHG
NP-155fb	50µm		LV-53	
Copper	17µm		LV-54	SHG
NP-155fb	50µm		LV-54	
Copper	17µm		LV-55	SHG
NP-155fb	50µm		LV-55	
Copper	17µm		LV-56	SHG
NP-155fb	50µm		LV-56	
Copper	17µm		LV-57	SHG
NP-155fb	50µm		LV-57	
Copper	17µm		LV-58	SHG
NP-155fb	50µm		LV-58	
Copper	17µm		LV-59	SHG
NP-155fb	50µm		LV-59	
Copper	17µm		LV-60	SHG
NP-155fb	50µm		LV-60	
Copper	17µm		LV-61	SHG
NP-155fb	50µm		LV-61	
Copper	17µm		LV-62	SHG
NP-155fb	50µm		LV-62	
Copper	17µm		LV-63	SHG
NP-155fb	50µm		LV-63	
Copper	17µm		LV-64	SHG
NP-155fb	50µm		LV-64	
Copper	17µm		LV-65	SHG
NP-155fb	50µm		LV-65	
Copper	17µm		LV-66	SHG
NP-155fb	50µm		LV-66	
Copper	17µm		LV-67	SHG
NP-155fb	50µm		LV-67	
Copper	17µm		LV-68	SHG
NP-155fb	50µm		LV-68	
Copper	17µm		LV-69	SHG
NP-155fb	50µm		LV-69	
Copper	17µm		LV-70	SHG
NP-155fb	50µm		LV-70	
Copper	17µm		LV-71	SHG
NP-155fb	50µm		LV-71	
Copper	17µm		LV-72	SHG
NP-155fb	50µm		LV-72	
Copper	17µm		LV-73	SHG
NP-155fb	50µm		LV-73	
Copper	17µm		LV-74	SHG
NP-155fb	50µm		LV-74	
Copper	17µm		LV-75	SHG
NP-155fb	50µm		LV-75	
Copper	17µm		LV-76	SHG
NP-155fb	50µm		LV-76	
Copper	17µm		LV-77	SHG
NP-155fb	50µm		LV-77	
Copper	17µm		LV-78	SHG
NP-155fb	50µm		LV-78	
Copper	17µm		LV-79	SHG
NP-155fb	50µm		LV-79	
Copper	17µm		LV-80	SHG
NP-155fb	50µm		LV-80	
Copper	17µm		LV-81	SHG
NP-155fb	50µm		LV-81	
Copper	17µm		LV-82	SHG
NP-155fb	50µm		LV-82	
Copper	17µm		LV-83	SHG
NP-155fb	50µm		LV-83	
Copper	17µm		LV-84	SHG
NP-155fb	50µm		LV-84	
Copper	17µm		LV-85	SHG
NP-155fb	50µm		LV-85	
Copper	17µm		LV-86	SHG
NP-155fb	50µm		LV-86	
Copper	17µm		LV-87	SHG
NP-155fb	50µm		LV-87	
Copper	17µm		LV-88	SHG
NP-155fb	50µm		LV-88	
Copper	17µm		LV-89	SHG
NP-155fb	50µm		LV-89	
Copper	17µm		LV-90	SHG
NP-155fb	50µm		LV-90	
Copper	17µm		LV-91	SHG
NP-155fb	50µm		LV-91	
Copper	17µm		LV-92	SHG
NP-155fb	50µm		LV-92	
Copper	17µm		LV-93	SHG
NP-155fb	50µm		LV-93	
Copper	17µm		LV-94	SHG
NP-155fb	50µm		LV-94	
Copper	17µm		LV-95	SHG
NP-155fb	50µm		LV-95	
Copper	17µm		LV-96	SHG
NP-155fb	50µm		LV-96	
Copper	17µm		LV-97	SHG
NP-155fb	50µm		LV-97	
Copper	17µm		LV-98	SHG
NP-155fb	50µm		LV-98	
Copper	17µm		LV-99	SHG
NP-155fb	50µm		LV-99	
Copper	17µm		LV-100	SHG
NP-155fb	50µm		LV-100	

Thickness: 1.10mm - 1.42mm Bare Board
1.24mm - 1.51mm ENIG
1.27mm - 1.55mm HAL
Solder Mask: 20µm

L.A. Drawing #1024
Date: 11.06.2010
Name: VW
Comment: --

© LeiterplattenAkademie 2010

PCB & CAD-Layout Specification

PCB Class	Rigid
Cores mounted	Inside
Copper Thickness	25µm for throughhole barrels
Throughhole Vias	CAD : 100µm diameter + 400µm pad minimum Tool : 200µm diameter minimum
Aspect-Ratio	1:8 or better is necessary
BuriedVias	no
BlindVias	no
Track width	100µm minimum on all signal layers
Track distance	90µm minimum on all signal layers
Solder Mask	double sided, fotolithographic, thickness 20µm
Plugging	no
Edge Metallisation	no
UL	yes

Jeder Multilayer ist heute praktisch mit einer verbindlichen Anwendung verknüpft.

Die technischen Eigenschaften eines individuellen Aufbaus müssen durch die Dokumentation der Anforderungen an die Qualität der Leiterplatte nicht nur beschrieben, sondern auch jederzeit zuverlässig nachvollziehbar offengelegt werden...

Multilayerdokumentation / Physik

LeiterplattenAkademie R8T1-40C50-17C600-17#01

Material	Stack-Up	Vias	Parameter	Layer
Plating	25µm			LV-Top SHG
Copper	17µm			
NP-155b	50µm	106 SR-70	100-150-100µm d 100.0	150µm ± 50.0
NP-155b	50µm	106 SR-70		
Copper	17µm			LV-2 GND
NP-155b	50µm			
Copper	17µm			LV-3 VCC
NP-155b	65µm	1080 MR-67	4.7µF 1.5nF	
NP-155b	65µm	1080 MR-67	4.7µF 10nF	
Copper	17µm			LV-4 SHG
NP-155b	50µm			
Copper	17µm			LV-5 SHG
NP-155b	65µm	1080 MR-67	4.7µF 150nF	
Copper	17µm			LV-6 VCC
NP-155b	50µm			
Copper	17µm			LV-7 GND
NP-155b	50µm	106 SR-70	100-150-100µm d 100.0	150µm ± 50.0
Copper	17µm			LV-Bot SHG
Plating	25µm			

Thickness: 1.10mm - 1.42mm Bare Board
1.24mm - 1.51mm ENIG
1.27mm - 1.55mm HAL
Sealant thickness: 0-15µm

L.A. Drawing #1024
Date 11.06.2010
Name VW
Comment --

© LeiterplattenAkademie 2010

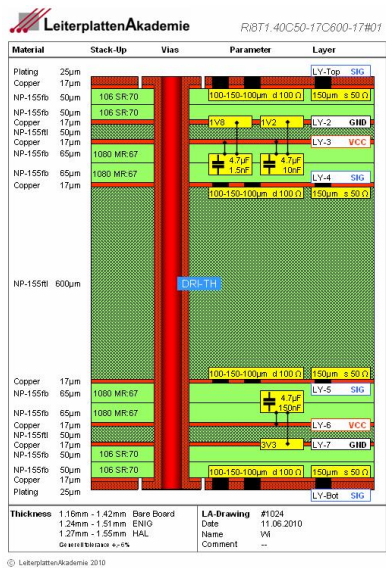
Electromagnetical & physical Properties

MultiPowerSystem	2 pairs GND + VCC with 50µm distance
Impedance	50 Ω single ended 100 Ω differentiell
Decoupling	1 pair 4.7µF + 1.5nF on top (GND to 1V8) 1 pair 4.7µF + 10nF on top (GND to 1V2) 1 pair 4.7µF + 150nF on bottom (GND to 3V3)
Power Integrity	
Signal Integrity	
EMI	
Thermal properties	

Impedance calculated with POLAR Si8000 V9.02.00
Decoupling Capacitors are calculated with DCC Silent V.4.0

Die Leiterplattenspezifikation definiert für sich allein noch nicht die dedizierten Eigenschaften des Produktes „Baugruppe“.
Für den Technologen im Vorfeld der Baugruppen- und Schaltungs-entwicklung vermittelt sie deshalb die Eigenschaften eines Multilayers noch *nicht* mit der erforderlichen Transparenz...

Multilayerdokumentation / Statistische Parameter



Statistic Values

Copper volume + weight	Powerplane 136 mm ³ /dm ² 1.21 gr/dm ²	Copper thickness 17µm Density 80%
	Signallayer 136 mm ³ /dm ² 0.68 gr/dm ²	Copper thickness 17µm Density 40%
	Signallayer 136 mm ³ /dm ² 1.68 gr/dm ²	Copper thickness 42µm Density 40%
Dielectric weight	NP-155f 2.0 gr/dm ²	Reference thickness 100µm
Summary	33.24 gr/dm2	at 1.5mm PCB-thickness
Via copper weight	17 mgr	/100 vias Tool diameter 200µm
Via copper volume	1.92 mm ³	/100 vias
Via copper surface	88 mm ²	/100 vias

Die Produktion der Baugruppe ist üblicherweise in die Vorbetrachtung zur Konstruktion eines Multilayer-Lagenaufbaus *nicht* eingebunden. Mit Blick auf die *systematische* und *zuverlässige* Vorabplanung von Lötprofilen (...für welche Oberfläche ?) ist dies ein eklatanter Mangel. Allerdings ist das Problem, daß es kein Anforderungsspektrum gibt...

BGA Routing : Multilayer für eine Matrix 25x25 und 800µm Pitch

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top SIG EM
Copper	17µm			
NP-155fb	50µm	106 SR:70	100-125-100µm d 100 Ω	200µm s 50 Ω
NP-155fb	70µm	1080 MR:67	110-100-110µm d 90 Ω	
Copper	17µm			LY-2 GND
NP-155ftl	100µm		100-115-100µm d 90 Ω	115µm s 50 Ω
Copper	17µm		100-225-100µm d 100 Ω	LY-3 SIG
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-4 SIG
Copper	17µm		100-115-100µm d 90 Ω	115µm s 50 Ω
NP-155ftl	100µm			LY-5 GND
Copper	17µm			LY-6 VCC
NP-155fb	50µm	106 SR:70		LY-7 GND
Copper	17µm			LY-8 VCC
NP-155ftl	100µm			LY-9 VCC
Copper	17µm			LY-10 GND
NP-155fb	50µm	106 SR:70		
Copper	17µm			
NP-155ftl	100µm		100-115-100µm d 90 Ω	115µm s 50 Ω
Copper	17µm		100-225-100µm d 100 Ω	LY-11 SIG
NP-155fb	70µm	1080 MR:67	100-225-100µm d 100 Ω	LY-12 SIG
Copper	17µm		100-115-100µm d 90 Ω	115µm s 50 Ω
NP-155ftl	100µm			LY-13 GND
Copper	17µm		110-100-110µm d 90 Ω	
NP-155fb	50µm	106 SR:70	100-125-100µm d 100 Ω	200µm s 50 Ω
Copper	17µm			
Plated	25µm			LY-Bot SIG

Thickness	1.37mm - 1.55mm	Bare Board	LA-Drawing	#1068	
	1.45mm - 1.64mm	ENIG		Date	13.02.2013
	1.49mm - 1.67mm	HAL		Name	Wi
	General tolerance +/- 6%			Comment	--

Lagenaufbau

Für ein BGA mit einer voll belegten Matrix von 25x25 Spalten und Reihen sind maximal 6 Signallayer für das Routing erforderlich. Für GND sind 5 Lagen vorgesehen, für VCC insgesamt 3 Lagen.

Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von vier GND-VCC-Paaren stehen interne Kapazitäten im Multilayer für eine effektive Stromversorgung zur Verfügung.

Der Aufbau bietet maximale Stabilität bei voller Inanspruchnahme der BGA-Leistung.



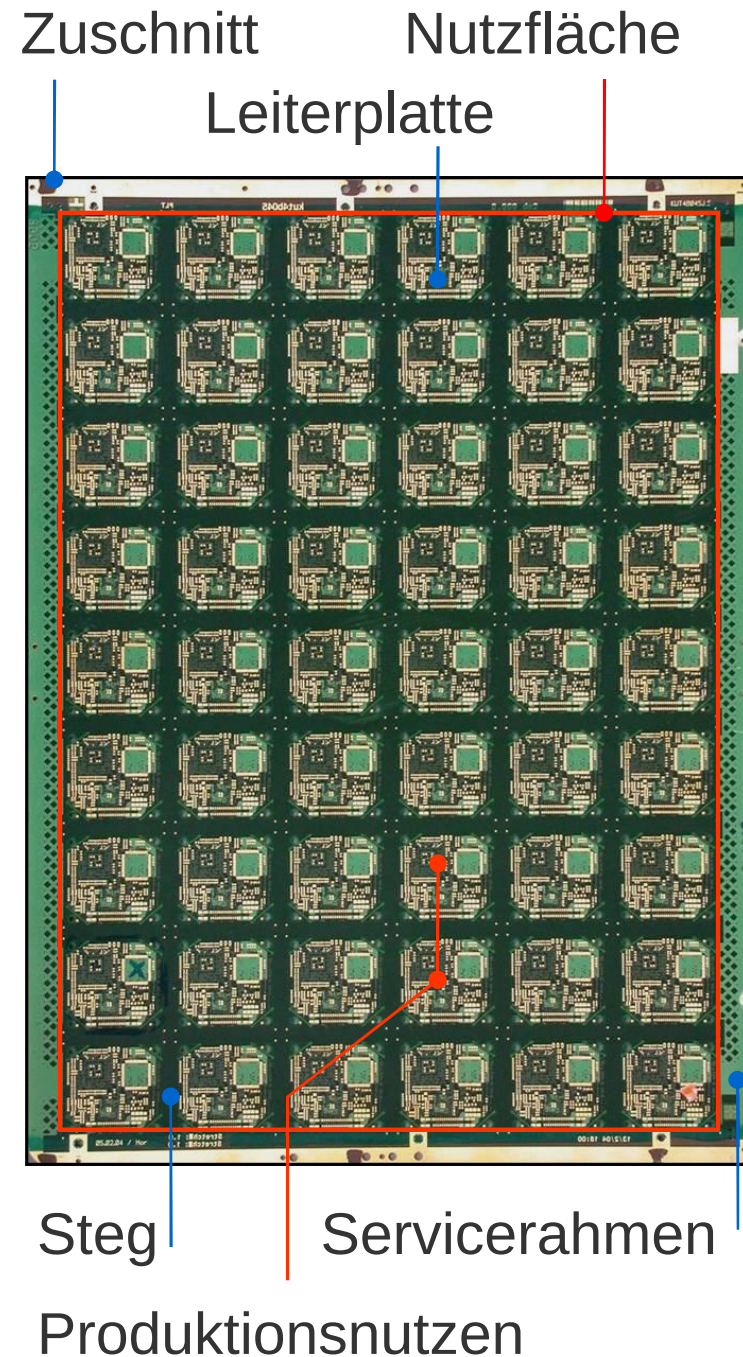
Nutzenoptimierung : Begriffe + Vorgaben

Für eine rationelle Fertigung werden Leiterplatten üblicherweise in einem Produktionsnutzen gefertigt. Für die Nutzengestaltung steht die Nutzfläche eines Zuschnittes zur Verfügung. Ein umlaufender Servicerahmen wird für die Produktion benötigt. Zwischen den Leiterplatten muß oft ein Steg bleiben, der für Stabilität beim Ausfräsen sorgt.

Übliche Werte sind :

Zuschnittmaße 460 x 610mm
Servicerahmen 20mm umlaufend
Stegbreite 10mm

Weil ca. 80% der Kosten von der Auslastung der Nutzfläche abhängen, ist eine *Optimierung der Leiterplattengröße* sinnvoll.



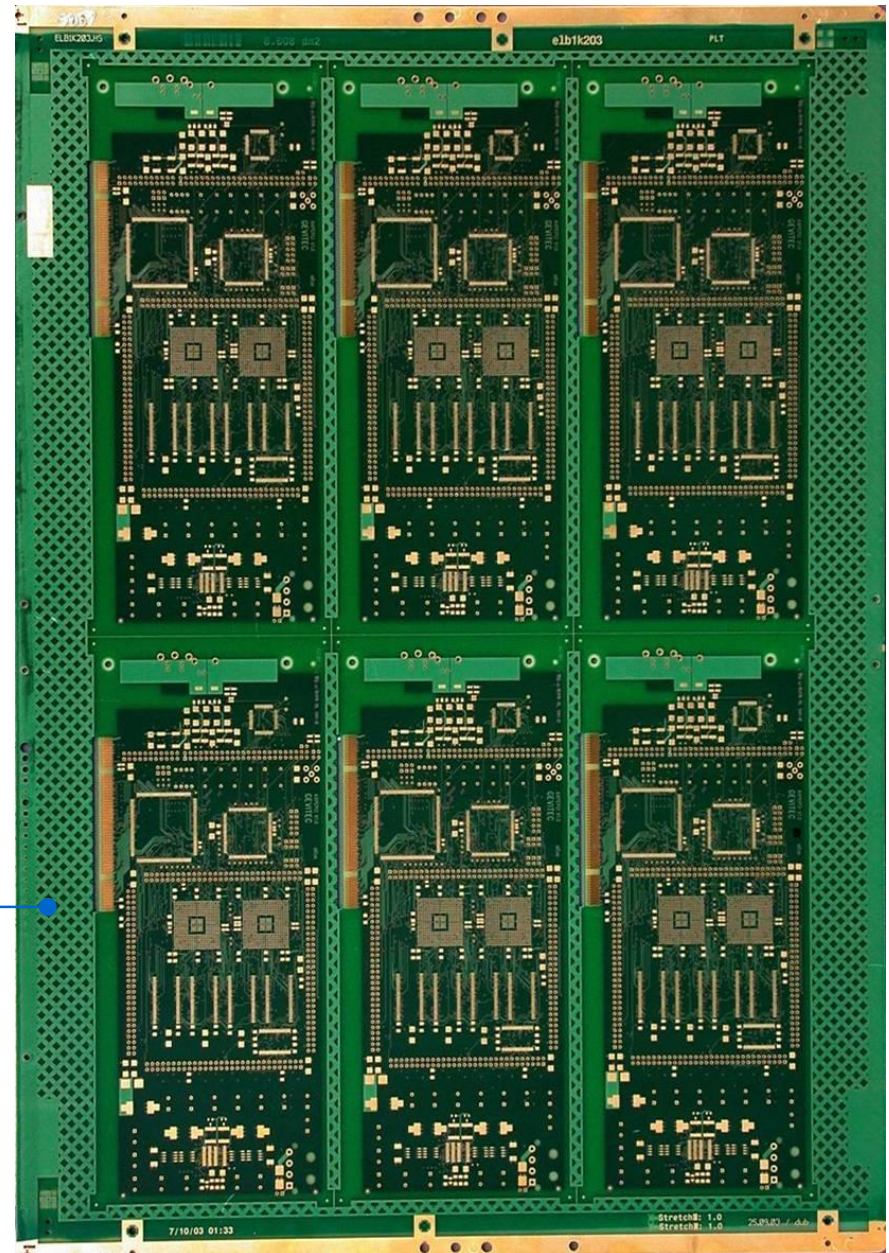
Nutzen + Produktionszuschnitt

Damit Leiterplatten auch auf qualitativ hohem Niveau wirtschaftlich gefertigt werden können, arbeitet die (...mittelständische) Leiterplattenindustrie mit festen Formaten für den Materialzuschnitt.

Die mögliche Auslastung eines Zuschnittes beeinflußt (...zu zirka 80%) die Kosten der Leiterplatte.

Begriffe (Zuschnitt)

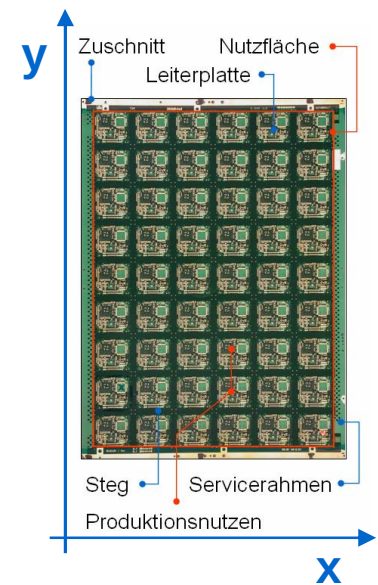
- Zuschnitt ~ Panel
- ~ Produktionspanel
- ~ Produktionsnutzen
- ~ Produktionszuschnitt
- ~ Nutzenpanel



Optimale Leiterplattengrößen (mit Fräskontur)

Beispiel (Steg = 10mm, Trenntechnologie : Fräsen)

Für die o.a. Vorgaben ist 420.0 x 570.0 mm die maximale Leiterplattengröße. Die n- und m-Werte können kombiniert werden. Für einen 3 x 5 = 15-fach Nutzen gibt es also die optimalen LP-Größen 106.0 x 133.33 mm (3 x 5) und 76.0 x 183.33 mm (5 x 3).



n (X)	Mass X (mm)	m (Y)	Mass Y (mm)	Anzahl LP	Steg
1	420.00 mm	1	570.00 mm	1	10mm
2	205.00 mm	2	280.00 mm	4	10mm
3	133.33 mm	3	183.33 mm	9	10mm
4	97.50 mm	4	135.00 mm	16	10mm
5	76.00 mm	5	106.00 mm	25	10mm
6	61.67 mm	6	86.67 mm	36	10mm
7	51.43 mm	7	72.86 mm	49	10mm
8	43.75 mm	8	62.50 mm	64	10mm
9	37.78 mm	9	54.44 mm	81	10mm
10	33.00 mm	10	48.00 mm	100	10mm

Kosten : Zuschläge zur Basiskalkulation

+ 10% bis 15%

+ 5% bis 15%

+ 10% bis 15%

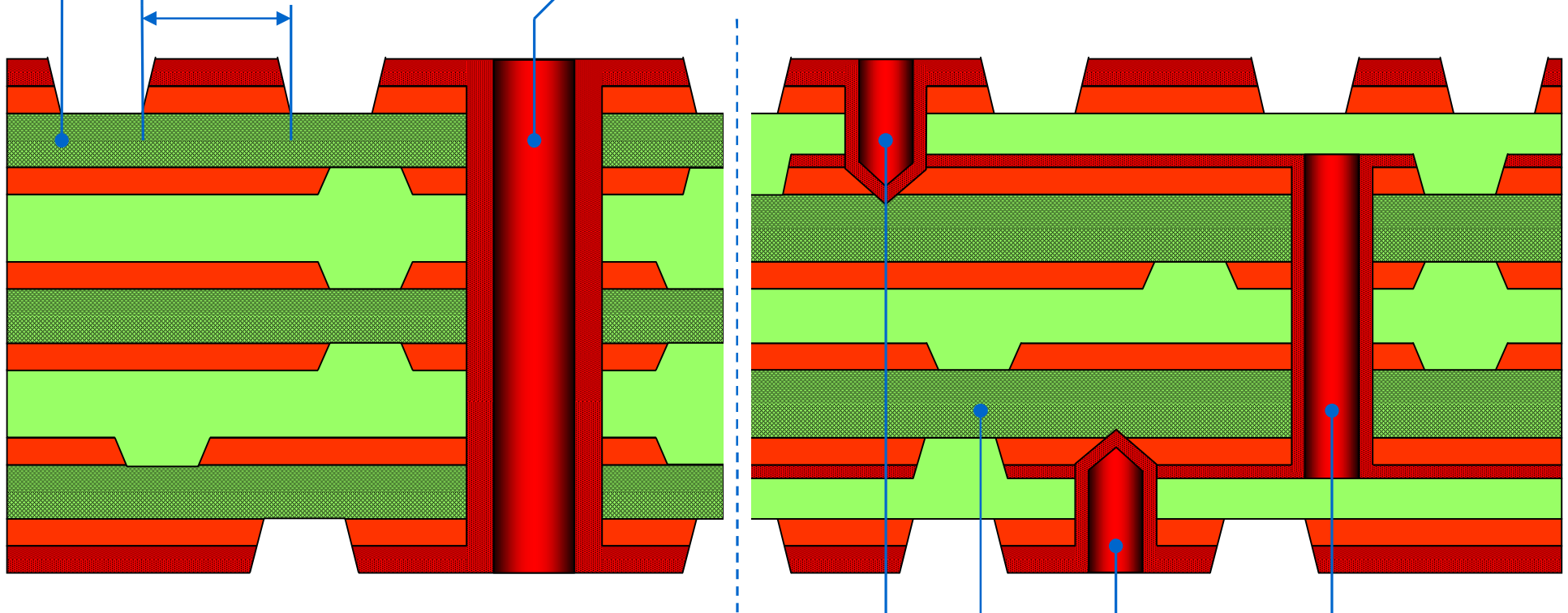
+ 10% bis 15%

Unnötigerweise außenliegende Kerne

Leiterbahnbreiten $\leq 90\mu\text{m}$

Kleinsten Bohrwerkzeugdurchmesser $200\mu\text{m}$

Kleinsten Bohrwerkzeugdurchmesser $100\mu\text{m}$



+ 5% bis 10%

+ 15% bis 25%

+ 10% bis 15%

+ 60% bis 75%

BlindVia auf Toplayer

Dünnste Innenlage $50\mu\text{m}$

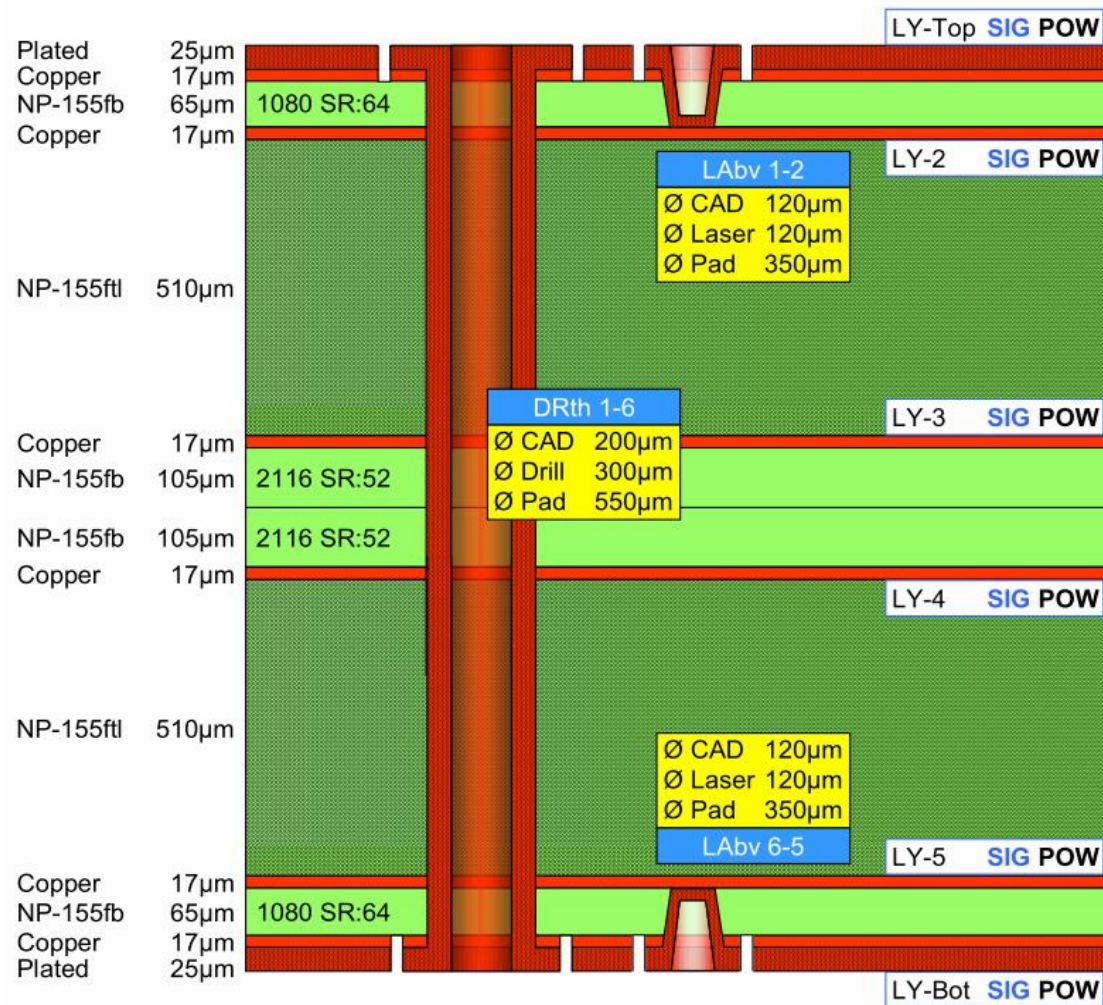
BlindVia auf Bottomlayer

BuriedVia auf einem temporären Multilayer



Materialkosten : 6-Lagen Multilayer 2

Eingesetzte Materialien für die Fertigung eines starren Multilayers.



Material	Wert	EUR
Kupferfolie	17μm	0.65
Prepreg	1080	1.01
Laminat	510μm Cu17μm	7.31
Prepreg	2116	1.14
Prepreg	2116	1.14
Laminat	510μm Cu17μm	7.31
Prepreg	1080	1.01
Kupferfolie	17μm	0.65
Σ		20.22

Die Kosten gelten für einen Produktions-
zuschnitt mit einem Maß von 460x610mm.

Hinweis Als Referenz für TUC TU-62... wurden die Kosten für NanYa NP-155 eingesetzt.



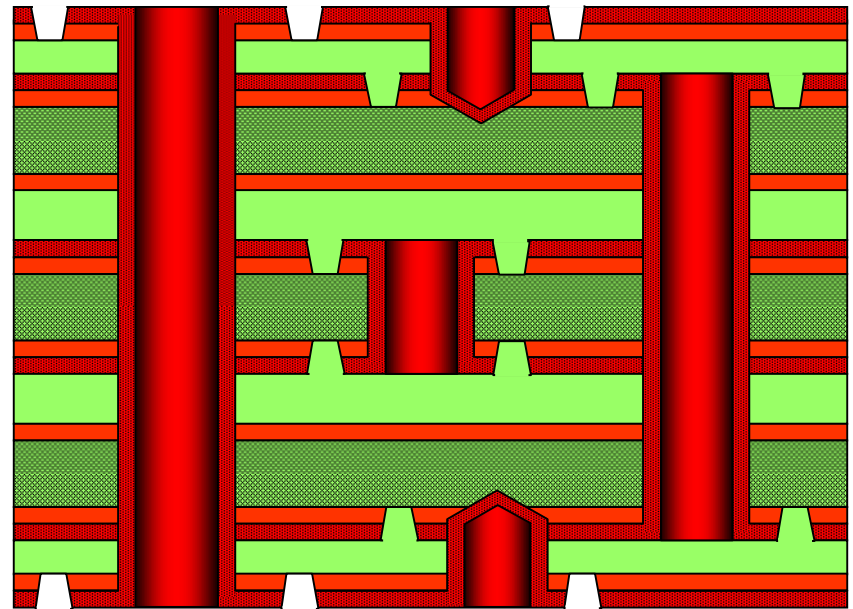
Spezielle Multilayerkonstruktion : Aufbau als Multicore

Die Kontaktierungs- und die Lagenaufbaustrategie wird komplex, wenn die Verdrahtung komplex wird.

Durch das AspectRatio für BlindVias ergeben sich Komplikationen für den Lagenaufbau. Mehrfachverpressungen, sequentielle Kontaktierungen und der Bau temporärer Multilayer als Zwischenprodukt sind die Folge.

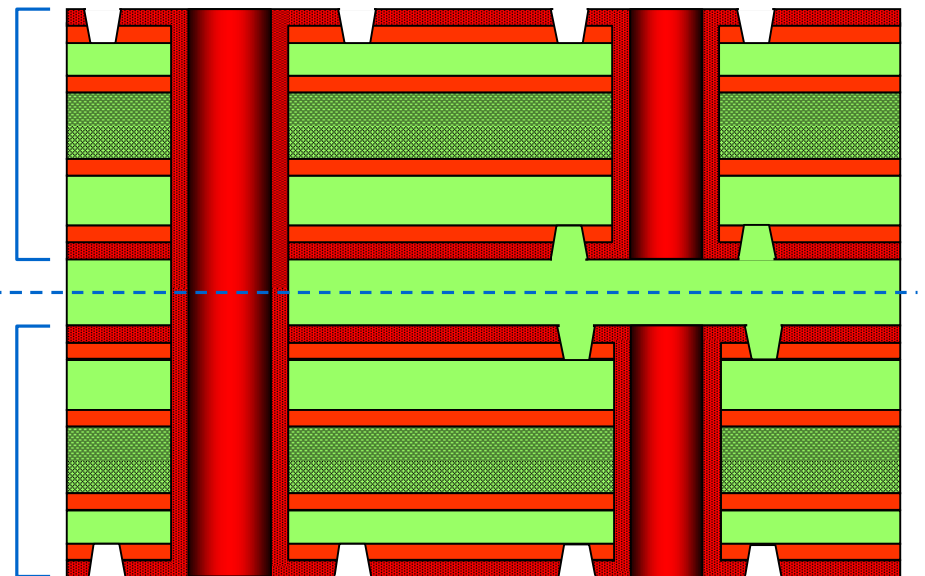
Der Aufwand, die hohen Kosten und der Verlust an Zuverlässigkeit zeigen die Grenzen der bisher üblichen Aufbaustrategie auf.

Die Zukunft wird eigenständigen Bauabschnitten gehören (~ Cores), die sich einfacher und effektiver fertigen lassen.



Core 1

Core 2





4. Abschnitt

1 Philosophisches





Vielen Dank für Ihr Interesse.

Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach.
Aber alles Einfache ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas
et respice finem.

Äsop



Informationen zur
LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



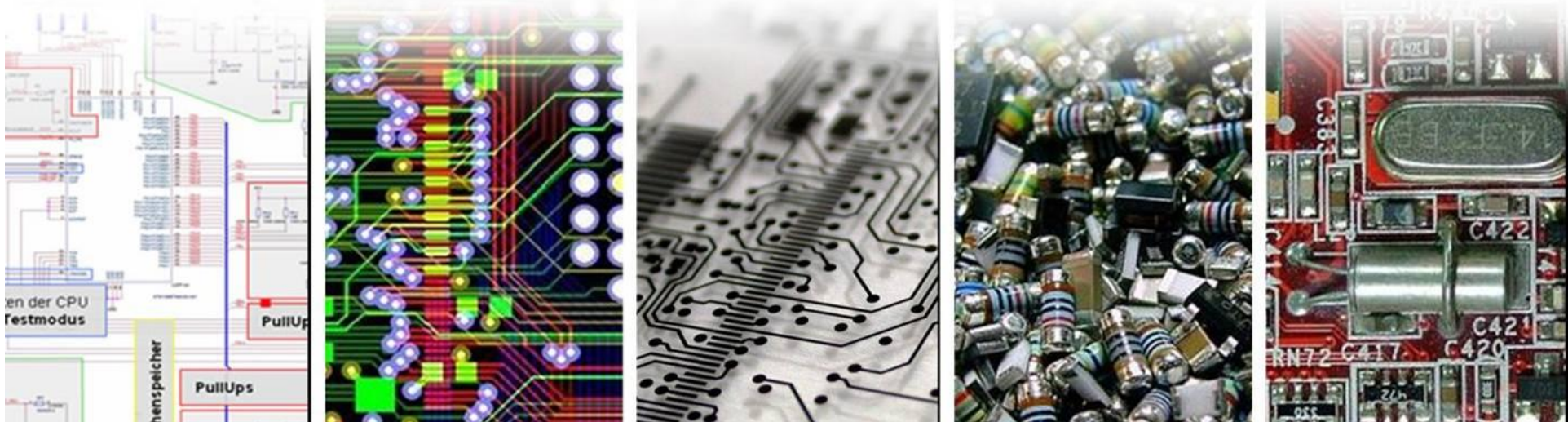
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppententechnologie.
Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.
Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.
Aktives Mitglied im AK-Design des ZVEI.
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.





© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers. Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Telefon 030 / 34 35 18 99
Telefax 030 / 34 35 19 02

eMail

info@leiterplattenakademie.de

Technischer Direktor

Arnold Wiemers

Telefon 0171 / 358 3712
Telefax 0531 / 126441

eMail

awi@leiterplattenakademie.de

