Arnold Wiemers

Strategien und Regeln für die Dokumentation von Multilayern (…und Leiterplatten an sich)

LeiterplattenAkademie

Vorwort

Wie ein Projekt beginnen sollte…

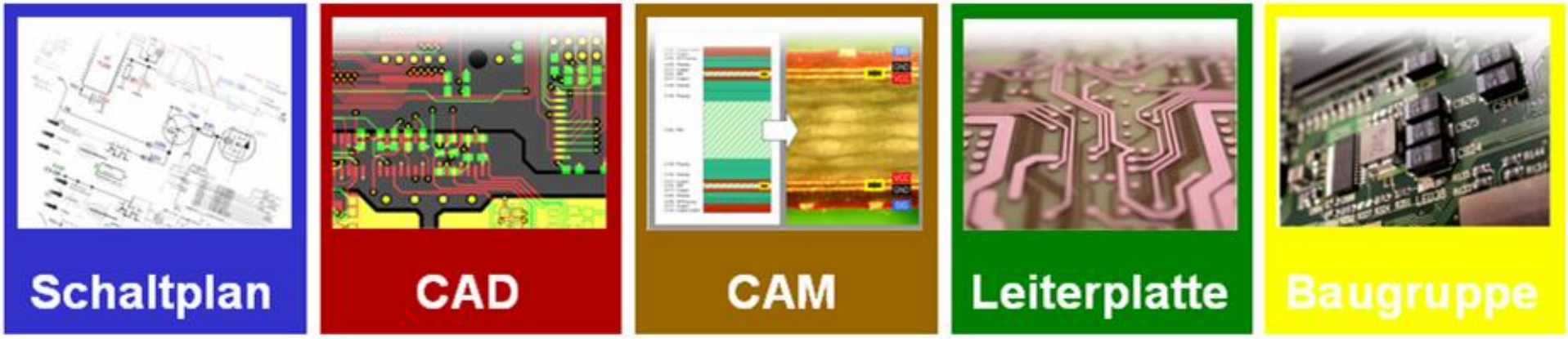
Wann muß der Bauplan vorliegen ?

Sobald das Konzept für die Konstruktion einer Baugruppe vorliegt, gibt es für den weiteren Ablauf fünf elementare Abschnitte :

1 Erstellen des *Konzeptes* für die Konstruktion eines Gerätes
2 Erstellen des *Schaltplanes* und der weiteren Vorlagen für CAD
3 Erstellen des *CAD-Layoutes* und Weitergabe der Daten an CAM
4 Produktion der *Leiterplatten,* Anlieferung an den Baugruppenfertiger
5 Fertigung der *Baugruppen*, Funktionstest, Lieferung an den Kunden

Heute muß zum Zeitpunkt der Schaltplanerstellung bereits der verbindliche Multilayerbauplan vorliegen. Wesentliche Eigenschaften der späteren Baugruppe (Schaltungssimulation, Funktion, Prozessierbarkeit) sind sonst nicht rechtzeitig zuverlässig berechenbar und planbar.

▼ 2008 ▼ 2004 ▼ 2000 ▼ 1990 ◀ Wann liegt der Bauplan vor ?

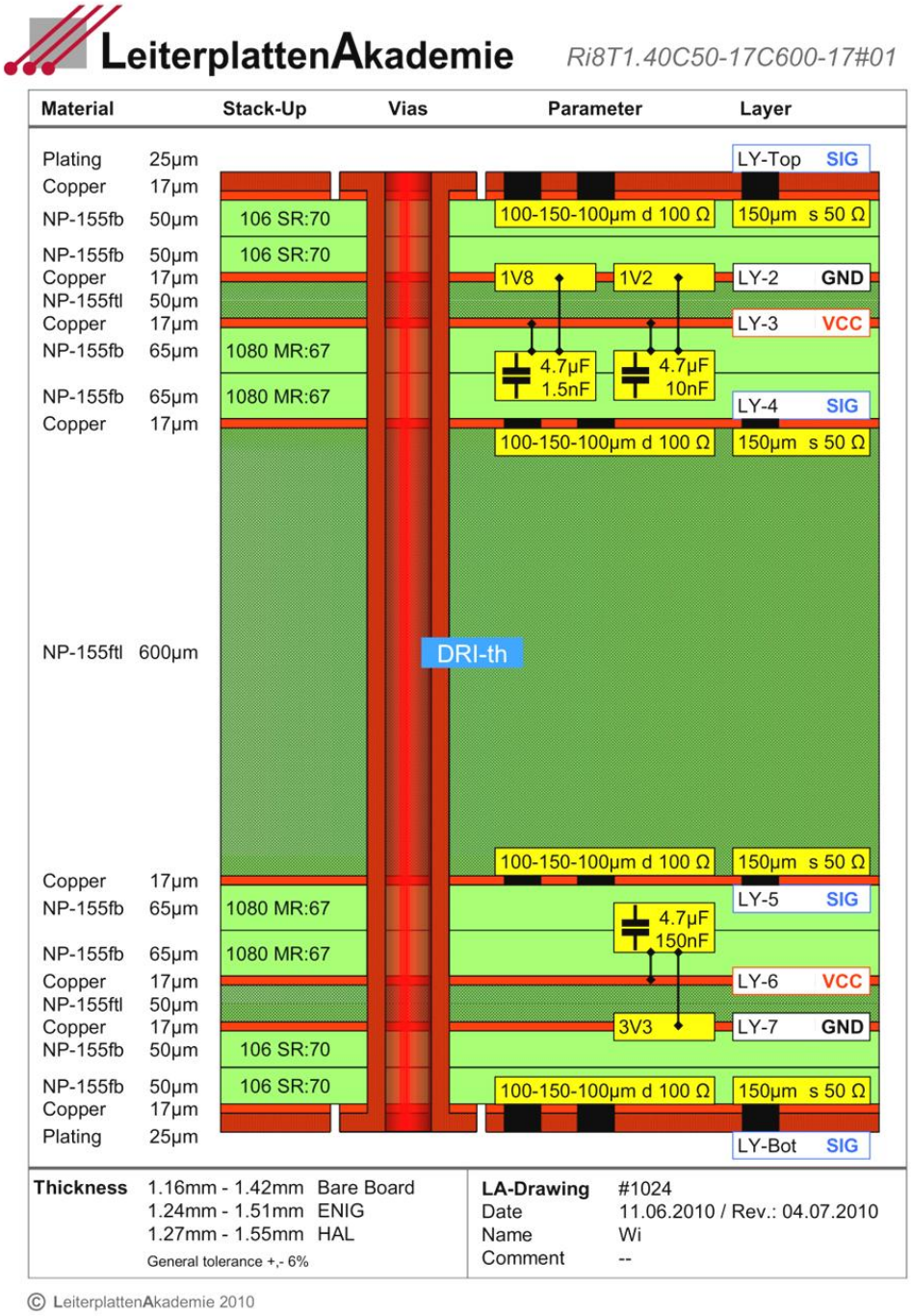


1. Abschnitt

Allgemeine Dokumentation

Beschreibung der technischen und physikalischen Eigenschaften eines starren 8-Lagen-Multilayers

Multilayerdokumentation



Die Produktion von hochwertigen Multilayern, insbesondere bei Anwendungen im Highspeed-Bereich, darf nicht der Willkür überlassen werden.

Die Materialauswahl, der Lagenaufbau, die Kontaktierungsstrategie, die Impedanzklassen, die Impedanztypen, die Impedanztoleranzen und sonstige physikalische Anforderungen an die Leiterplatte müssen reproduzierbar dokumentiert sein.

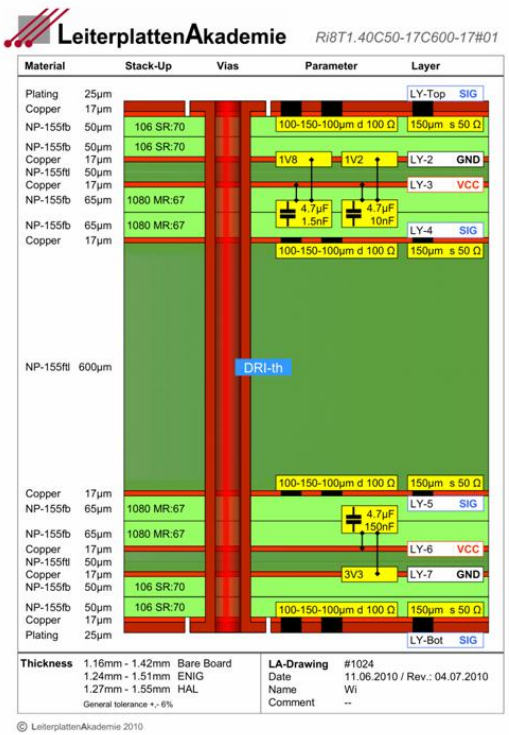
Regel (Multilayerdokumentation)

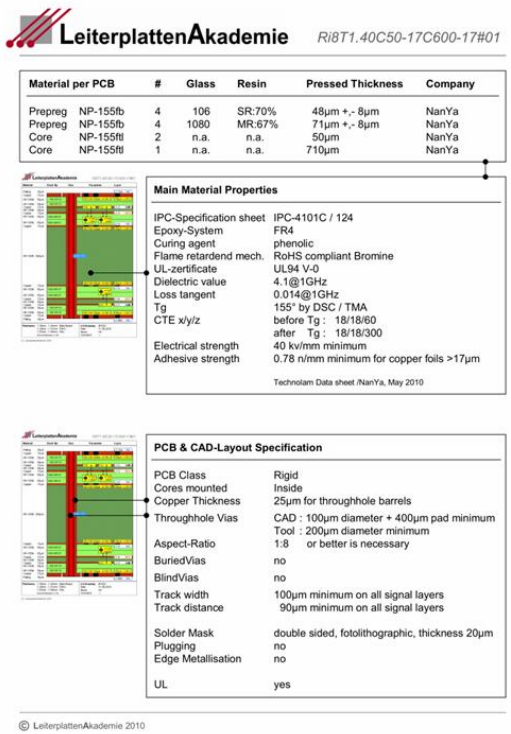
Die Multilayerdokumentation muß ein verbindlicher technischer und juristischer Bestandteil der Bestellung von Leiterplatten (….und Baugruppen) sein.

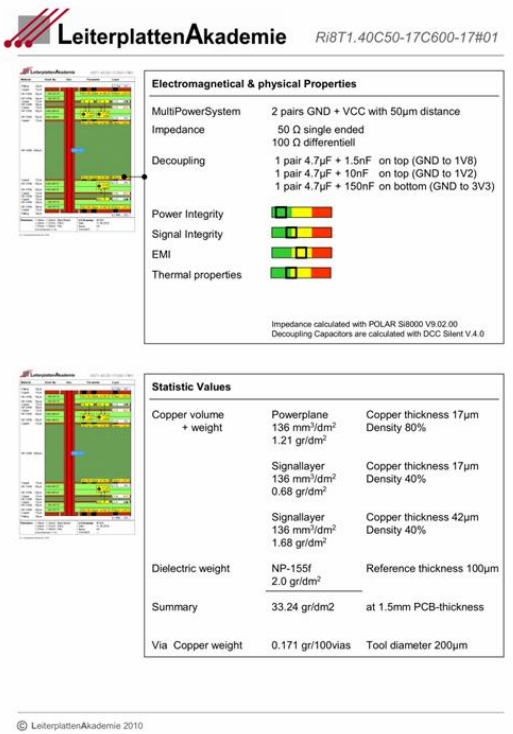
Multilayerdokumentation / Übersicht

Zur Mindestdokumentation einer Leiterplatte gehört die Auskunft über :

- Die *Qualität* und die *Quantität* des eingesetzten Materials
- Die *technischen Parameter* des eingesetzten Basismaterials
- Die *Leiterplattenspezifikation* inklusive der Subqualitäten
- Die *CAD-Constraints* mit den Extremwerten für das Routing
- Die *elektrophysikalischen Eigenschaften* der Leiterplatte
- Die wichtigsten *Volumenparameter* für die Baugruppenproduktion



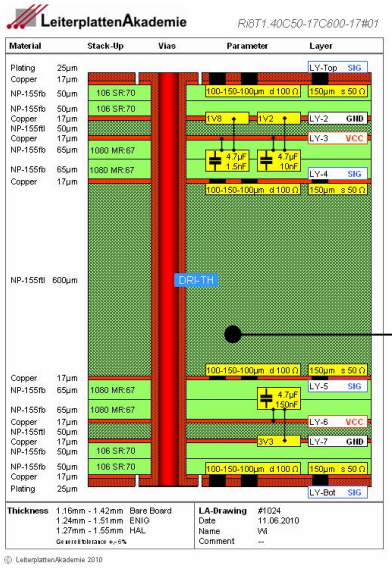




Standarddokumentation der *LeiterplattenAkademie* für eine Leiterplatte

Multilayerdokumentation / Materialeigenschaften

Material per PCB		#	Glass	Resin	Pressed Thickness	Company
Prepreg	NP-155fb	4	106	SR:70%	48µm +,- 8µm	NanYa
Prepreg	NP-155fb	4	1080	MR:67%	71µm +,- 8µm	NanYa
Core	NP-155ftl	2	n.a.	n.a.	50µm	NanYa
Core	NP-155ftl	1	n.a.	n.a.	710µm	NanYa



Main Material Properties

IPC-Specification sheet	IPC-4101C / 124
Epoxy-System	FR4
Curing agent	phenolic
Flame retardend mech.	RoHS compliant Bromine
UL-zertificate	UL94 V-0
Dielectric value	4.1@1GHz
Loss tangent	0.014@1GHz
Tg	155° by DSC / TMA
CTE x/y/z	before Tg : 18/18/60
	after Tg : 18/18/300
Electrical strength	40 kv/mm minimum
Adhesive strength	0.78 n/mm minimum for copper foils >17µm

Technolam Data sheet /NanYa, May 2010

Die klassische Beschreibung eines Multilayers reicht nicht mehr aus.
Die Materialeigenschaften müssen im Detail zuverlässig belegt sein.
Heute ist die präzise Nomenklatur der Materialien unverzichtbar…

Multilayerdokumentation / Materialeigenschaften

▶ …Die technischen Eigenschaften der Basismaterialien müssen zweifelsfrei in der zugehörigen Dokumentation aufgelistet sein.

Referenzen zu Standard-Richtlinien sind notwendig (z.B: DIN EN, IPC).

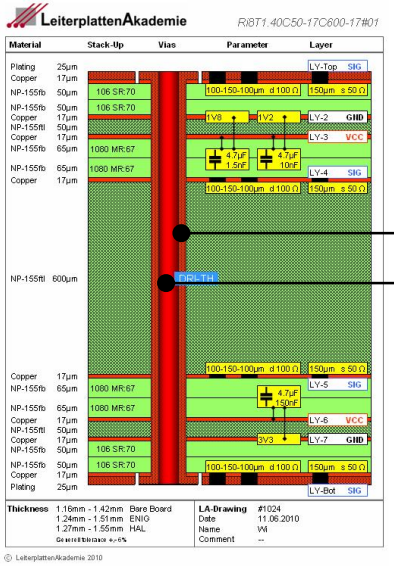
Die Angabe elementarer physikalischer Eigenschaften ist notwendig.

Beispiel — **UL**
Wenn „UL“ eine Qualität der Leiterplatte sein soll, dann muß die Zertifizierbarkeit bekannt sein.

Beispiel — **Loss Tangent** und **Dielectric Value**
Wenn die Signallaufzeiten und die Übertragungsqualität *vorab* simuliert werden sollen, dann müssen diese Parameter vor Beginn der Layoutarbeit bereits bekannt und fixiert sein.

Beispiel — **Tg**, **Td** und **CTE(z)**
Wenn das Reflowprofil gezielt definiert werden soll, dann müssen die thermische Belastbarkeit und die Z-Achsen-Ausdehnung der Leiterplatten zuverlässig eingeschätzt werden können. Es sind *Leitwerte* notwendig.

Multilayerdokumentation / CAD-Spezifikation



PCB & CAD-Layout Specification

PCB Class	Rigid
Cores mounted	Inside
Copper Thickness	25µm for throughhole barrels
Throughhole Vias	CAD : 100µm diameter + 400µm pad minimum Tool : 200µm diameter minimum
Aspect-Ratio	1:8 or better is necessary
BuriedVias	no
BlindVias	no
Track width	100µm minimum on all signal layers
Track distance	90µm minimum on all signal layers
Solder Mask	double sided, fotolithographic, thickness 20µm
Plugging	no
Edge Metallisation	no
UL	yes

Jeder Multilayer ist heute praktisch mit einer verbindlichen Anwendung verknüpft.
Die technischen Eigenschaften eines individuellen Aufbaus müssen durch die Dokumentation der Anforderungen an die Qualität der Leiterplatte nicht nur beschrieben, sondern auch jederzeit zuverlässig nachvollziehbar offengelegt werden…

Multilayerdokumentation / CAD-Spezifikation

▶ …Nur mit einer aussagefähigen Dokumentation wird im Fall einer Layout-Revision die Wiederholbarkeit der Produktion einer Leiterplatte (…+ Baugruppe) zuverlässig sichergestellt.

Beispiel

Viadurchmesser und **Aspect-Ratio**

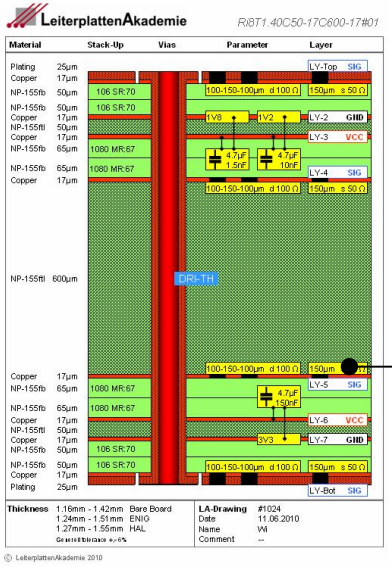
Das „Aspect-Ratio“ bestimmt den minimalen Viadurchmesser, der seinerseits die geometrischen Freiheitsgrade für das CAD-Layout fixiert.
Weil per Definition eine Verknüpfung zwischen der kontaktierbaren Hülsenlänge und dem Bohrwerkzeugdurchmesser besteht, ist durch die Dicke der Leiterplatte der kleinstmögliche Viadurchmesser vorgegeben.
Das „Aspect-Ratio“ ist individuell abhängig von der Anlagentechnologie des Leiterplattenherstellers.

Beispiel

Leiterbahnbreite und **Leiterbahnabstand**

Die minimal prozessierbare Leiterbildgeometrie gibt ebenfalls die zuverlässig nutzbaren Freiheitsgrade für das CAD-Layout vor und ist ebenfalls abhängig von der Anlagentechnologie des Leiterplattenherstellers.

Multilayerdokumentation / Physik



Electromagnetical & physical Properties

MultiPowerSystem	2 pairs GND + VCC with 50µm distance
Impedance	50 Ω single ended 100 Ω differentiell
Decoupling	1 pair 4.7µF + 1.5nF on top (GND to 1V8) 1 pair 4.7µF + 10nF on top (GND to 1V2) 1 pair 4.7µF + 150nF on bottom (GND to 3V3)
Power Integrity	
Signal Integrity	
EMI	
Thermal properties	

Impedance calculated with POLAR Si8000 V9.02.00
Decoupling Capacitors are calculated with DCC Silent V.4.0

Die Leiterplattenspezifikation definiert für sich allein noch nicht die dedizierten Eigenschaften des Produktes „Baugruppe“.
Für den Technologen im Vorfeld der Baugruppen- und Schaltungs-entwicklung vermittelt sie deshalb die Eigenschaften eines Multilayers noch *nicht* mit der erforderlichen Transparenz…

Multilayerdokumentation / Physik

…Die weitestgehende Entscheidungssicherheit ergibt sich erst dann, wenn die zuverlässige Aussage erfolgt, in welchem physikalischen Leistungsspektrum sich ein Lagenaufbau bewegen wird.

Beispiel

SI / Signal Integrity / Impedanz

Die Leiterbahnbreiten und die Lagenabstände fixieren die Kapazität und damit die Signalübertragungsqualität.
Die strategische Anordnung der Powerplanes und der Signalplanes definiert die Signalübertragungsräume.
Die Deklaration der Rückstromplanes reduziert massiv unerwünschte Einkopplungen (i.e. „Crosstalk“).

Beispiel

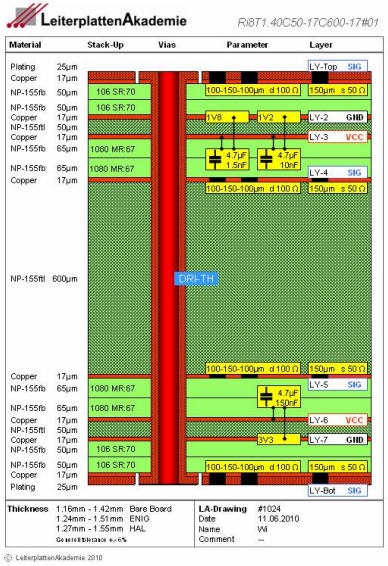
PI / Power Integrity

Die strategisch kluge Verteilung der Powerplanes sichert die Integrität der Stromversorgungsräume und damit auch die Stabilität des späteren EMV-Verhaltens des elektronischen Gerätes im Betrieb.

Hinweis

Die verantwortliche Bewertung der technischen Eigenschaften eines Multilayeraufbaus zeichnet den Leiterplattenhersteller aus.

Multilayerdokumentation / Statistische Parameter



Statistic Values

Copper volume + weight	Powerplane 136 mm³/dm² 1.21 gr/dm²	Copper thickness 17µm Density 80%
	Signallayer 136 mm³/dm² 0.68 gr/dm²	Copper thickness 17µm Density 40%
	Signallayer 136 mm³/dm² 1.68 gr/dm²	Copper thickness 42µm Density 40%
Dielectric weight	NP-155f 2.0 gr/dm²	Reference thickness 100µm
Summary	33.24 gr/dm2	at 1.5mm PCB-thickness

Via copper weight	17 mgr	/100 vias	Tool diameter 200µm
Via copper volume	1.92 mm³	/100 vias	
Via copper surface	88 mm²	/100 vias	

Die Produktion der Baugruppe ist üblicherweise in die Vorbetrachtung zur Konstruktion eines Multilayer-Lagenaufbaus *nicht* eingebunden. Mit Blick auf die *systematische* und *zuverlässige* Vorabplanung von Lötprofilen (…für welche Oberfläche ?) ist dies ein eklatanter Mangel. Allerdings ist das Problem, daß es kein Anforderungsspektrum gibt…

Multilayerdokumentation / Statistische Parameter

…Welche Parameter für eine zuverlässige Baugruppenproduktion bekannt sein müssen, muß erst noch erarbeitet werden.

Beispiel **Kupfervolumina**

Die Wärmeaufnahme einer Leiterplatte ist eine wichtige Größe bei der Erstellung des Reflowprofiles für die zuverlässige Lötung einer Baugruppe.

Beispiel **Feuchtigkeitsaufnahme**

Der Feuchtigkeitsgehalt einer Leiterplatte wird als Einflußfaktor auf das Delaminationsverhalten einer Leiterplatte gehandelt.

Problem Die Aufnahme von Feuchtigkeit wird als Prozentwert angegeben (…Gewicht oder Volumen ?). Allerdings nehmen Kupfer und Glasgewebe keine Feuchtigkeit auf. Es verbleibt das Harzsystem, dessen Volumen allerdings nur bei detaillierter Kenntnis des Lagenaufbaus, des Basismaterials und des spezifischen Gewichtes auf umständliche Art ermittelbar ist.

2. Abschnitt

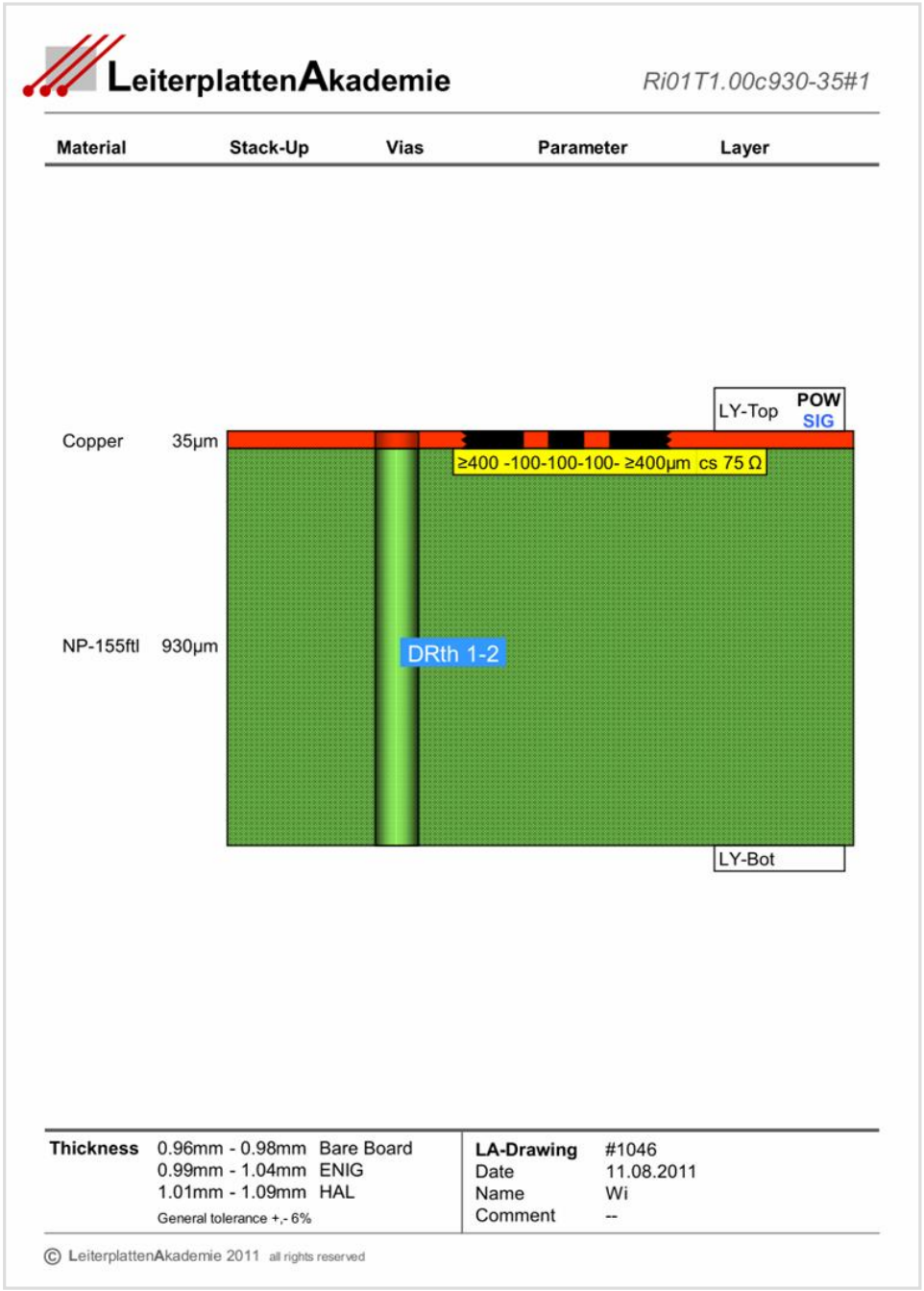
Dokumentation von es- und ds-Leiterplatten

Baupläne zu starren Multilayern

Baupläne zu flexiblen Leiterplatten

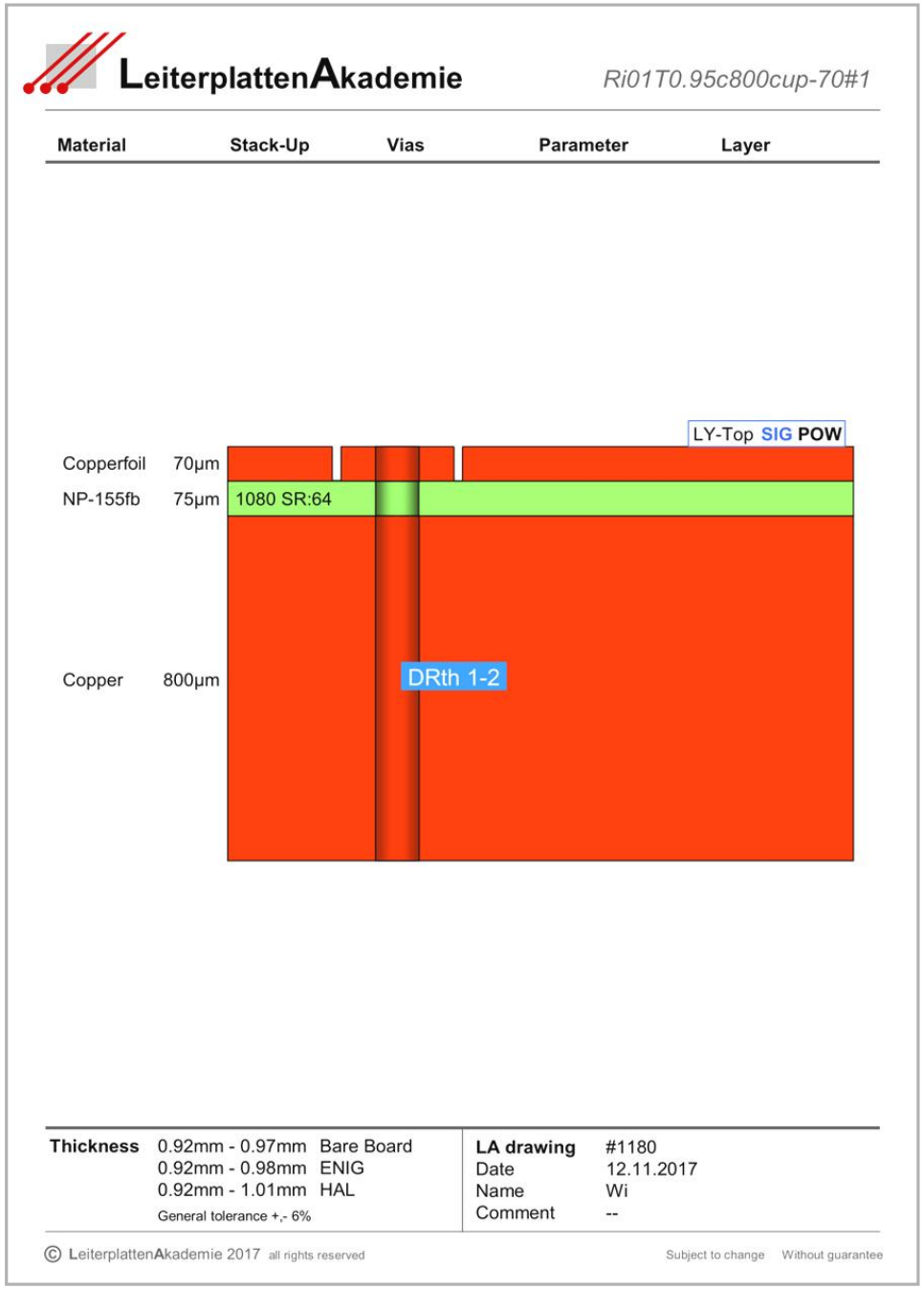
Baupläne zu starrflexiblen Multilayern

Aufbau für eine einseitige starre Leiterplatte



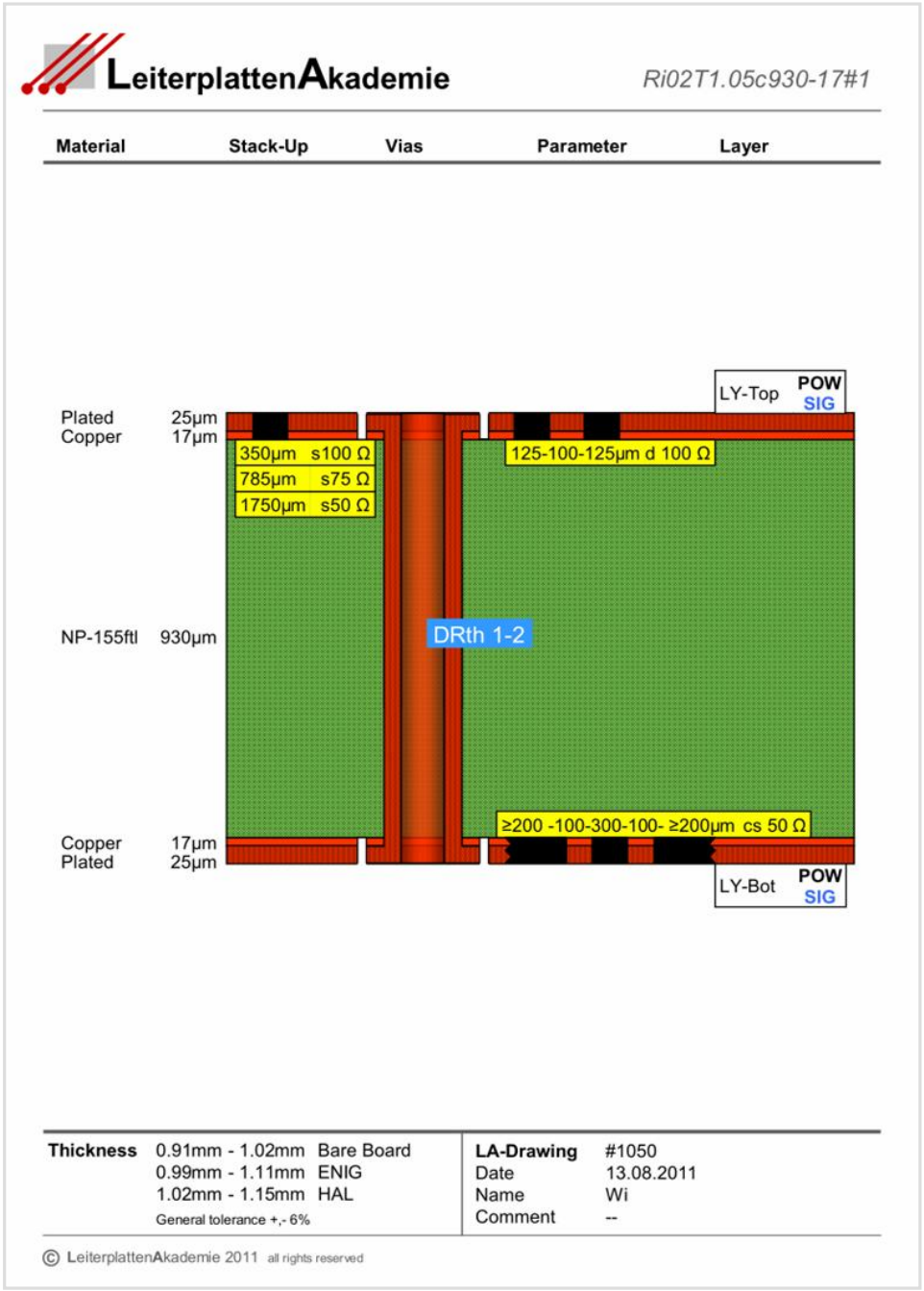
LP-Klasse	starr
Gesamtdicke	1.00mm
Material	FR4
Layer	1
Kontaktiert	nein
BlindVias	nein
BuriedVias	nein
Lagentypen	1 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	75 Ω coplanar se
Montage	nein

IMS-Leiterplatte 1



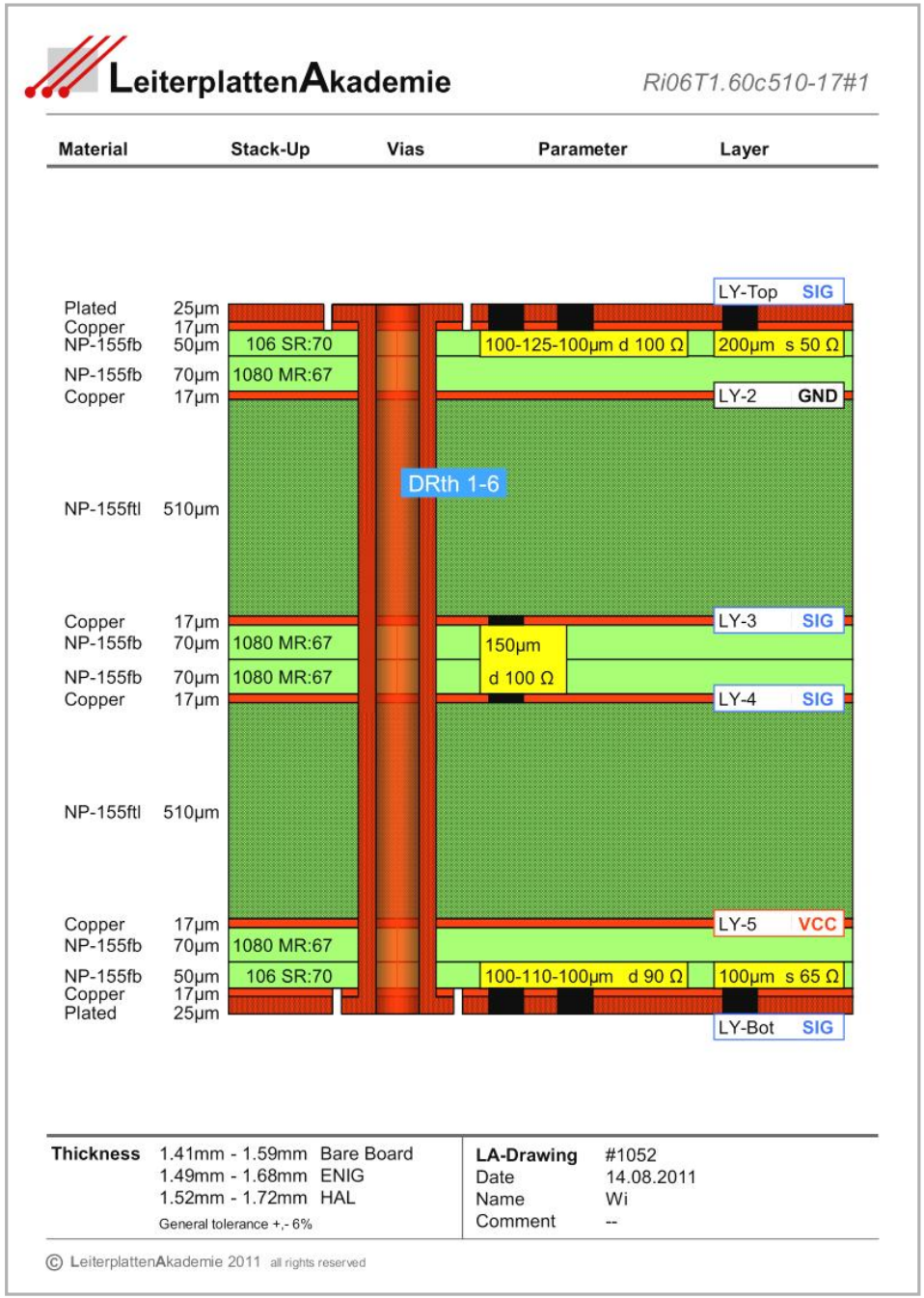
LP-Klasse	starr
Gesamtdicke	0.95mm
Material	FR4 / Aluminium
Layer	1
Kontaktiert	nein
BlindVias	nein
BuriedVias	nein
Lagentypen	1 x Sig / Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	1 x

Aufbau für eine doppelseitige starre Leiterplatte



LP-Klasse	starr
Gesamtdicke	1.05mm
Material	FR4
Layer	2
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	2 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	50 Ω single ended 50 Ω coplanar se 75 Ω single ended 100 Ω single ended 100 Ω differentiell
Montage	nein

Multilayer 1



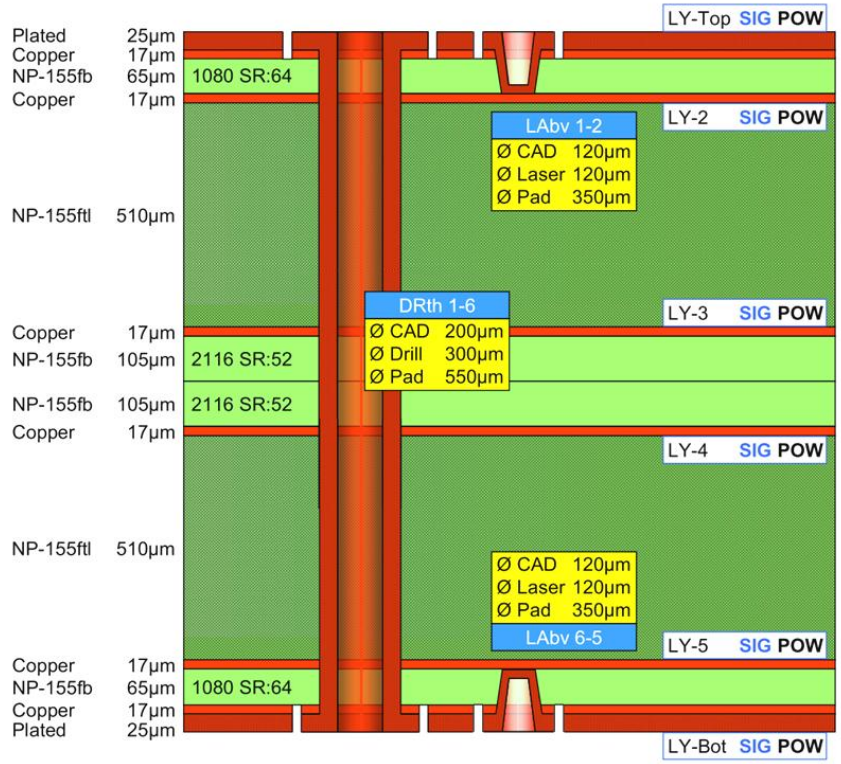
LP-Klasse	starr
Gesamtdicke	1.60mm
Material	FR4
Layer	6
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	4 x Sig 2 x Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	50 Ω single ended 65 Ω single ended 90 Ω differentiell 100 Ω differentiell 100 Ω broadside dif
Montage	1 x

Multilayer/Kontaktierungsstrategie 1

LeiterplattenAkademie

Ri06T1.60c510-17#2

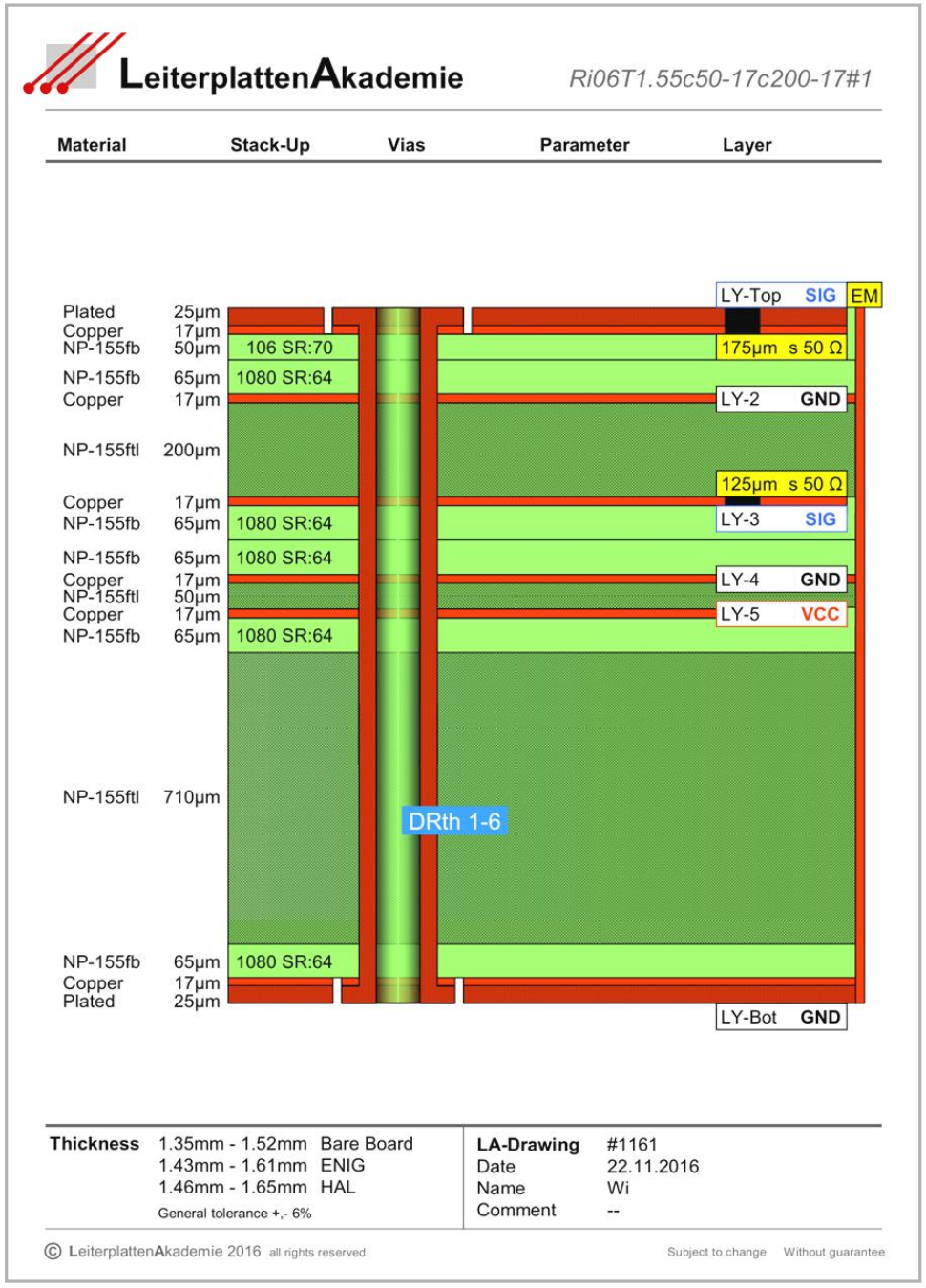
Plating Strategy	From Layer	To Layer	File Extension
Throughholes	LY-Top	LY-Bot	DRth 1-6
BlindVias	LY-Top	LY-2	LAbv 1-2
BlindVias	LY-Bot	LY-5	LAbv 6-5



© LeiterplattenAkademie 2011 all rights reserved

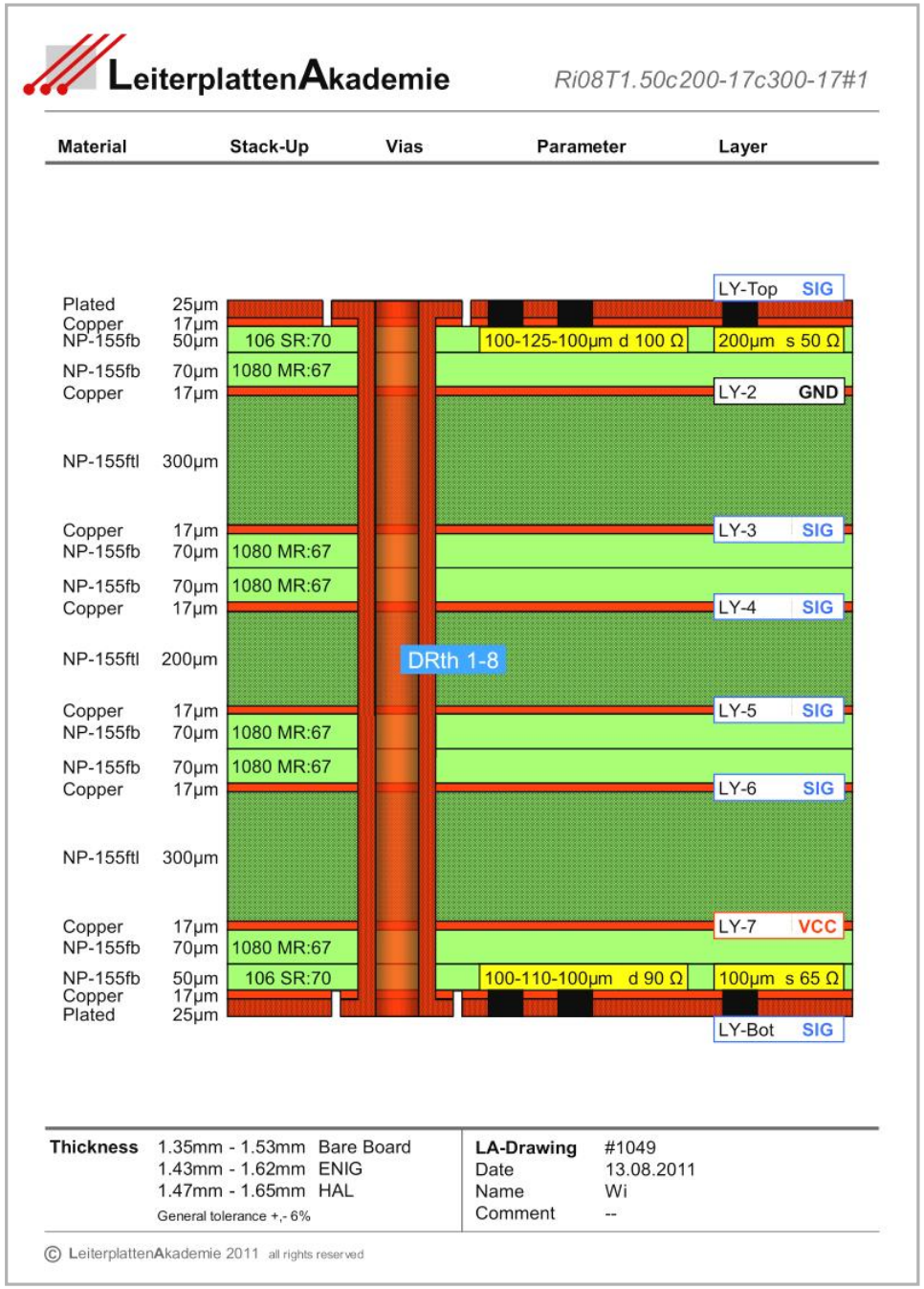
LP-Klasse	starr
Gesamtdicke	1.60mm
Material	FR4
Layer	6
Kontaktiert	ja
BlindVias	ja
BuriedVias	nein
Lagentypen	6 x Sig / Pow
MPS	nein
Pluggen	ja / Silberleitpaste
KM	nein
Impedanz	nein
Montage	1 x

Multilayer 6



LP-Klasse	starr
Gesamtdicke	1.55mm
Material	FR4
Layer	6
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	2 x Sig 4 x Pow
MPS	LY-4 bis LY-5
Pluggen	ja / Epoxyharz
KM	ja
Impedanz	50 Ω single ended
Montage	1 x

Multilayer 3



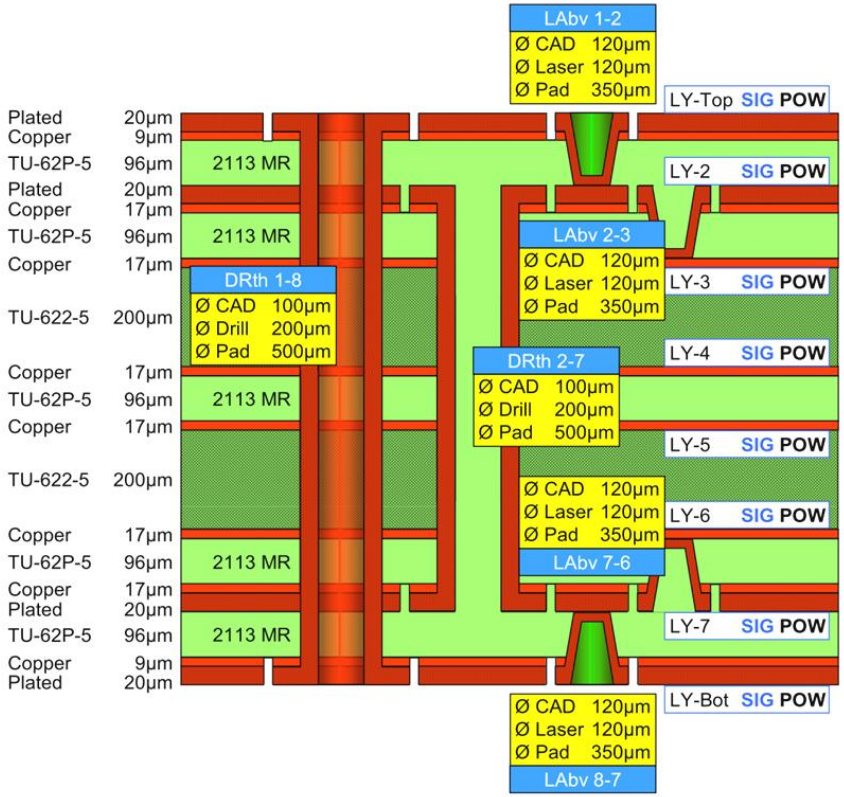
LP-Klasse	starr
Gesamtdicke	1.50mm
Material	FR4
Layer	8
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	6 x Sig 2 x Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	50 Ω single ended 65 Ω single ended 90 Ω differentiell 100 Ω differentiell
Montage	1 x

Multilayer/Kontaktierungsstrategie 2

LeiterplattenAkademie

Ri08T1.15c200-17#1

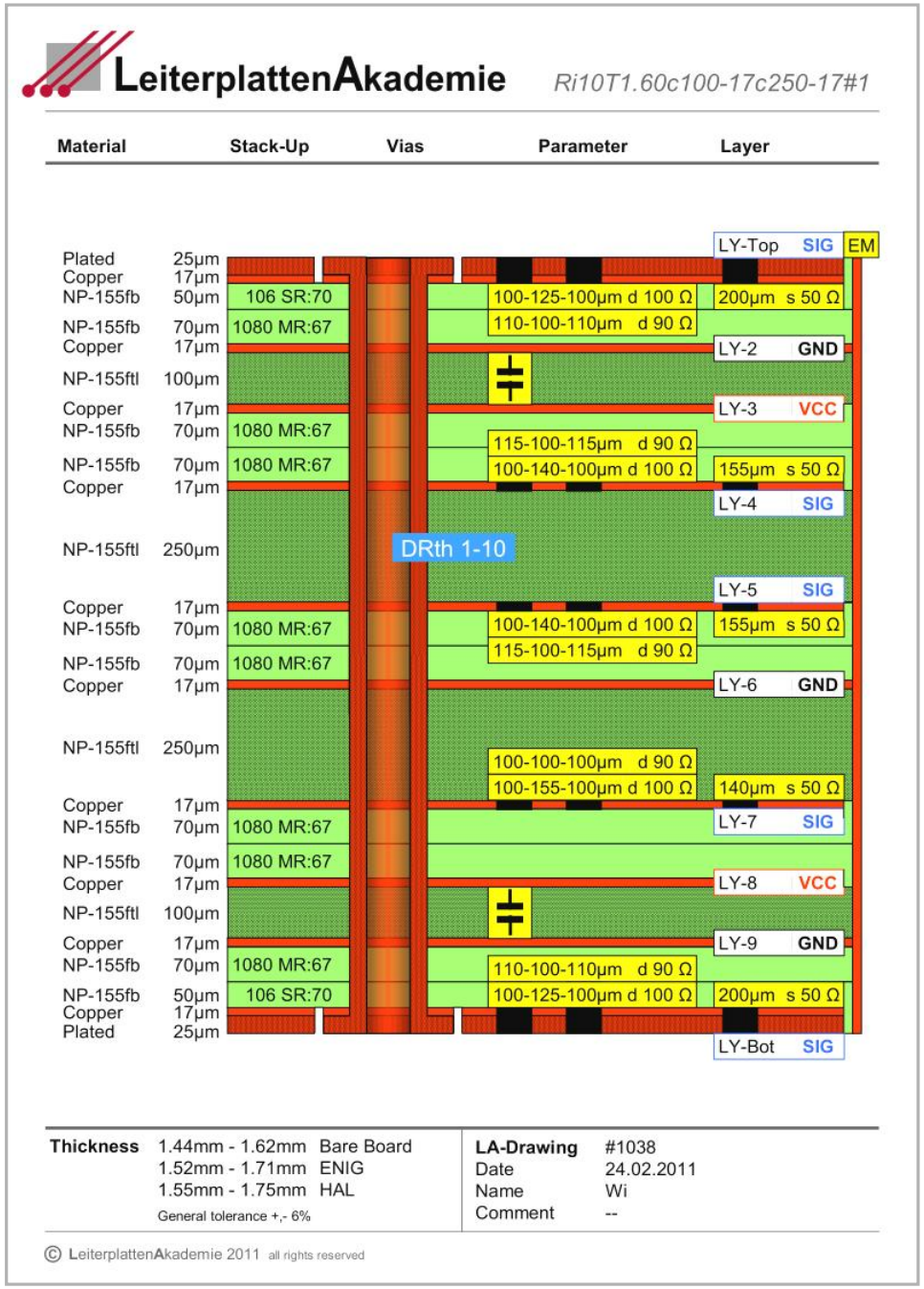
Plating Strategy	From Layer	To Layer	File Extension
Throughholes	LY-Top	LY-Bot	DRth 1-8
BuriedVias	LY-2	LY-7	DRth 2-7
BlindVias	LY-Top	LY-2	LAbv 1-2
Blind Vias	LY-2	LY-3	LAbv 2-3
BlindVias	LY-7	LY-6	LAbv 7-6
BlindVias	LY-Bot	LY-7	LAbv 8-7



© LeiterplattenAkademie 2016 all rights reserved Subject to change Without guarantee

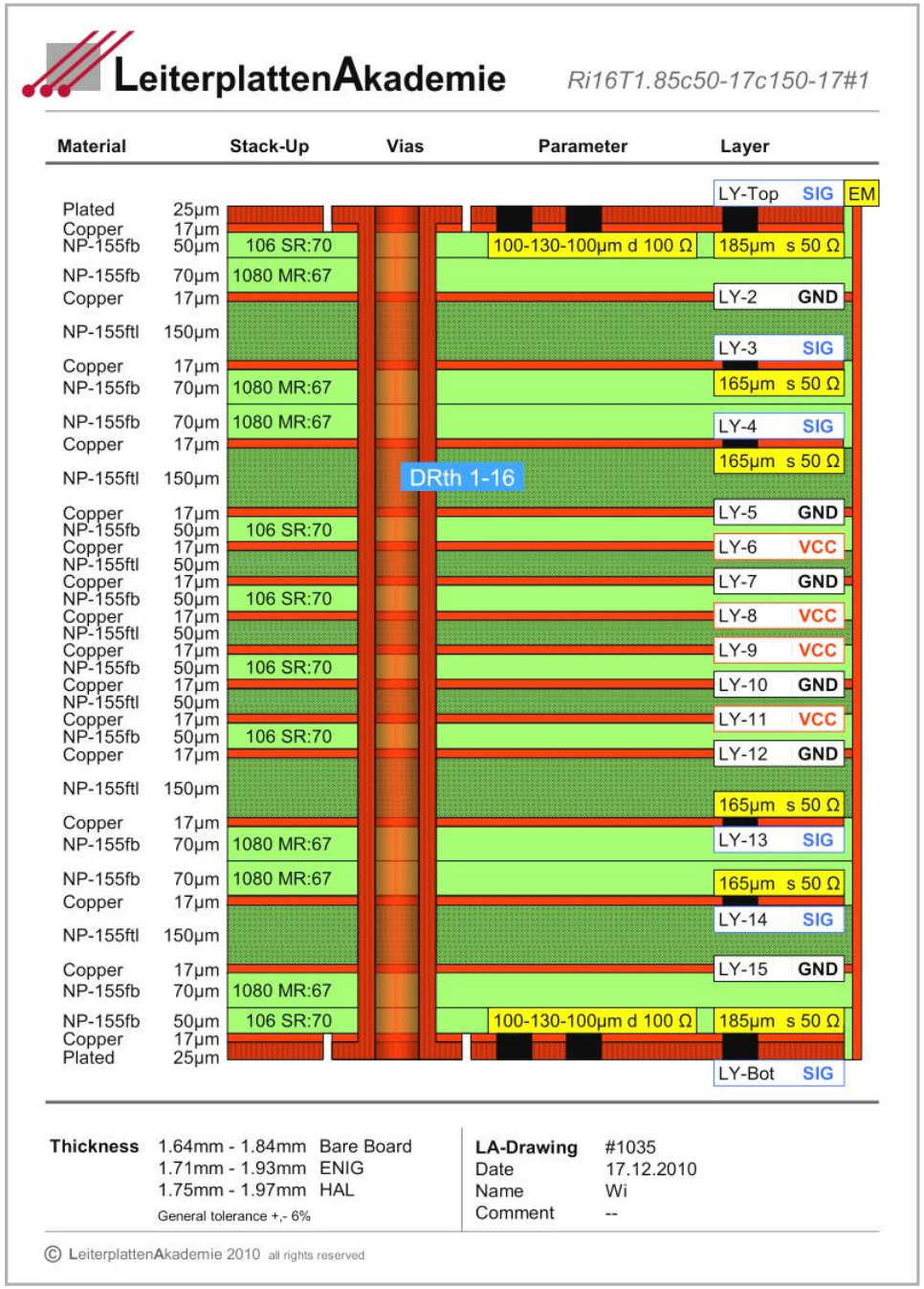
LP-Klasse	starr
Gesamtdicke	1.15mm
Material	FR4
Layer	8
Kontaktiert	ja
BlindVias	ja
BuriedVias	ja
Lagentypen	8 x Sig / Pow
MPS	nein
Pluggen	ja / Epoxydharz
KM	nein
Impedanz	nein
Montage	2 x

Multilayer 4



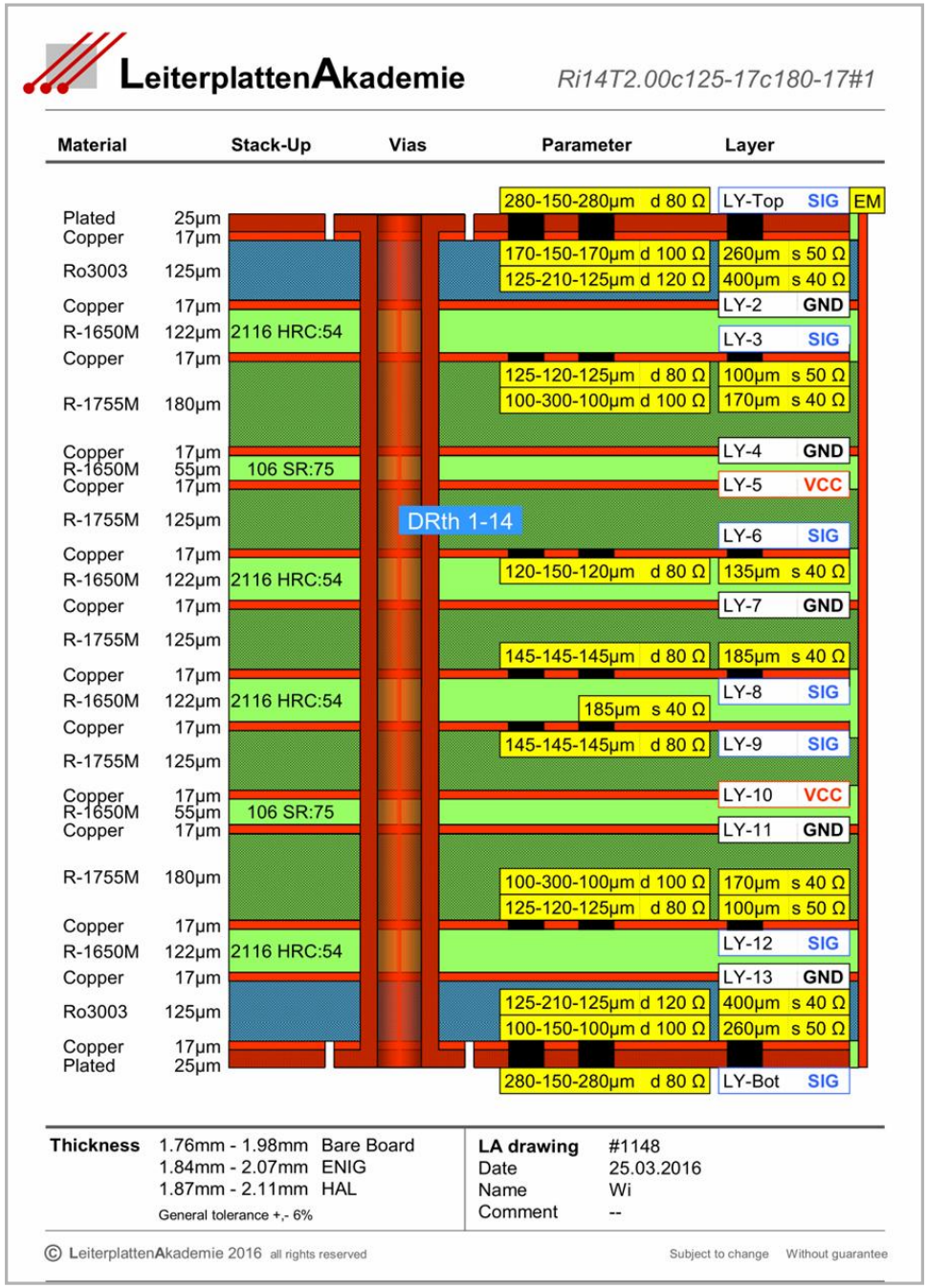
LP-Klasse	starr
Gesamtdicke	1.60mm
Material	FR4
Layer	10
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	5 x Sig 5 x Pow
MPS	LY-2 LY-3 / LY-8 LY-9
Pluggen	nein
KM	ja
Impedanz	50 Ω single ended 90 Ω differentiell 100 Ω differentiell
Montage	1 x

Multilayer 5



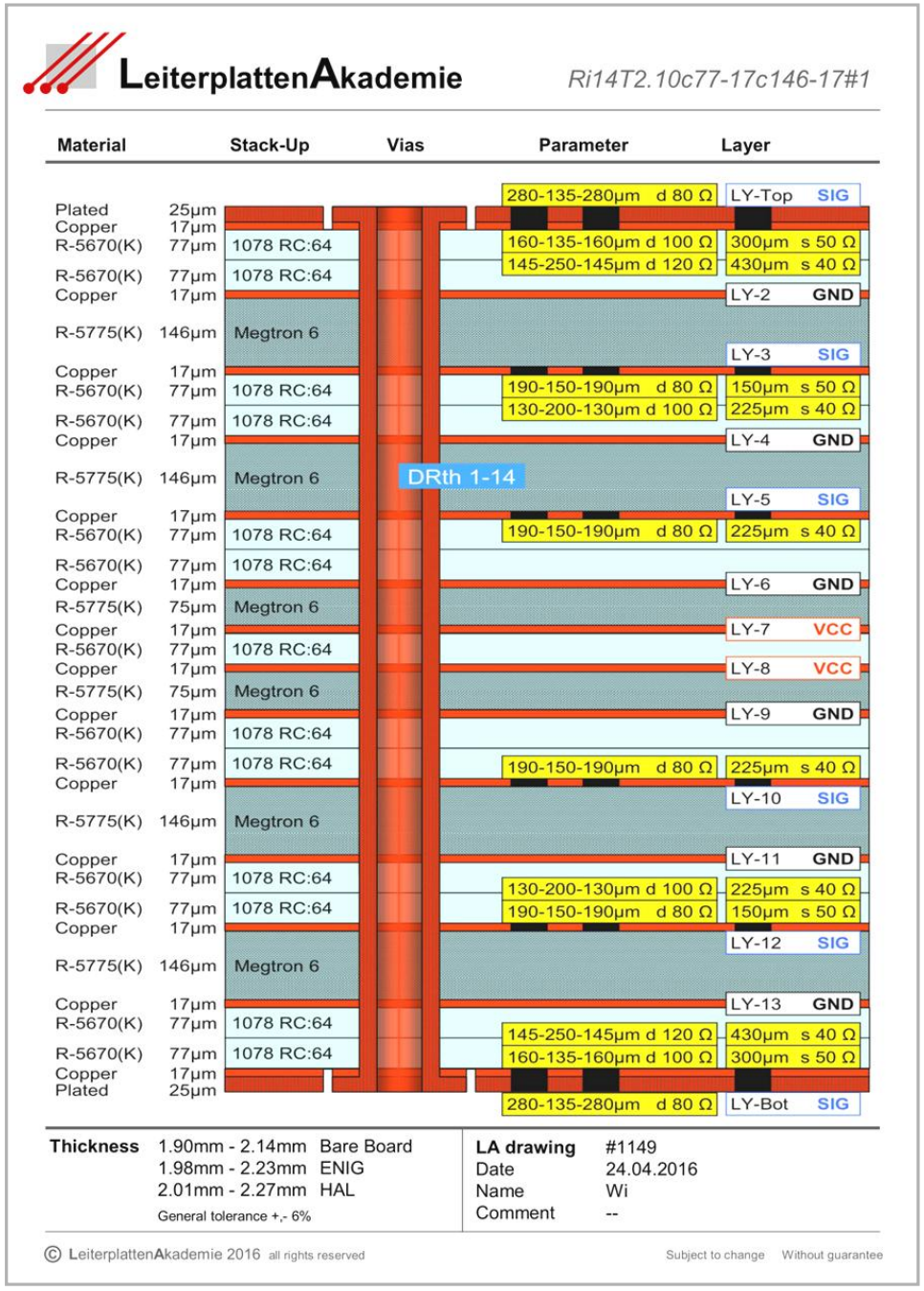
LP-Klasse	starr
Gesamtdicke	1.85mm
Material	FR4
Layer	16
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	6 x Sig 10 x Pow
MPS	LY-5 bis LY-12
Pluggen	nein
KM	ja
Impedanz	50 Ω single ended 100 Ω differentiell
Montage	1 x

Multilayer 7



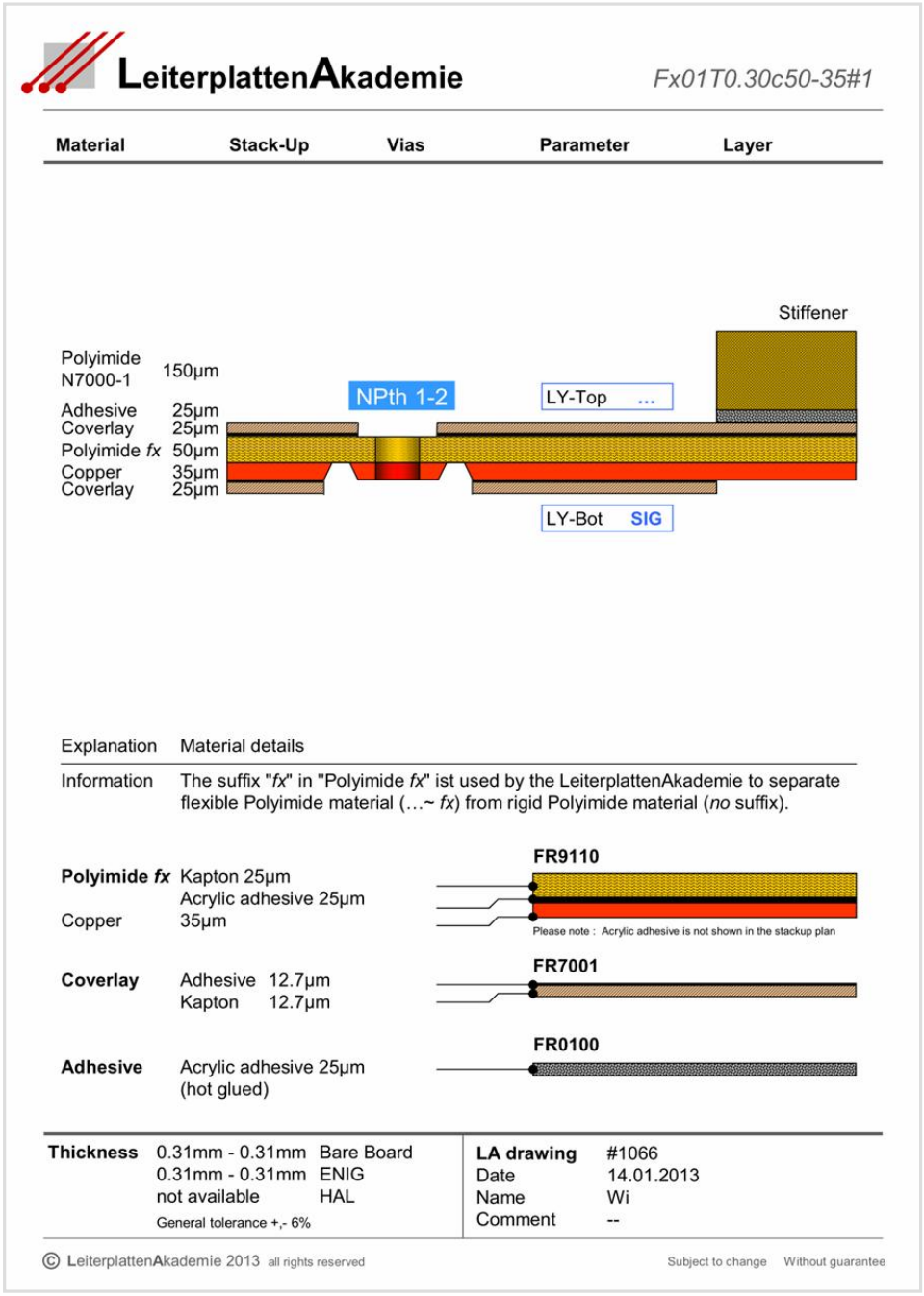
LP-Klasse	starr
Gesamtdicke	1.15mm
Material	FR4
Layer	8
Kontaktiert	ja
BlindVias	ja
BuriedVias	ja
Lagentypen	8 x Sig / Pow
MPS	nein
Pluggen	ja / Epoxydharz
KM	nein
Impedanz	nein
Montage	2 x

Multilayer 8



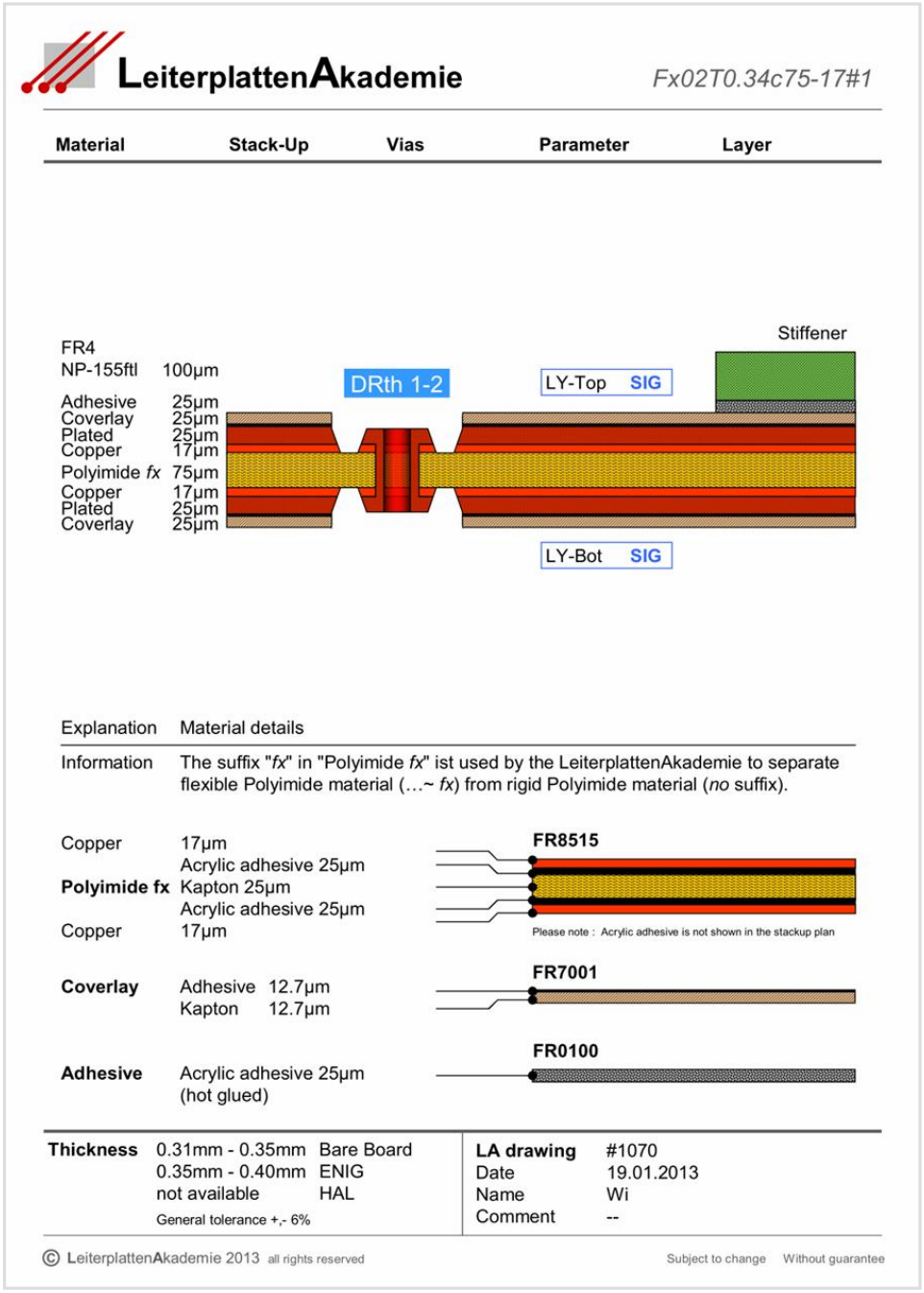
LP-Klasse	starr
Gesamtdicke	1.15mm
Material	FR4
Layer	8
Kontaktiert	ja
BlindVias	ja
BuriedVias	ja
Lagentypen	8 x Sig / Pow
MPS	nein
Pluggen	ja / Epoxydharz
KM	nein
Impedanz	nein
Montage	2 x

Aufbau für eine einseitige flexible Leiterplatte



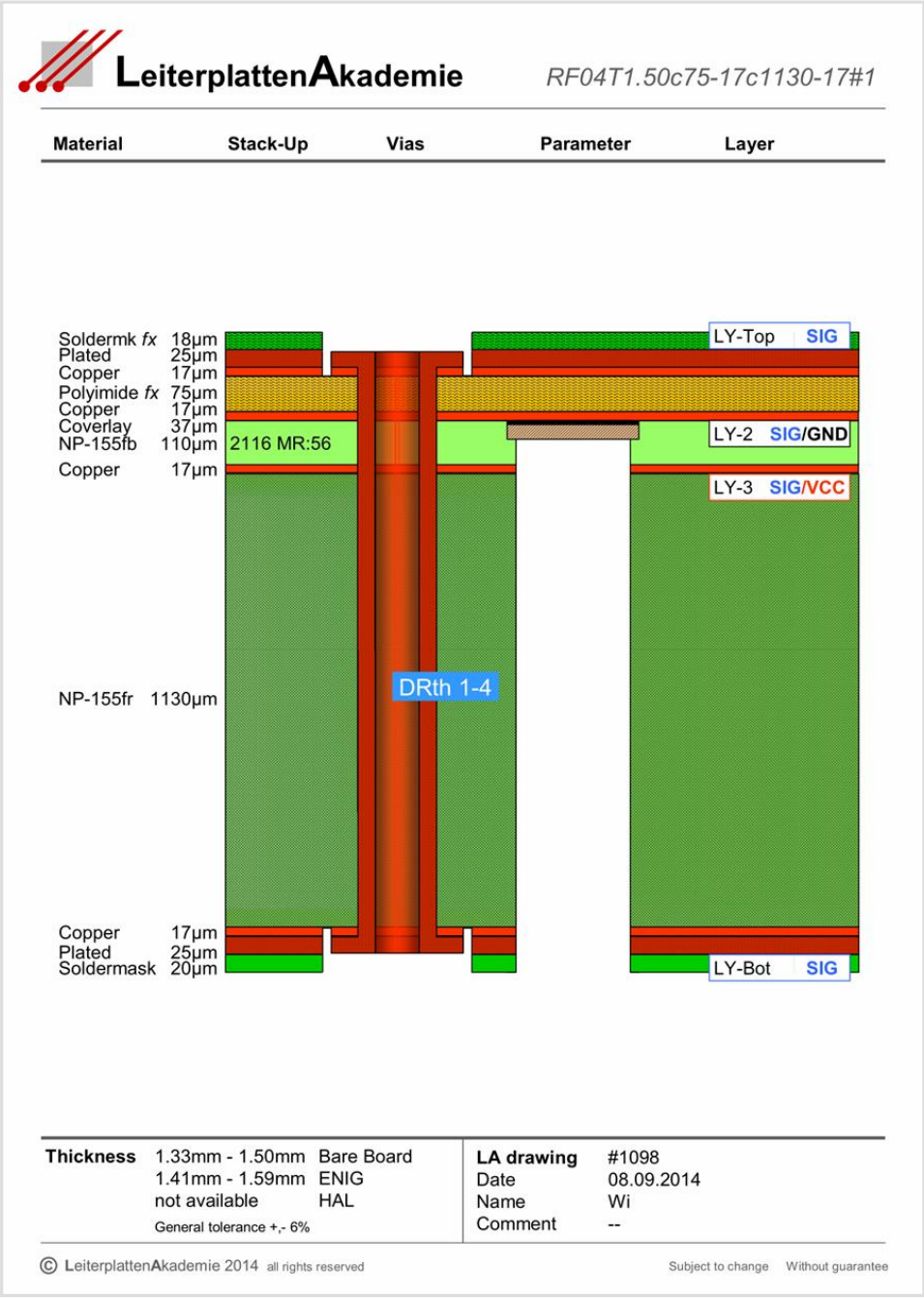
LP-Klasse	flexibel
Gesamtdicke	0.30mm
Material	Polyimid
Layer	1
Kontaktiert	nein
BlindVias	nein
BuriedVias	nein
Lagentypen	1 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	nein

Aufbau für eine doppelseitige flexible Leiterplatte



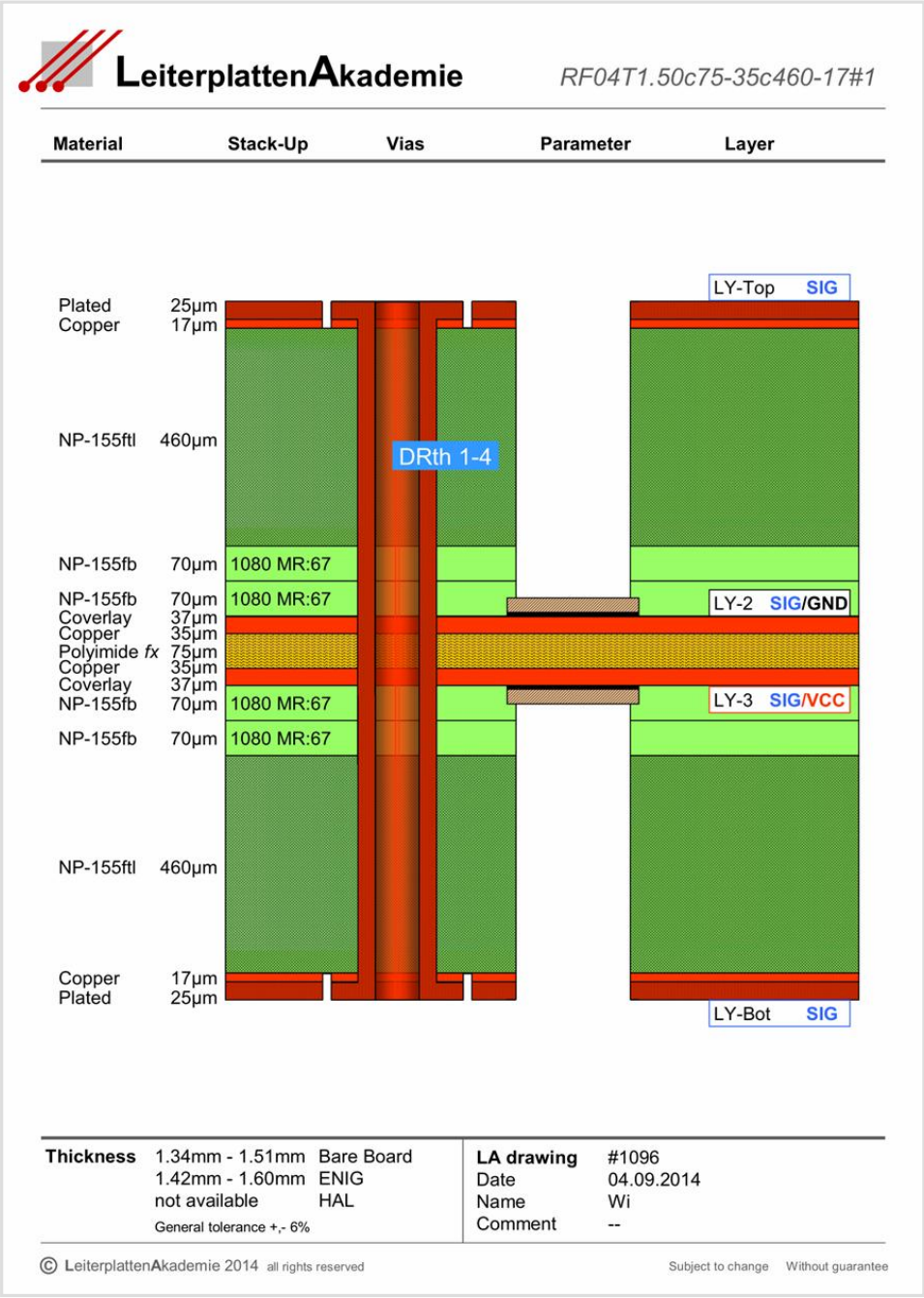
LP-Klasse	flexibel
Gesamtdicke	0.34mm
Material	Polyimid
Layer	2
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	2 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	nein

Aufbau für einen 4-Lagen starrflexiblen Multilayer 1



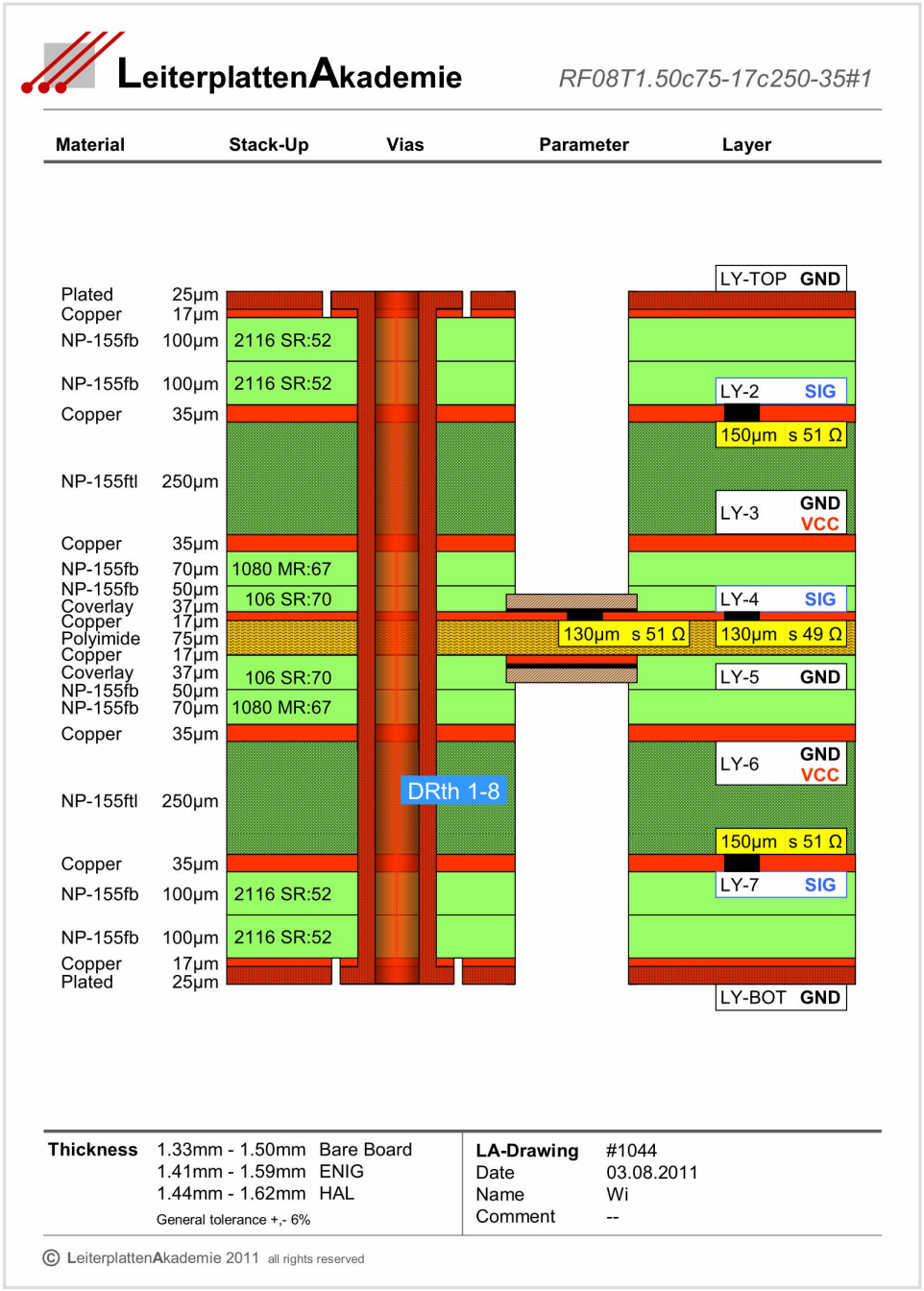
LP-Klasse	starrflexibel
Gesamtdicke	1.50mm
Material	Polyimid + FR4
Layer	4
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	2 x Sig + Pow 2 x Sig
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	1 x

Aufbau für einen 4-Lagen starrflexiblen Multilayer 2



LP-Klasse	starrflexibel
Gesamtdicke	1.50mm
Material	Polyimid + FR4
Layer	4
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	2 x Sig 2 x Sig + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	nein
Montage	1 x

Aufbau für einen 8-Lagen starrflexiblen Multilayer



LP-Klasse	starrflexibel
Gesamtdicke	1.50mm
Material	Polyimid + FR4
Layer	8
Kontaktiert	ja
BlindVias	nein
BuriedVias	nein
Lagentypen	3 x Sig 3 x Pow 2 x Pow + Pow
MPS	nein
Pluggen	nein
KM	nein
Impedanz	50 Ω single ended
Montage	1 x

3. Abschnitt

Nomenklatur fürBaupläne

Nomenklatur für Baupläne 1

Nomenklatur

Die Syntax für die Bezeichnung eines Bauplanes soll Auskunft geben über die Leiterplattenklasse, die Lagenanzahl, die Gesamtdicke, die Dicke des Laminates und des Dielektrikums für den 1. Kern, die Dicke des Laminates und des Dielektrikums für den 2. Kern, einen Postfix sowie einen Suchindex.

Die Nomenklatur ist damit alphanumerisch und als ASCII-Code in Verzeichnissen selbstsortierend. Das Postfix ist numerisch und erlaubt über ein Softwareprogramm Querreferenzen.

Regel (Leiterplattenklasse)

Die Leiterplattenklasse wird mit 2 Buchstaben gekennzeichnet.

Kennung	*Klasse*		*Lagenanzahl*
Ri	~ Leiterplattenklasse "Rigid"	/ Starr	(es, ds, ML)
Fx	~ Leiterplattenklasse "Flex"	/ Flexibel	(es, ds, ML)
RF	~ Leiterplattenklasse "Rigidflex"	/ Starrflexibel	(ML)



Nomenklatur für Baupläne 2

Regel (Lagenanzahl)

Die Lagenanzahl wird mit 2 Ziffern angegeben.

01 02 03 04 05 06 08 10 11 12 13 14 15 16….

Regel (Leiterplattendicke)

Die Gesamtdicke der Leiterplatte wird mit "T" (~ thickness) und 1 oder 2 Vor- und 2 Nachkommastellen in [mm] angegeben.

Gesamtdicke T0.60 T0.90 T1.10 T1.50 T1.65 T1.80 T2.00… [mm]

Regel (1. Kern)

Die Dicke des 1. Kerns wird mit "c" für "core (~ Kern)" in [µm] angegeben.

1. Kern c50 c75 c100 c150 c200 c300 c360…. [µm]

Das Basiskupfer des 1. Kerns wird mit einem "-" an die Bezeichnung des 1. Kerns angehangen.

Basiskupfer -5 -9 -12 -17 -35 -70 -105 -210 -420 [µm]

Nomenklatur für Baupläne 3

Regel (2. Kern)

Die Dicke des 2. Kerns wird mit "c" für "core (~ Kern)" in [µm] angegeben.

2. Kern	c50	c75	c100	c150	c200	c300	c360…. [µm]

Das Basiskupfer des 2. Kerns wird mit einem "-" an die Bezeichnung des 2. Kerns angehangen.

Basiskupfer	-5	-9	-12	-17	-35	-70	-105	-210	-420 [µm]

Regel (Postfix)

Über das Postfix als Anhang zum Namen des Bauplans werden Varianten unterschieden, die zur gleichen Familie gehören.

Postfix	#1	#2	#3	#4	#5…..

Regel (Suchindex/Drawing)

Der Suchindex/Drawing ist eine mindestens 4-stellige Zahl, die mit einem individualisierten Präfix versehen werden kann. Der Suchindex wird nur einmal pro Bautypkatalog vergeben und dient auch als Sicherheit für eine eindeutige Bauplanbezeichnung.

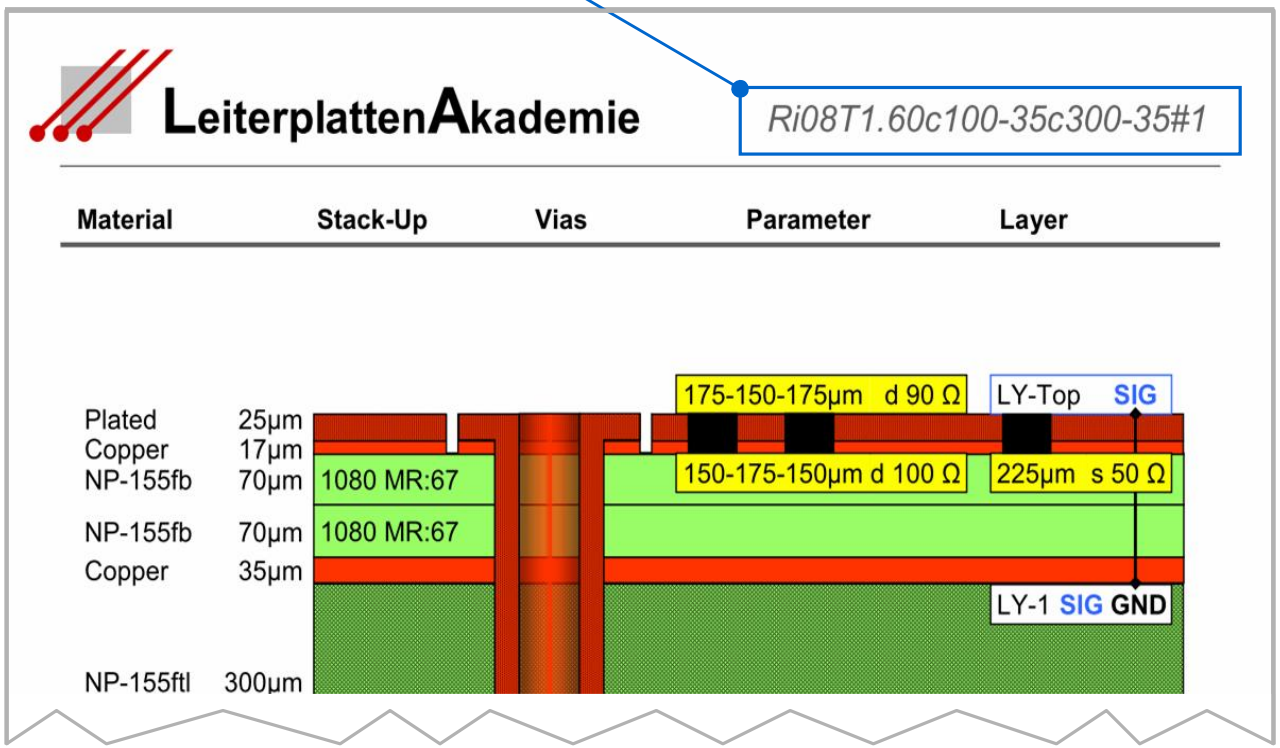
Suchindex mit Präfix "isw"	isw1000	isw1001,…, isw1142 etc



Nomenklatur für Baupläne 4

Beispiel (Nomenklatur)

Nomenklatur des Bauplans	*Lesart*
Ri	Leiterplattenklasse "Ri" (starr)
08	Lagenanzahl "8"
T1.60	Gesamtdicke "1.60" mm
c100-35	1. Kern 100 µm mit 35 µm Kupfer
c300-35	2. Kern 600 µm mit 35 µm Kupfer
#1	Postfix Nummer "#1"



4. Abschnitt

Beispiele für die Dokumentation von Multilayern durch Leiterplattenhersteller

Multilayerdokumentation Fa. Würth

BUILD-UP-HDI

8 - Lagen

WÜRTH ELEKTRONIK

WE-Artikel Nr.: HDI 1 + 4 + 1

Customer:

layer description		Configuration		Raw-Material	CU	PREPREG	Dielectric constant	Final Thickness	Customer requirements
Customer	WE						[εr]	[µm]	[µm]
	TOP/VS	S1		Foil	12 µm	1)		12	
						1 x 2113	3.6	92	
	2	Ref			35 µm			33	
				0,300 mm			4.5	300	
	3	Gnd			35 µm			33	
						2 x 1080	3.7	136	
	4	VCC	Ref		35 µm			33	
				0,300 mm			4.5	300	
	5	Ref	S2		35 µm			33	
						1 x 2113	3.6	92	
	BOT/RS	S1	Ref	Foil	12 µm	1)		12	
		Material: lowCTEz Tg.150° hf							
				1) copper thickness outer layers: appr. 50 µm					
		Impedanzen:		min. 33.4 / 38.4 according to IPC-A-600					
	WE	S1 Zo 50 Ohm @ 154 µm track width							
		S1 Zo 55 Ohm @ 125 µm track width							
	WE	S1 Zdiff 90 Ohm @ 135 / 140 / 135 µm							
		S1 Zdiff 94 Ohm @ 125 / 150 / 125 µm							
	WE	S1 Zdiff 100 Ohm @ 130 / 235 / 130 µm							
		S1 Zdiff 105 Ohm @ 115 / 250 / 115 µm							
	WE	S2 Zo 50 Ohm @ 105 µm track width							
		S2 Zo 51 Ohm @ 100 µm track width							
	WE	S2 Zdiff 100 Ohm @ 90 / 210 / 90 µm							
		S2 Zdiff 95 Ohm @ 100 / 200 / 100 µm							
				total material thickness:				1076	
				Note: Lamination thickness for Prepregs depending on layout characteristics.					

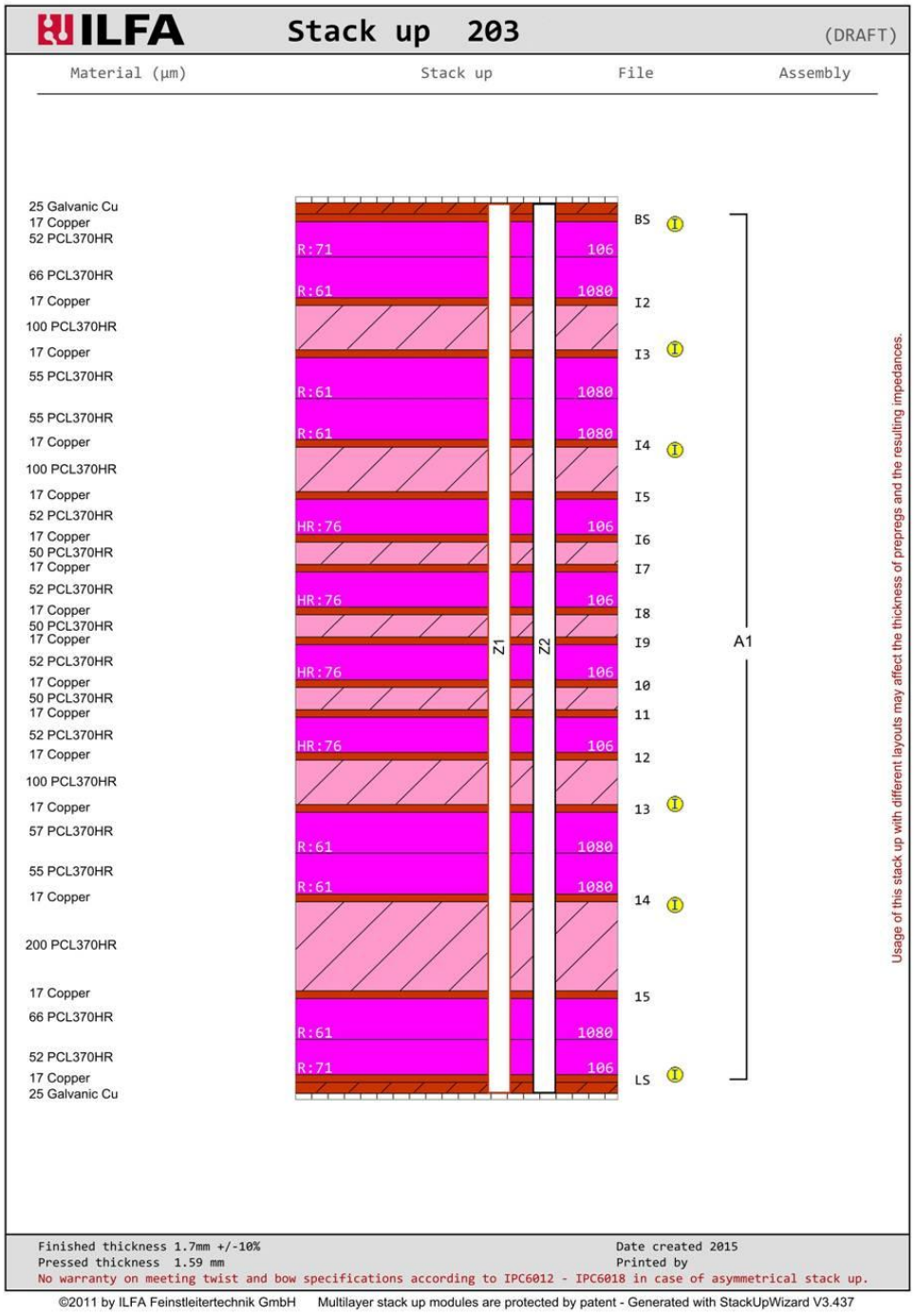
Final lamination thickness	1,08	+/-	0,10	mm			Date:	Engineer
Thickness with electroplated Cu	1,16	+/-	0,11	mm				
Total thickness with soldermask	1,22	+/-	0,12	mm				
Customer Requirement		+/-		mm	point			

Beispiel (Lagenaufbau Fa. Würth)

Der Aufbau des Multilayers ist als "Build-UP-HDI" klassifiziert. Die erforderlichen Werte und Größen sind ausgewiesen.

Referenzen (IPC o.ä.)
Grafik des Aufbaus
Material (Glasgewebe, Cu-Folien)
Materialreihenfolge
Anzahl der Prepregs
Dielektrika
Verpreßte Dicken
Layerbezeichnung (Top,…2, 3,…)
Layerfunktion (S, Ref, GND, VCC)
Kontaktierungsstrategie
Impedanzwerte
Enddicken

Multilayerdokumentation Fa. ILFA (Blatt 1)



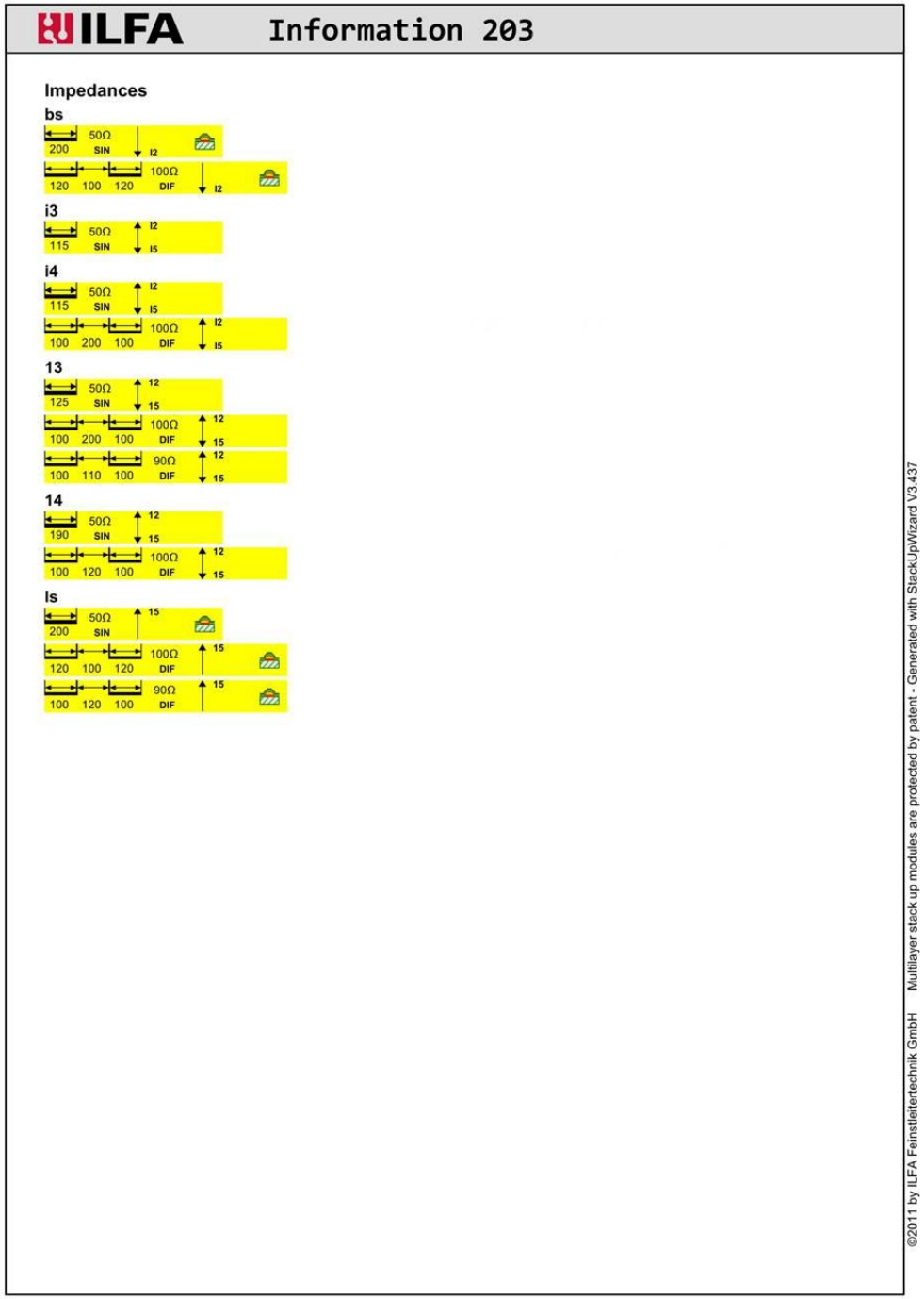
Beispiel (Lagenaufbau Fa. ILFA ((Blatt1)

Im Aufbau des Multilayers sind die wichtigsten Werte und Größen ausgewiesen.

Referenzen (IPC o.ä.)
Grafik des Aufbaus
Material (Glasgewebe, Cu-Folien)
Materialreihenfolge
Anzahl der Prepregs
Verpreßte Dicken
Layerbezeichnung (BS,…i2, i3,…)
Kontaktierungsstrategie
Enddicken

Die Impedanzen sind auf einem zweiten Blatt ausgewiesen.

Multilayerdokumentation Fa. ILFA (Blatt 2)



Beispiel (Lagenaufbau Fa. ILFA ((Blatt2)

Auf dem 2. Blatt werden physikalische Eigenschaften ausgewiesen.

Impedanzwerte mit Angabe der Geometrien und Lagenbezüge

Der Aufbau beschreibt einen Multilayer im Entwurfsmodus.

Multilayerdokumentation Fa. KSG Gornsdorf

Kunde

Zeichnungsnummer

Lagenaufbau DE

KSG-Schlüsselnummer

KSG Leiterplatten

Bearbeiter:
Datum:

	Lagenaufbau		Typ	mittlere Basisdicke µm	mittlere Enddicke µm	Bemerkungen
	Lötstoppmaske				25	
1	Cu	100%	9+25	9	40	
	Prepreg	297%	106	48	111	
	Prepreg		106	48		
2	Cu	69%	18	18	15	
	Laminat		100 µm	100	100	
3	Cu	37%	18	18	15	
	Prepreg	104%	106	48	117	
	Prepreg		1080	68		
4	Cu	49%	18	18	15	
	Laminat		710 µm	710	710	
5	Cu	59%	18	18	15	
	Prepreg	109%	1080	68	119	
	Prepreg		106	48		
6	Cu	37%	18	18	15	
	Laminat		100 µm	100	100	
7	Cu	69%	18	18	15	
	Prepreg	297%	106	48	111	
	Prepreg		106	48		
8	Cu	100%	9+25	9	40	
	Lötstoppmaske				25	
			Presslingsdicke:	1475	+/- 10%	
			Gesamtdicke inkl. galv.Cu u. Lötstoppmaske:	1587	+/- 10%	

erstellt: ET

FBL 03.24 ML-Lagenaufbau

Beispiel (Lagenaufbau Fa. KSG)

Eine besondere Klassifikation des Lagenaufbaus liegt nicht vor.

Die erforderlichen Geometrien, Dicken und Abstände sind ausgewiesen.

Auflistung der Materialien
Material (Glasgewebe, Cu-Folien)
Materialreihenfolge
Anzahl der Prepregs
Verpreßte Dicken
Layerbezeichnung (Top,…2, 3,…)
Enddicken

5. Abschnitt

Integration von Multilayer-Bauplänen in die Datenbanken der CAD-Systeme

Layer Stackup : Layerfunktionen

Quelle Jennifer Vincenz

Layerstackup mit Angabe der Materialien, Dicken und Qualitäten.

	Name	Associated Layer	Class	Side	Bias	Net	Material	Thickness
		Wires Top	Wire Link	Top	None			0.000
Y		ZUM (Bohrplan)	Bohrplan	Top	None			0.000
		Rahmen_BS	Rahmen	Top	None			0.000
Y		Pin Names	Non-Electrical	Top	None			0.000
Y		BBA (Bestückungsplan BS m.Pol-Zeichen)	polzeichen	Top	None			0.000
Y		BBV (Bestückungsplan BS/ Bauteilwert)	Assembly	Top	None			0.000
Y		BBR (Bestückungsplan BS/Bauteilname)	BBR	Top	None			0.000
Y		PB (Lotpastendruck BS)	Paste Mask	Top	None			0.000
Y		DB (Bestückungsdruck BS)	Silkscreen-Sy	Top	None			0.000
Y		DB-Name	Silkscreen	Top	None			0.000
Y		MBN (Lötstopmaske BS)	Solder Mask	Top	None		Lötstoplack	0.020
Y	BS (Bestückungsseite)		Electrical	Top	None		Cu_17	0.045
	ISO1		Construction		None		FR4_150	0.150
	I2N (Layer 2) neg.		Power	Inner	Power Plane	Gnd	Cu_17	0.017
	ISO2		Construction		None		FR4_930	0.930
	I3N (Layer 3) neg.		Power	Inner	Power Plane	+5V	Cu_17	0.017
	ISO3		Construction		None		FR4_150	0.150
Y	LS (Lötseite)		Electrical	Bottom	Y		Cu_17	0.045
Y		MLN (Lötstopmaske LS)	Solder Mask	Bottom	None		Lötstoplack	0.020
		DL-Name	Silkscreen	Bottom	None			0.000
		DL (Bestückungsdruck LS)	Silkscreen-Sy	Bottom	None			0.000
		PL (Lotpastendruck LS)	Paste Mask	Bottom	None			0.000
		BLR (Bestückungsplan LS/Bauteilname)	BBR	Bottom	None			0.000
		BLV (Bestückungsplan LS/Bauteilwert)	Assembly	Bottom	None			0.000
		BLA (Bestückungsplan LS m. Pol-Zeichen)	polzeichen	Bottom	None			0.000
		Pin Names (Bottom)	Non-Electrical	Bottom	None			0.000
		Rahmen_LS	Rahmen	Bottom	None			0.000
		Wires Bottom	Wire Link	Bottom	None			0.000
Y	UM (Umschnitt & Maße)		Documentation		None			0.000
	Documentation		Documentation		None			0.000
	Contruction Lines		Documentation		None			0.000

☐ Only Show Used Entries Number of Physical Copper Layers: 4 Board Thickness: 1.360

Layer Stackup : Tabellarischer Multilayerbauplan

Quelle Jennifer Vincenz

Die Materialien für den Multilayeraufbau sind tabellarisch ausgewiesen.

Layer Stack für 8-Lagen Starrflex									
Jennifer Vincenz									
eMail.jvincenz@tecnotron.de									
GBR Files	Material	Thickness range	Thickness	Er Range	Er ist	Track Width	Zo / Polar CITS25	Layer usage	
GTO	Silkscreen								
GTS	Soldermask	8...15	0	3.0...4.0	3,3				
GTL	top	40...52	45					gnd-polygon	
	pp 100+100	190...200	200	4.2...4.9	4,2				
GP1	in1		35					signal	
	core		250	4.2...4.9	4,2				
G1	in2		35			150	52,00	gnd/vcc plane	
	KI 25+FR4_50+	90...100	100	4.0...4.7	4,2	gerechnet mit Er-eff 3.			
	Cover Polyimid	25...38	37,5		3,5				
GP2	in3		17			130	51(flex)/	signal	
	core Polyimid		75	3.2...3.7	3,5		54(starr)		ACHTUNG: GND
G2	in4		17					gnd	NUR im FLEX-Teil !
	Cover Polyimid	25...38	37,5		3,5	gerechnet mit Er-eff 3.			Im starren Teil
	KI 25+FR4_50+	90...100	100	4.0...4.7	4,2				aussparen !!
G3	in5		35			150	52,00	gnd/vcc plane	
	core		250	4.2...4.9	4,2				
GP3	in6		35					signal	
	pp 100+100	190...200	200	4.2...4.9	4,2				
GBL	bottom		45					gnd-polygon	
GBS	Soldermask	8...15	0	3.0...4.0	3,3				
GBO	Silkscreen								
	total thickness		1514						
	alle Dicken in µm								

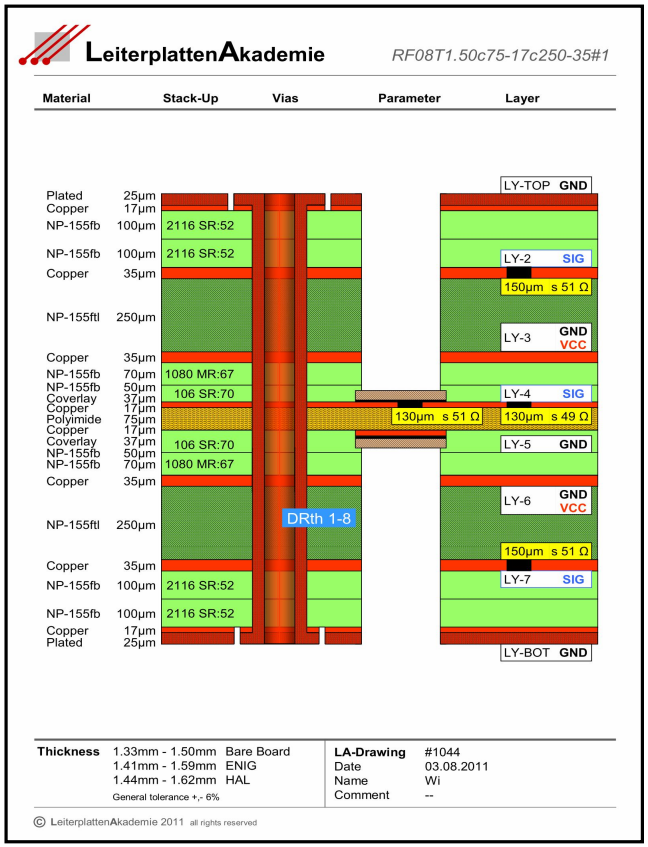
Layer Stackup : Grafischer Bauplan vs. Texttabelle

Die tabellarische und die grafische Darstellung beschreiben den gleichen Lagenaufbau.
Die Tabelle enthält alle elementaren Informationen und ist als Datenbank für einen *Softwareautomaten* (~ CAD-System) geeignet.
Die Grafik ist für die intuitive Erfassung und Bewertung eines Bauplanes durch einen *Menschen* wesentlich aussagekräftiger.

Textliche Darstellung

Layer Stack für 8-Lagen Starrflex								
Jennifer Vincenz								
eMail.jvincenz@tecnotron.de								
GBR Files	Material	Thickness range	Thickness	Er Range	Er ist	Track Width	Zo / Polar CITS25	Layer usage
GTO	Silkscreen							
GTS	Soldermask	8...15	0	3.0...4.0	3,3			
GTL	top	40...52	45					gnd-polygon
	pp 100+100	190...200	200	4.2...4.9	4,2			
GP1	in1		35					signal
	core		250	4.2...4.9	4,2			
G1	in2		35			150	52,00	gnd/vcc plane
	KI 25+FR4_50+	90...100	100	4.0...4.7	4,2	gerechnet mit Er-eff 3.		
	Cover Polyimid	25...38	37,5		3,5			
GP2	in3		17			130	51(flex)/	signal
	core Polyimid		75	3.2...3.7	3,5		54(starr)	ACHTUNG: GND
G2	in4		17					gnd NUR im FLEX-Teil !
	Cover Polyimid	25...38	37,5		3,5	gerechnet mit Er-eff 3.		Im starren Teil
	KI 25+FR4_50+	90...100	100	4.0...4.7	4,2			aussparen !!
G3	in5		35			150	52,00	gnd/vcc plane
	core		250	4.2...4.9	4,2			
GP3	in6		35					signal
	pp 100+100	190...200	200	4.2...4.9	4,2			
GBL	bottom		45					gnd-polygon
GBS	Soldermask	8...15	0	3.0...4.0	3,3			
GBO	Silkscreen							
	total thickness		1514					
	alle Dicken in µm							

Grafische Darstellung





Vielen Dank für Ihr Interesse.

Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.
Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.
Berufserfahrung

Alles Gute ist immer einfach. Aber alles Einfache ist nicht immer gut.
Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.
Albert Einstein

Quidquid agis, prudenter agas et respice finem.
Äsop

Informationen zur

LA - LeiterplattenAkademie GmbH

LeiterplattenAkademie

Revision 17.11.2011

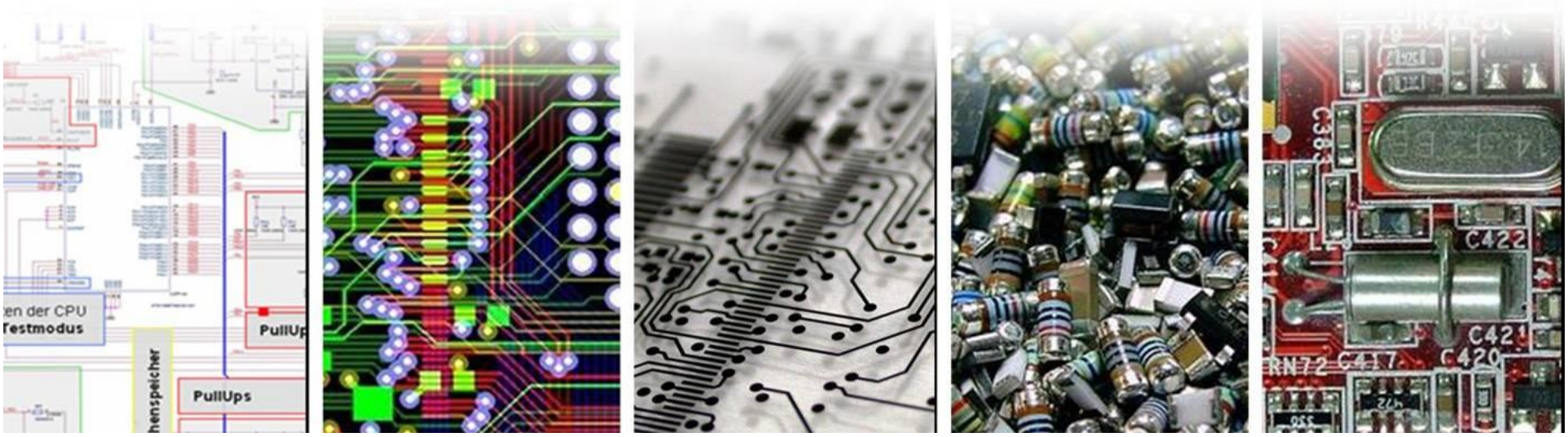
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppentechnologie.

Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.

Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.

Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.

Lernen
Wissen
Handeln

ISW INDIVIDUALSOFTWARE

...in Kooperation mit der LeiterplattenAkademie

Herzlich Willkommen auf unserem Portal.

Wir bieten Ihnen Kompetenz, Information und Ausbildung zu den Themenfeldern CAD-Designregeln, Leiterplattentechnologie und Baugruppenproduktion.

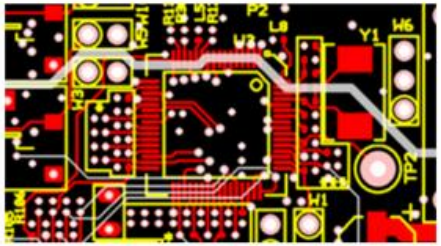
Nach einem ***Login*** auf unseren Lizenzserver erhalten Sie Zugang zu den von Ihnen abonnierten Seminarunterlagen und Software-anwendungen. Unter ***Abonnements*** erfahren Sie, welche Leistungen wir zur Verfügung stellen können, welche Aufwendungen Ihnen entstehen und wie Sie die von Ihnen gewünschten Dienste ordern können.

Der *Link* „LeiterplattenAkademie" führt Sie zur Homepage unseres Partners, der LA – LeiterplattenAkademie GmbH.

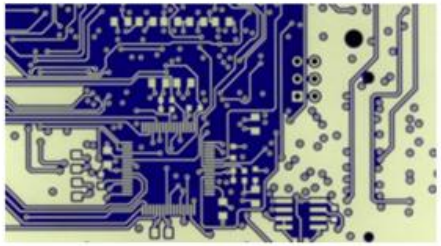
Sie können dort freie Seminare und InHouse-Schulungen buchen und Dokumente zu Aufbauten starrer und starrflexibler Multilayer erwerben.



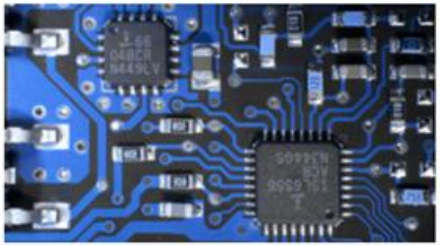
Software



CAD



Leiterplatte



Baugruppe

Copyright © 2016 | MH Magazine WordPress Theme by MH Themes

© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers. Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Telefon 030 / 34 35 18 99
Telefax 030 / 34 35 19 02

eMail
info@leiterplattenakademie.de

Technischer Direktor

Arnold Wiemers

Telefon 0171 / 358 3712
Telefax 0531 / 126441

eMail
awi@leiterplattenakademie.de