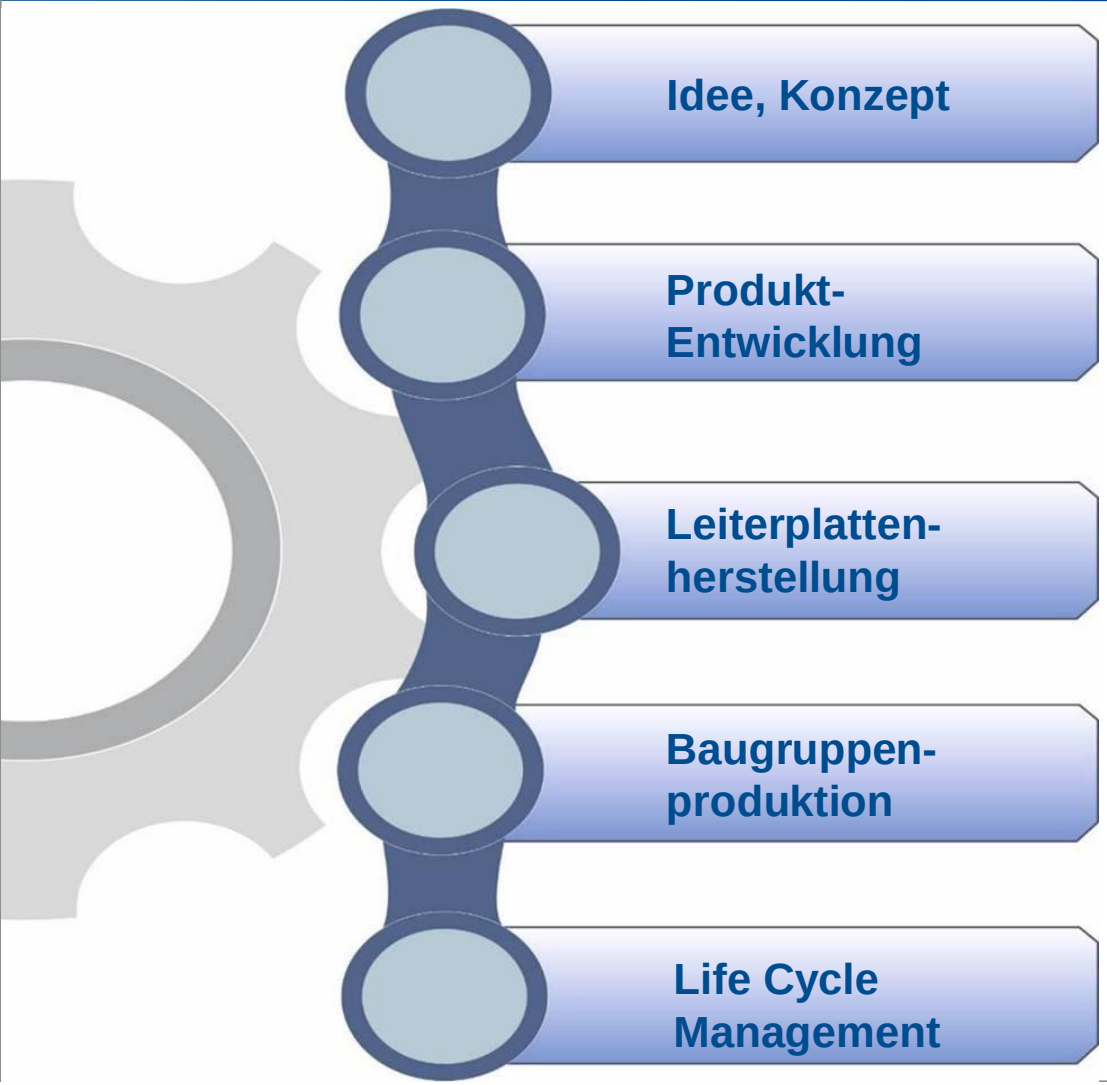
AK Design Chain



Arnold Wiemers
ILFA GmbH
LeiterplattenAkademie GmbH

"Die Leiterplatte 2010"
…das Projekt

26.03.2019 Weidmüller, Detmold

Die Leiterplatte 2010 …das Projekt

Vorwort

Das Projekt "Die Leiterplatte 2010" wurde im Jahr 2008 auf den Weg gebracht.

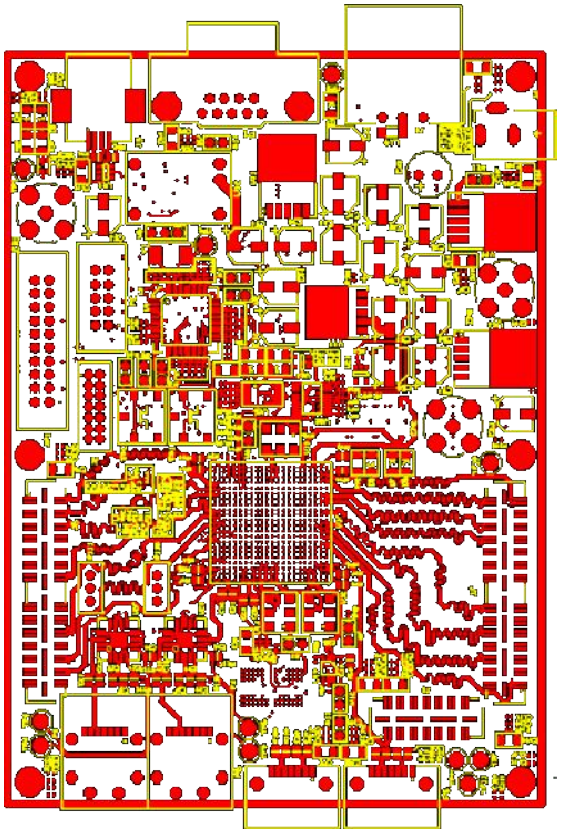
Konstrukteur der "Leiterplatte 2010" war/ist Herr Gerhard Eigelsreiter, Fa. Unitel, aus Graz.

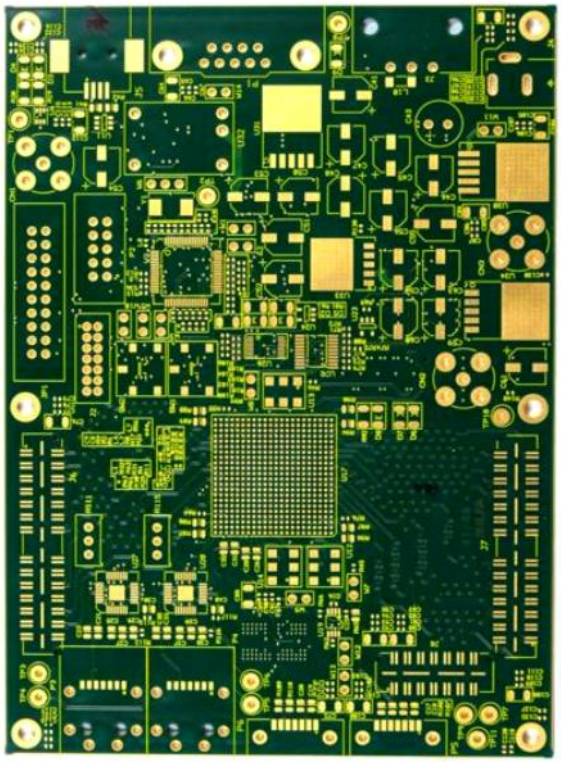
Die Schaltpläne, CAD-Daten, Gerber-Files und mechanischen Konstruktionsvorgaben wurden komplett in der ElektronikPraxis veröffentlicht und es gab damals zwei ganztägige Fachtagungen.



Die Leiterplatte 2010 …das Projekt

Die "Leiterplatte 2010" war/ist eine FPGA-gesteuerte Highspeed-CPU mit der Aufgabe, hohe Datenvolumina zuverlässig zu verarbeiten.







CAD-Layout

Leiterplatte

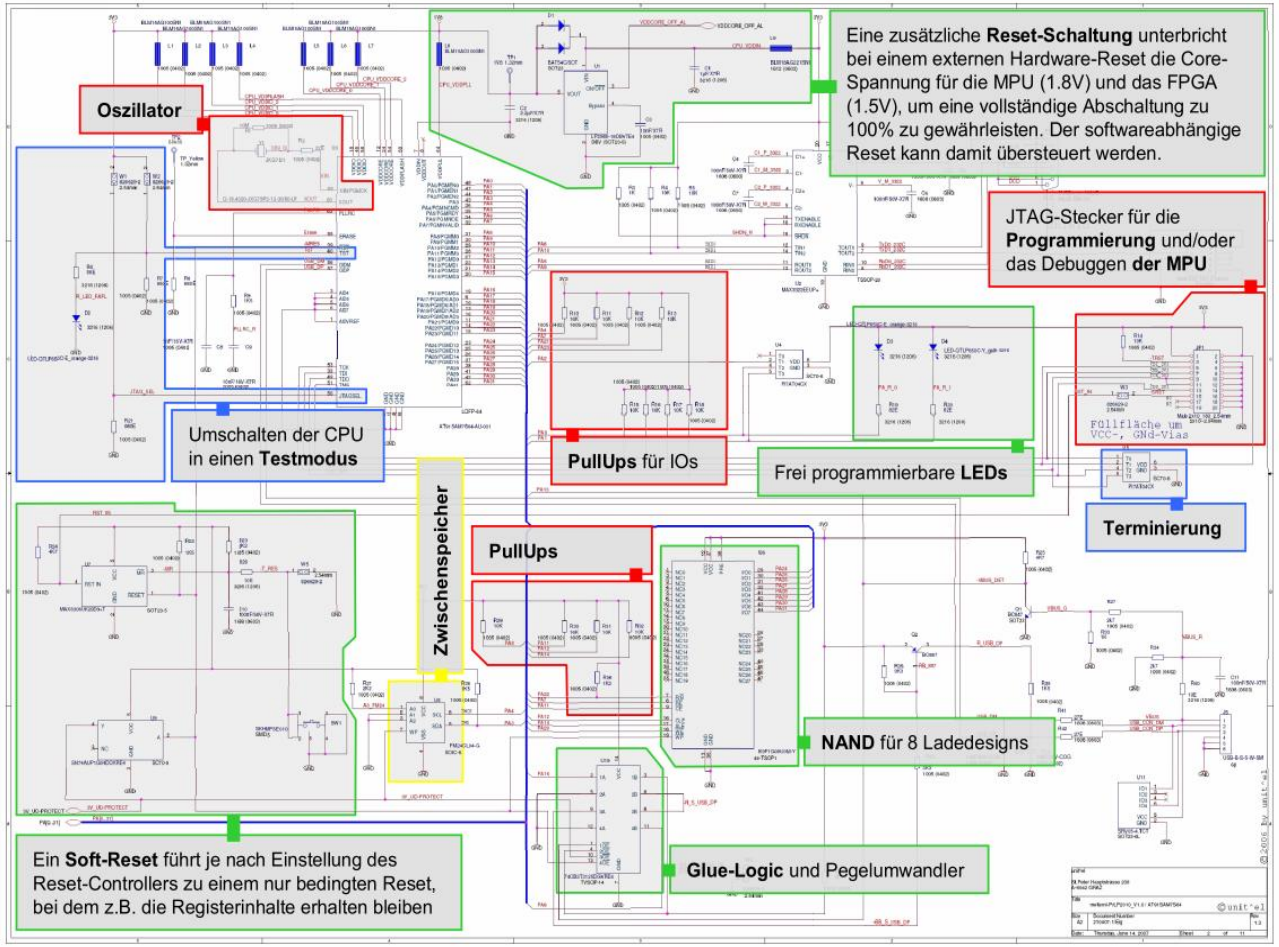
Baugruppe

Bildquelle Arnold Wiemers

Die Leiterplatte 2010 …das Projekt

Schaltplankonstruktion

Die Planung elektronischer Baugruppen hat bereits auf dem Level der Schaltplan-erstellung einen sehr hohen Anspruch zu erfüllen.
Ein CAD-System muß die gestellten Anforderungen begleiten und kontrollieren.
Die Leiterplatte muß die physikalischen Aufgaben erfüllen.
Die Baugruppe muß die Funktion gewährleisten.

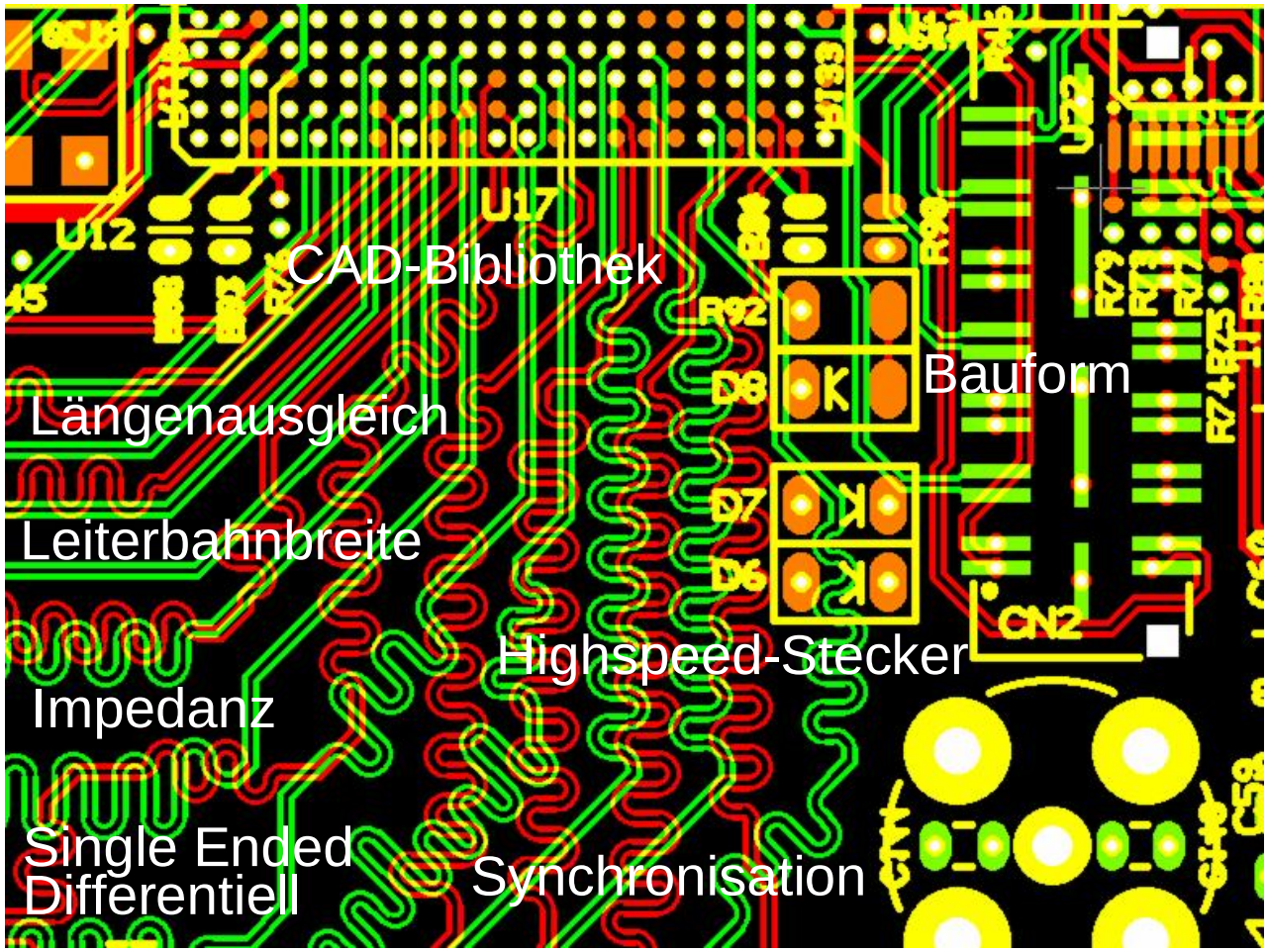


Bildquelle Arnold Wiemers

Die Leiterplatte 2010 …das Projekt

CAD-Design

Das Erstellung eines Layouts am CAD-System vermittelt zwischen der virtuellen Welt des Designs und der realen Welt der Produktion.
Das Layout muß die Funktion des Schaltplanes sowie die Fertigungsvorgaben für die Produktion der Leiterplatte und der Baugruppe beachten.
Die Anforderungen an den Designer/die Designerinnen nehmen zu.

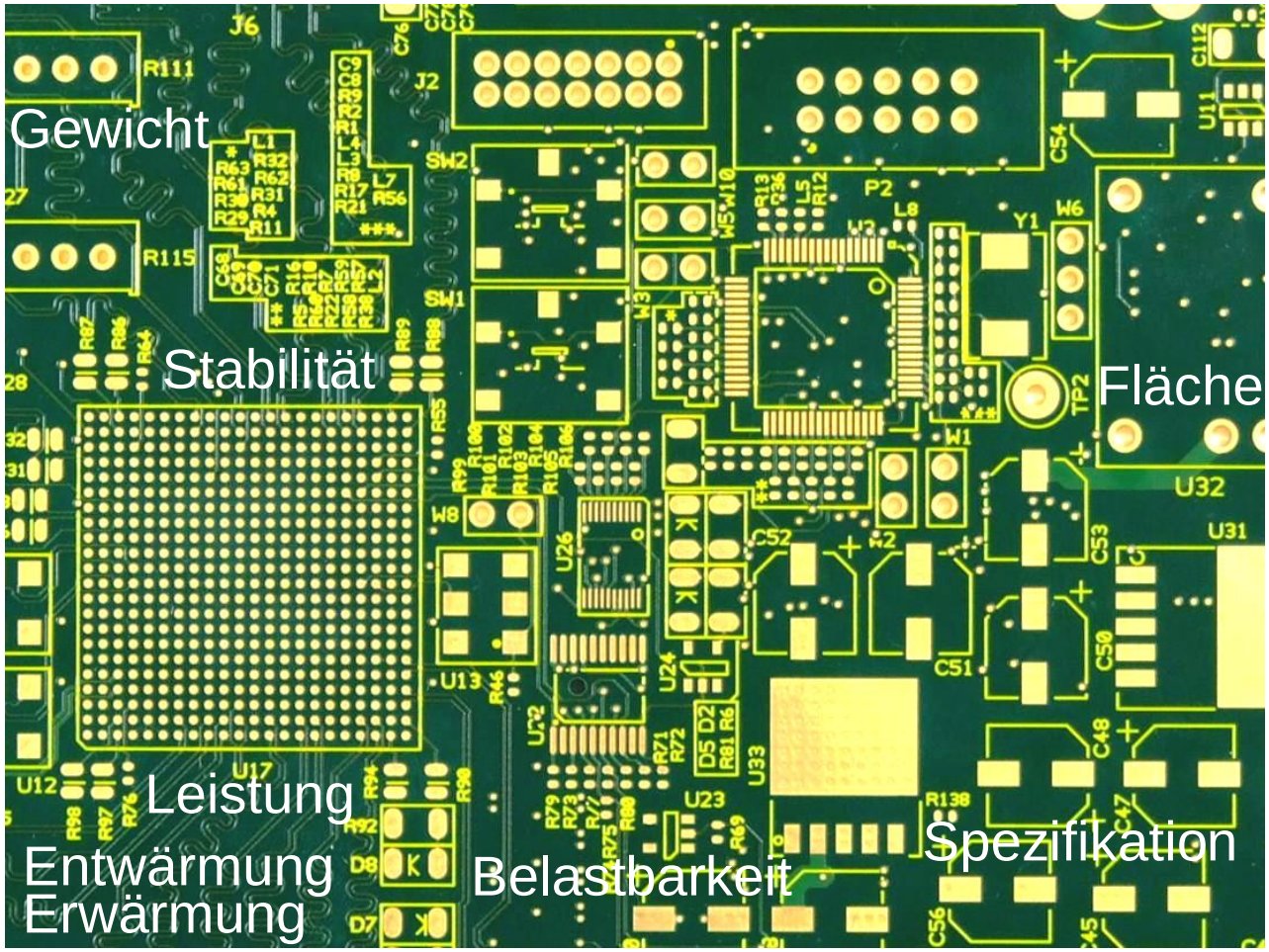


Bildquelle Arnold Wiemers

Die Leiterplatte 2010 …das Projekt

Leiterplattenfertigung

Die mechanische Herausforderung an die Fertigung von Leiterplatten hat deutlich zugenommen.
Minimale Viadurchmesser, sequentielle Kontaktierungsstrategien und hochlagige Multilayer sind Standard geworden.
Impedanz- und Powerintegrität verlangen gleichzeitig zudem eine zuverlässige physikalische Funktion.

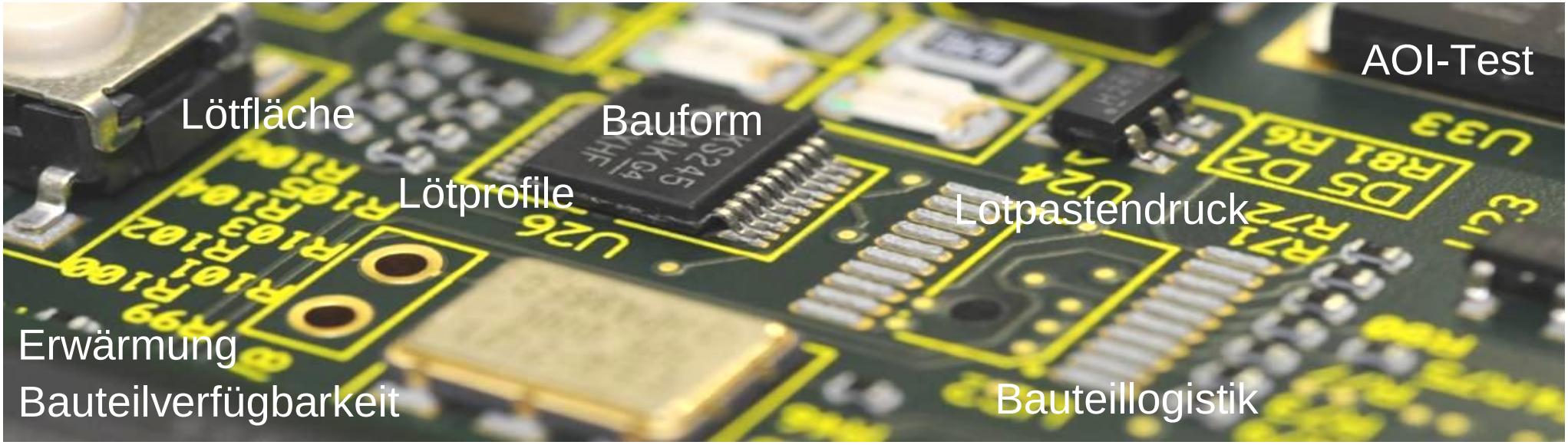


Bildquelle Arnold Wiemers

Die Leiterplatte 2010 …das Projekt

Baugruppenproduktion

Highspeed-Baugruppen sind ohne Kenntnis des vollständigen Weges, den das Produkt durchlaufen muß, und den Einflüssen, denen es dabei unterliegt, nicht mehr erfolgreich umsetzbar. ▶ Die Ausbildung aller Menschen, die in diesen Bereichen arbeiten, muß deshalb komplett und fachlich fundiert sein.



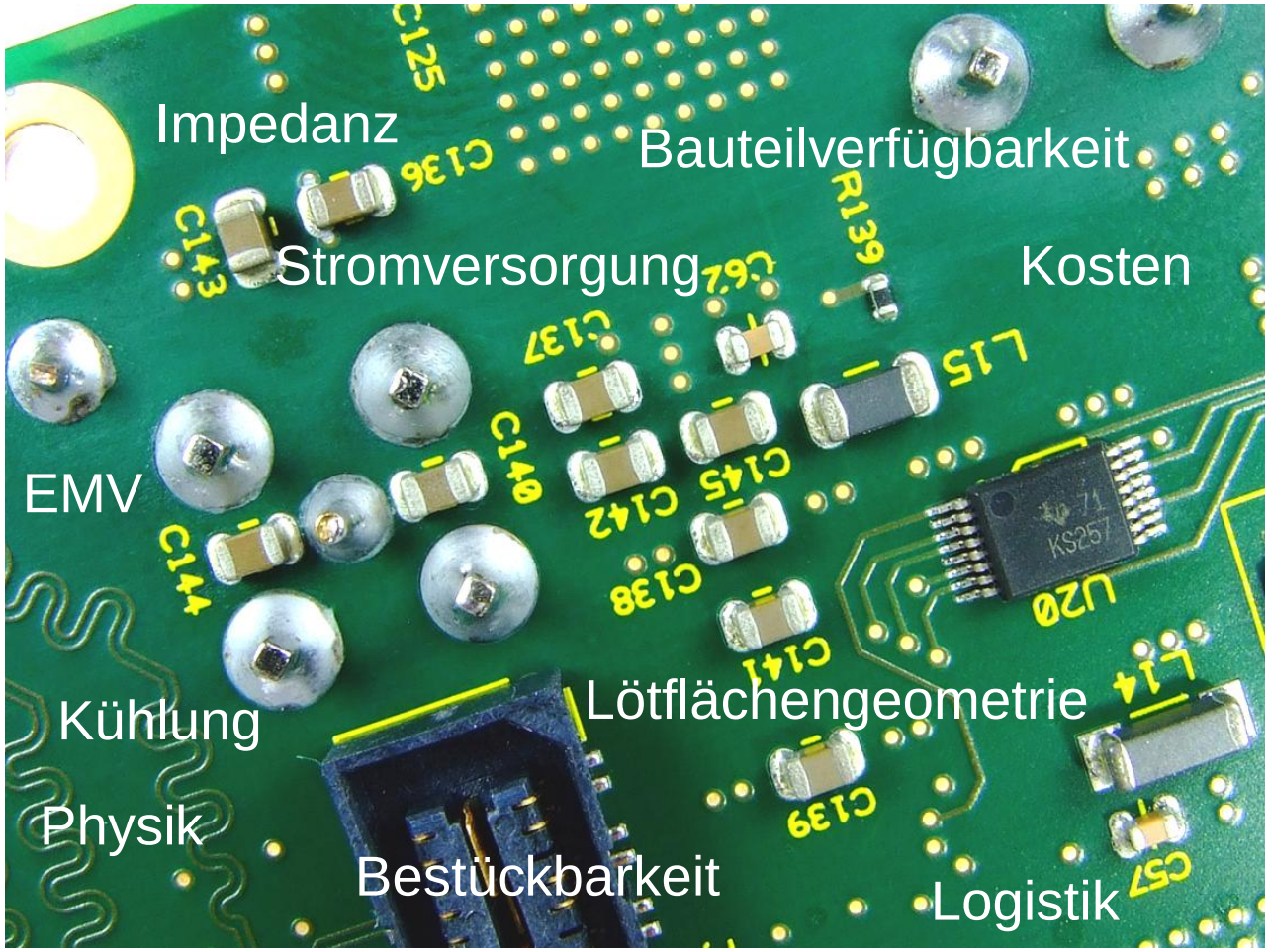
Bildquelle Rainer Taube, Taube Electronic

Die Leiterplatte 2010 …das Projekt

Dokumentation der Eigenschaften einer Leiterplatte

Die Verarbeitung moderner elektronischer Baugruppen verlangt nach einer komplexen Dokumentation der technischen und physikalischen Eigenschaften der Leiterplatte.

Nur dann ist die Produktion und die spätere Betriebssicherheit einer Baugruppe zuverlässig vorhersagbar.



Bildquelle Arnold Wiemers

Die Leiterplatte 2010 …das Projekt

Also :

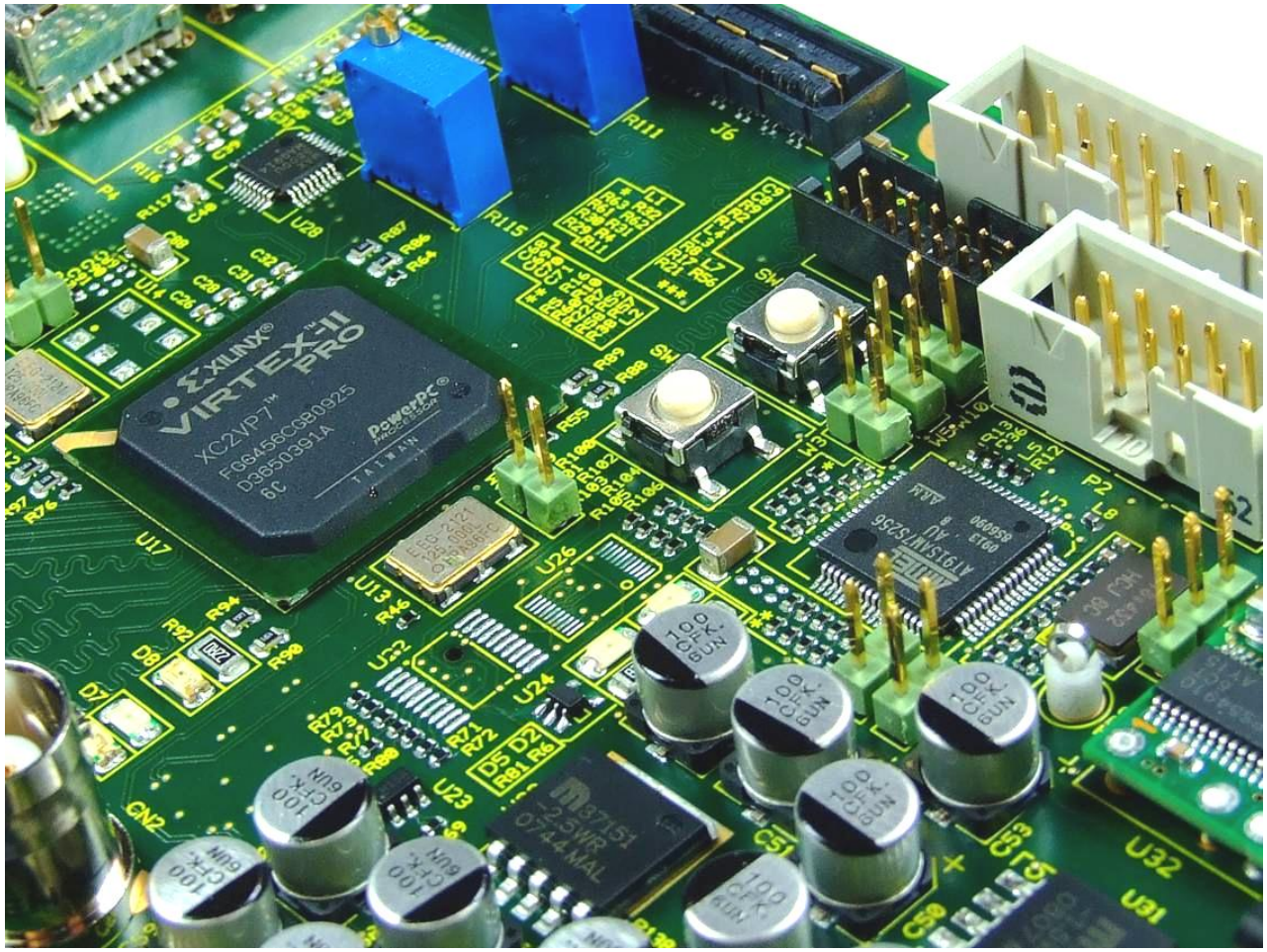
Eine Highspeed-Baugruppe aus alter Zeit…

Doch :

Noch ist die Physik die gleiche, wie damals.
Noch sind sehr viele Basis-materialen, Bauformen und Fertigungsprozesse so, wie damals.

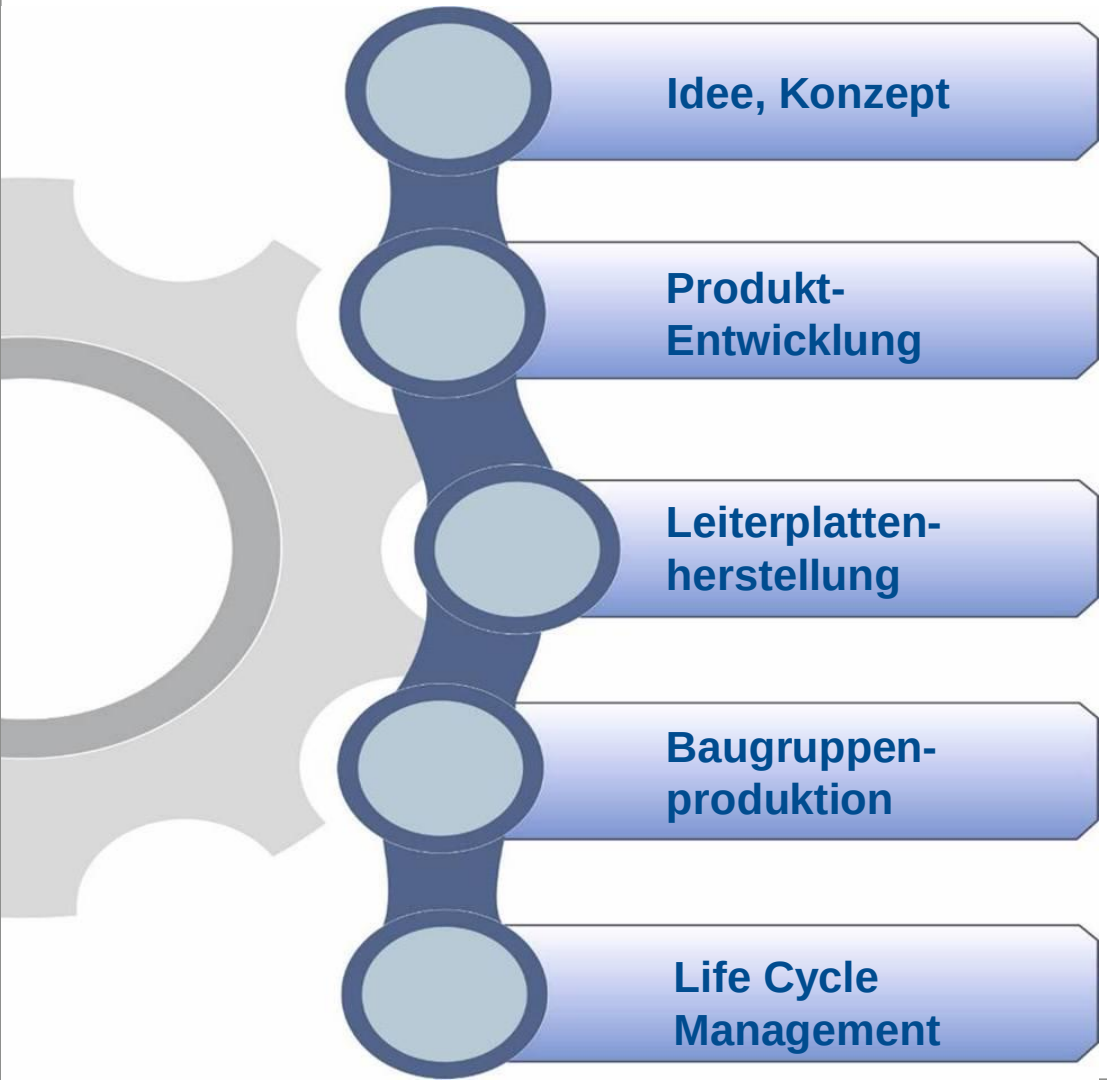
Aber :

Die Dinge ändern sich.



Bildquelle Arnold Wiemers

AK Design Chain



Arnold Wiemers
ILFA GmbH
LeiterplattenAkademie GmbH

Anforderungen an die Leiterplattenproduktion hochlagiger Highspeed-Boards

26.03.2019 Weidmüller, Detmold

Anforderungen an Highspeed-Boards

Die systematische Konstruktion eines Highspeed-Boards am CAD-System, die kontrollierte Produktion der dazugehörigen Leiterplatten (…und die Bestückung der Baugruppe) gehen Hand in Hand, beeinflussen, begrenzen und fördern sich gegenseitig.

Wichtige Aspekte sind :

- Die physikalische Berücksichtigung der Signal- und Powerintegrität
- Die Auswahl des Basismaterials und der Lagenaufbau
- Der Einfluß der Kontaktierungsvariante und der Rückätzung
- Der Fertigungsablauf
- Die Produktionstoleranz in Richtlinien und Normen

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

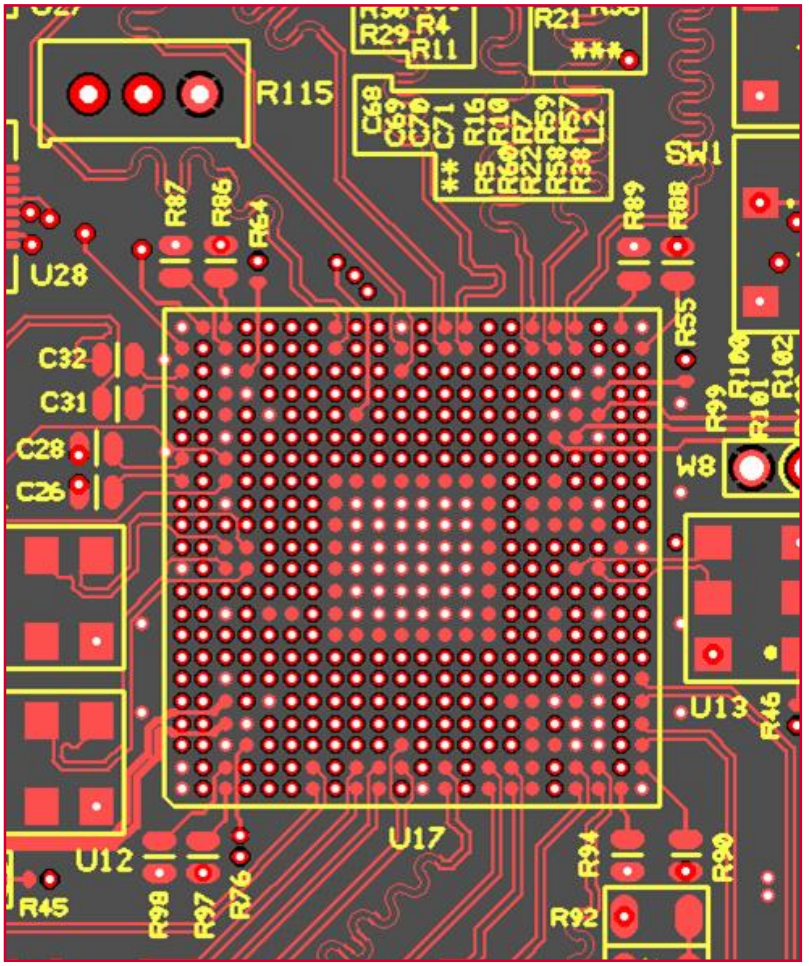
Produktionstoleranzen in Richtlinien und Normen

Signal- und Powerintegrität

Eigentlich ist es nicht sooo schwierig.

Für den **Signaltransfer** muß der Abstand zwischen den Komponenten mit Leiterbahnen überbrückt werden.
Im Idealfall sind die Signalverbindungen über **Leiterbahnen** direkt und kurz geführt.

Für die **Stromversorgung** muß Energie an die Bauteile herangeführt werden.
Durch den Einbau von **Powerplanes** im Lagenaufbau eines Multilayers kann die Versorgung der Komponenten mit Energie direkt vor Ort zuverlässig sichergestellt werden.

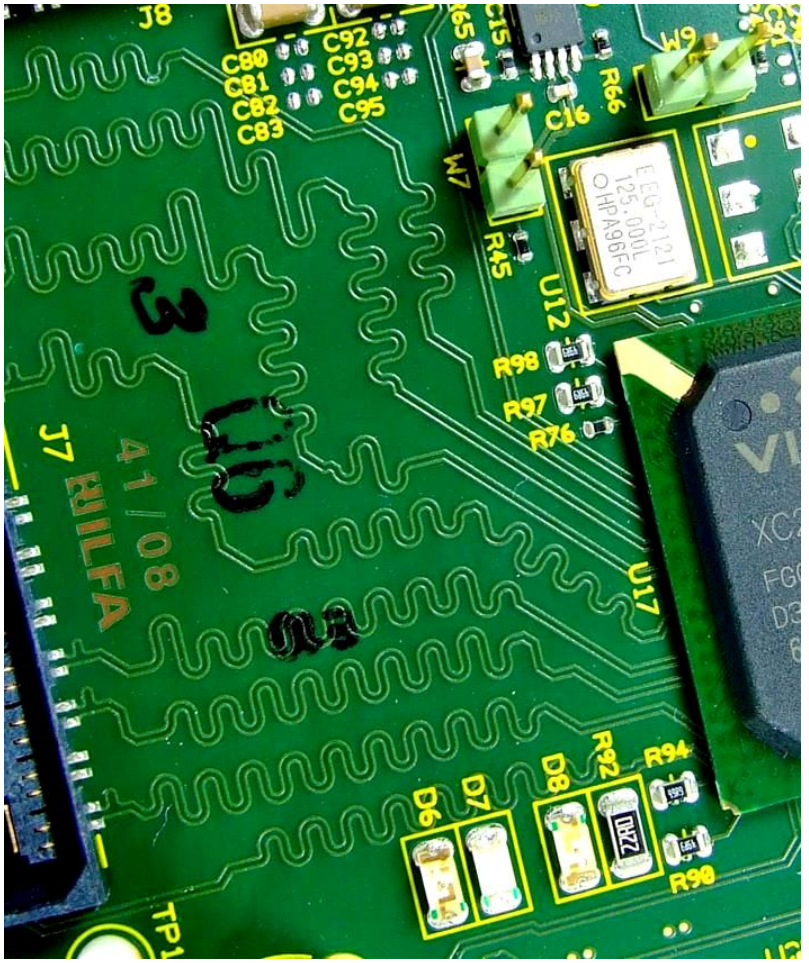


Bildquelle Arnold Wiemers

Signalintegrität

Anpassung der Signallaufzeit

Unterschiedliche Leitungslängen führen zu unterschiedlichen Signallaufzeiten.
Damit die Datenübertragung synchronisiert werden kann, müssen Leitungslängen im CAD-Layout abgeglichen werden.
Insbesondere bei differentieller Signalüber-tragung ist das kaum ohne die CAD-Software umsetzbar.
In den Constraints für den Schaltplan und das Layout muß festgelegt werden, welche Netze auf welchen Layern geroutet werden sollen.



Bildquelle Arnold Wiemers

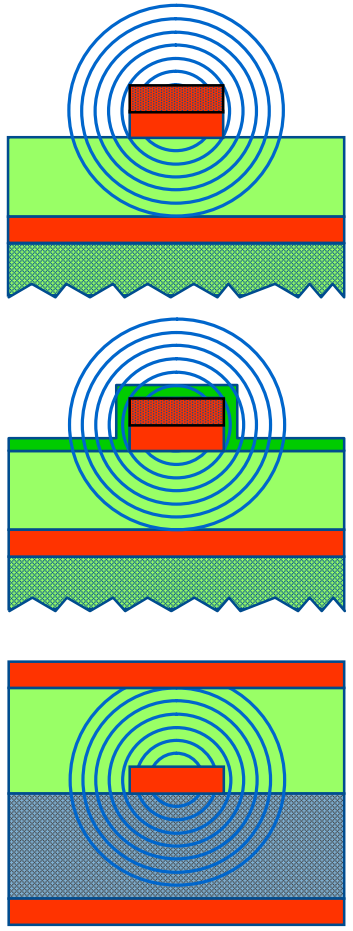
Signalintegrität

Die **Signalgeschwindigkeit** ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

$$v_{(sig)} = \frac{c}{\sqrt{\varepsilon_r}}$$

Alles, was sich innerhalb einer Einflußsphäre mit einem Radius von zirka 150µm bis 200µm um eine Leiterbahn befindet, hat einen signifikaten Einfluß auf die Signalübertragungsqualität.

Das effektive Dielektrikum einer offenen Leiterbahn auf einer FR4-Außenlage liegt bei zirka 2.8, bei einer mit Lötstoplack bedruckten Leiterbahn bei zirka 3.8.
Das effektive Dielektrikum einer innenliegenden Leiterbahn ergibt sich aus den Dielektrika der angrenzenden Materialien.



Bildquelle Arnold Wiemers

Signalintegrität

Beispiel (Signalgeschwindigkeit)

Vorgegeben ist eine relative Permittivität von 4.10 bei einer Frequenz von 1GHz. Referenz ist FR4 des Typs NP-155 der Fa. NanYa.

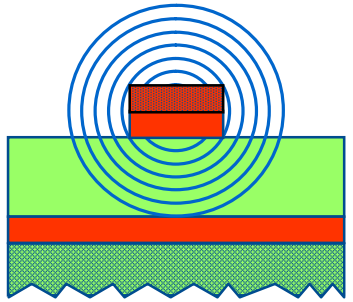
Die relative Permittivität orientiert sich an der effektiven Permittivität bzw. der effektiven Dielektrizitätseigenschaft, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

Damit ergeben sich für Leiterbahnen auf den Layern unterschiedliche Geschwindigkeiten.

Das CAD-System muß das berücksichtigen.

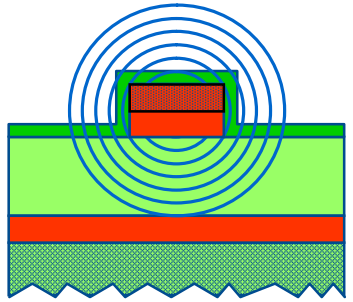
17.96 [cm/ns]

$\varepsilon r_{eff} = 2.8$



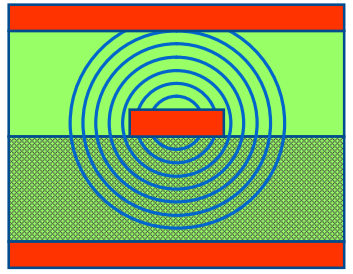
$\varepsilon r_{eff} = 3.8$

15.38 [cm/ns]



$\varepsilon r_{eff} = 4.1$

14.85 [cm/ns]

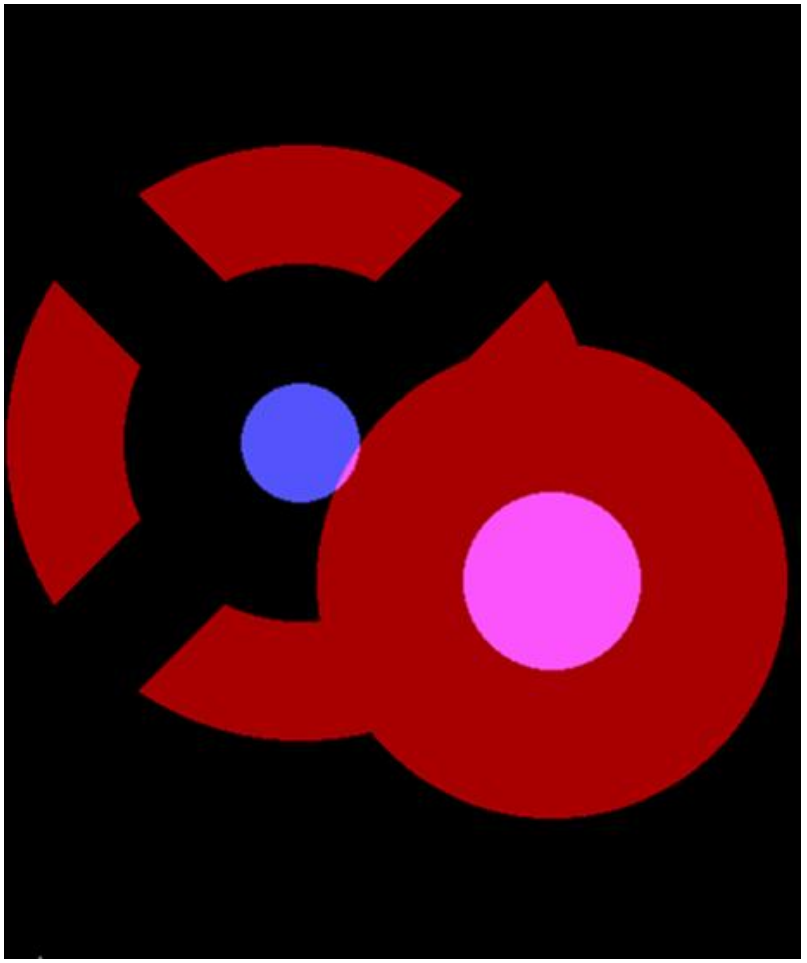


Bildquelle Arnold Wiemers

Signalintegrität

Viadistance

Vias sind für die Signalübertragung immer ein Störfall, allerdings auch nicht zu vermeiden.
In der CAD-Bibliothek müssen die Padstacks beachtet werden und in den Constraints die Parameter für die "viadistance" und "electrical clearance".
Die Toleranzen für die Positionierung der Vias und der Leiterbilder während der Fertigung der Leiterplatten werden sonst nicht ausreichend berücksichtigt.
CAD hat die Aufgabe, Fertigungstoleranzen zu puffern.



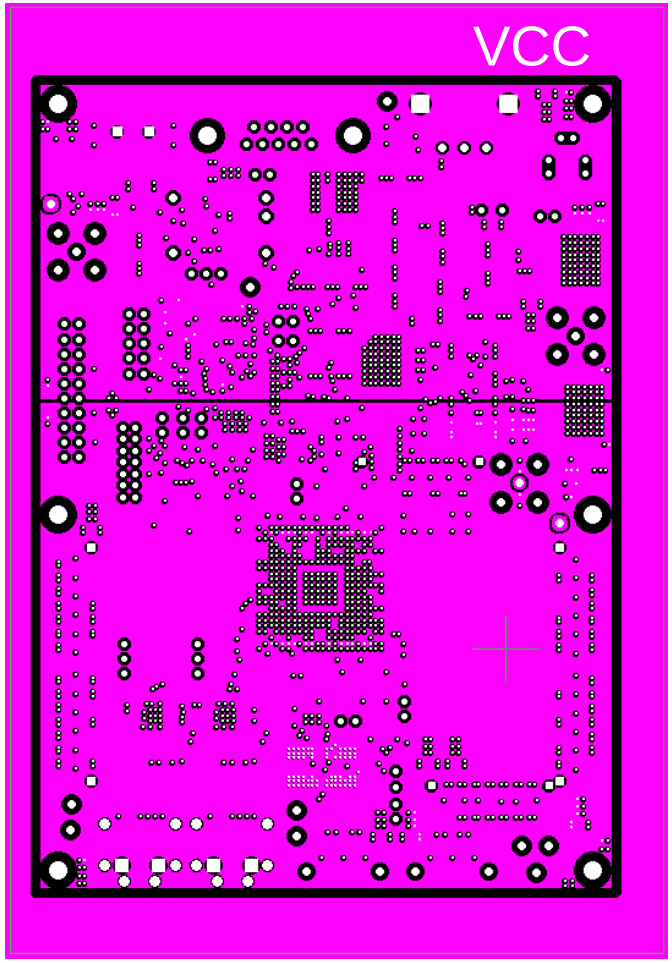
Bildquelle Arnold Wiemers

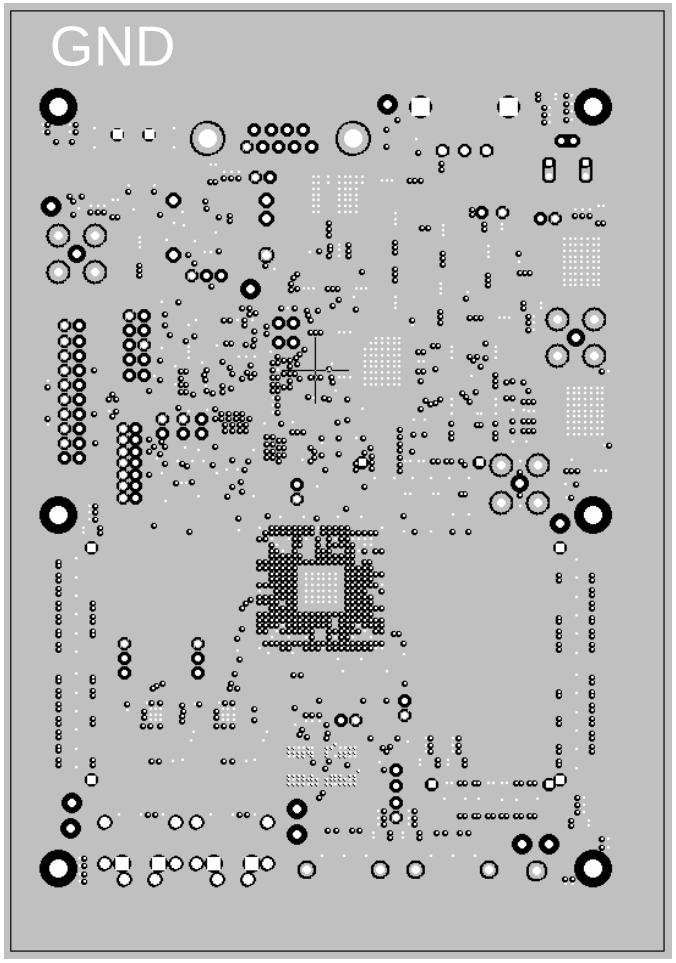
Powerintegrität

Die **Stromversorgung** auf Highspeed-Boards muß flächig ausgelegt werden, damit kapazitive Effekte genutzt werden können.

Wegen der Varianten für das VCC-Potential ist die Aufteilung von Flächen kein Optimum, aber oft auch nicht zu vermeiden.

Das Placement der Komponenten hat dann einen großen Einfluß.





Bildquelle Arnold Wiemers

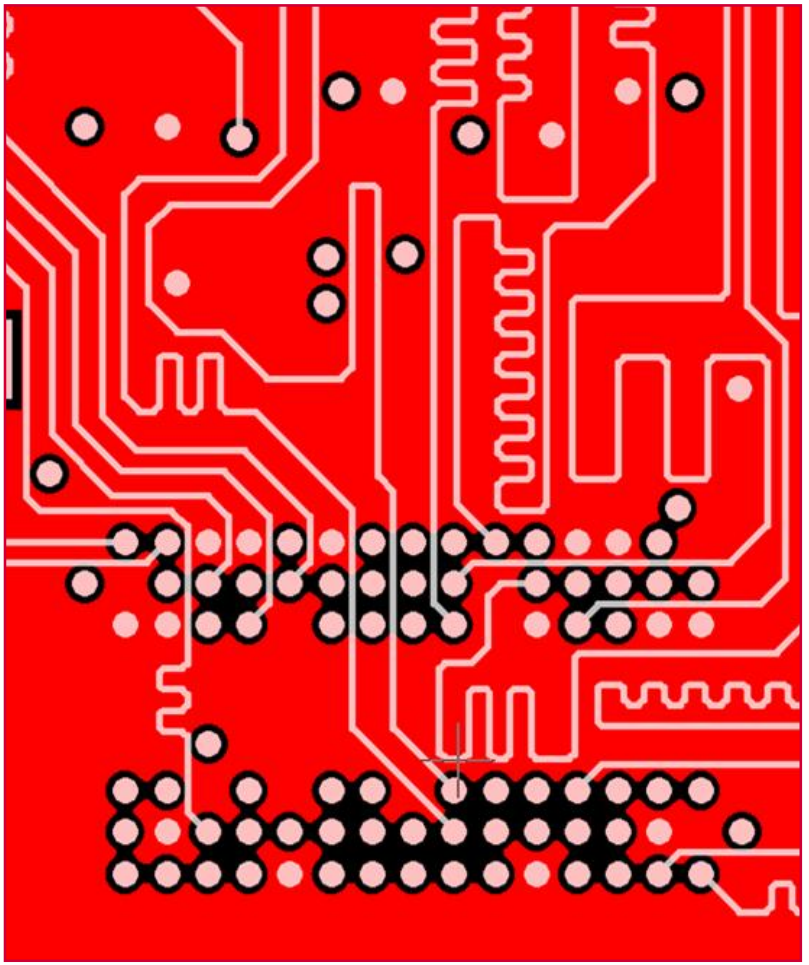
Powerintegrität

Bibliotheksarbeit + Routing

Durch die zu großen Isolationspads ergibt sich ein langer, breiter Schlitz auf dem GND-Layer.

Die Signale sind mit einem Längenausgleich geroutet. Beim Weg durch den unteren Stecker geht aber auf dem GND-Layer die Referenz für den Rückstrom verloren.

Für die CAM-Analyse des Gerber-Files ist das kein Mangel. Es wird kein Produktionsschritt beeinträchtigt. Folglich gibt es keinen Grund, den Multilayer nicht herzustellen.



Bildquelle Arnold Wiemers

Powerintegrität

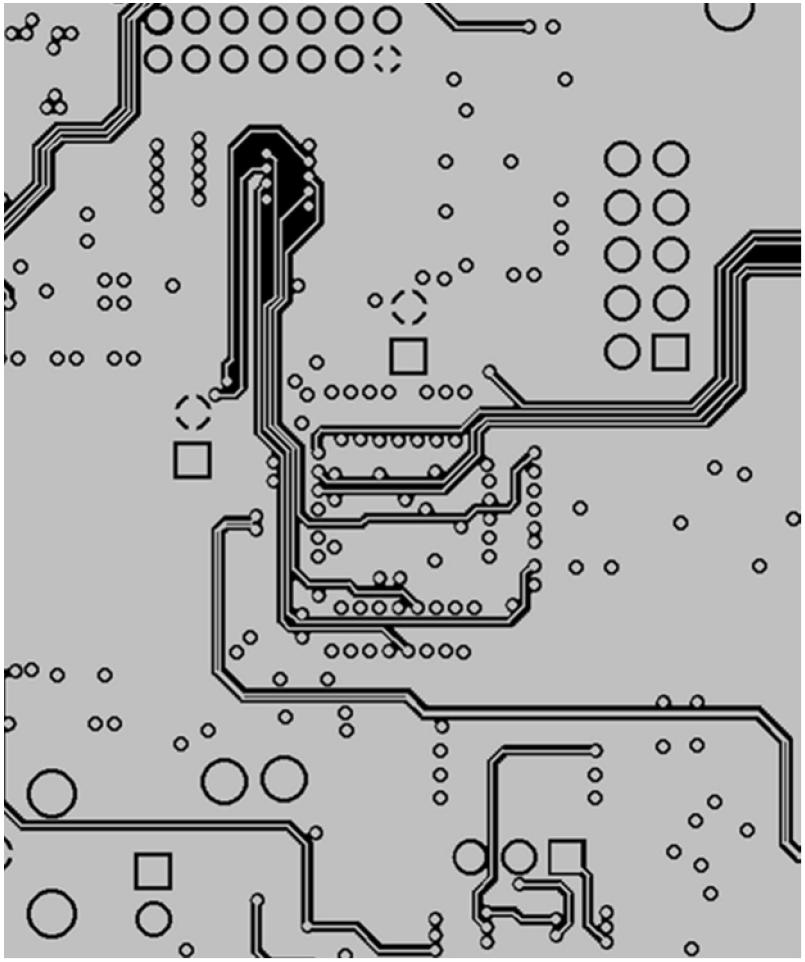
Routing auf Powerplanes

Durch das Einbetten von Signalen ergeben sich aufgesplittete und isolierte Flächen.
Der Stromfluß und die Rückstromwege sind nicht *kontrolliert* definiert.

Die Impedanzreferenzen sind uneinheitlich.
Es ergeben sich inhomogene Geometrien.

Das CAD-System akzeptiert dieses Routing.

Das ändert aber nichts daran, daß die Einbettung von Signalen in Powerplanes für Highspeed-Boards unzulässig ist.



Bildquelle Arnold Wiemers

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

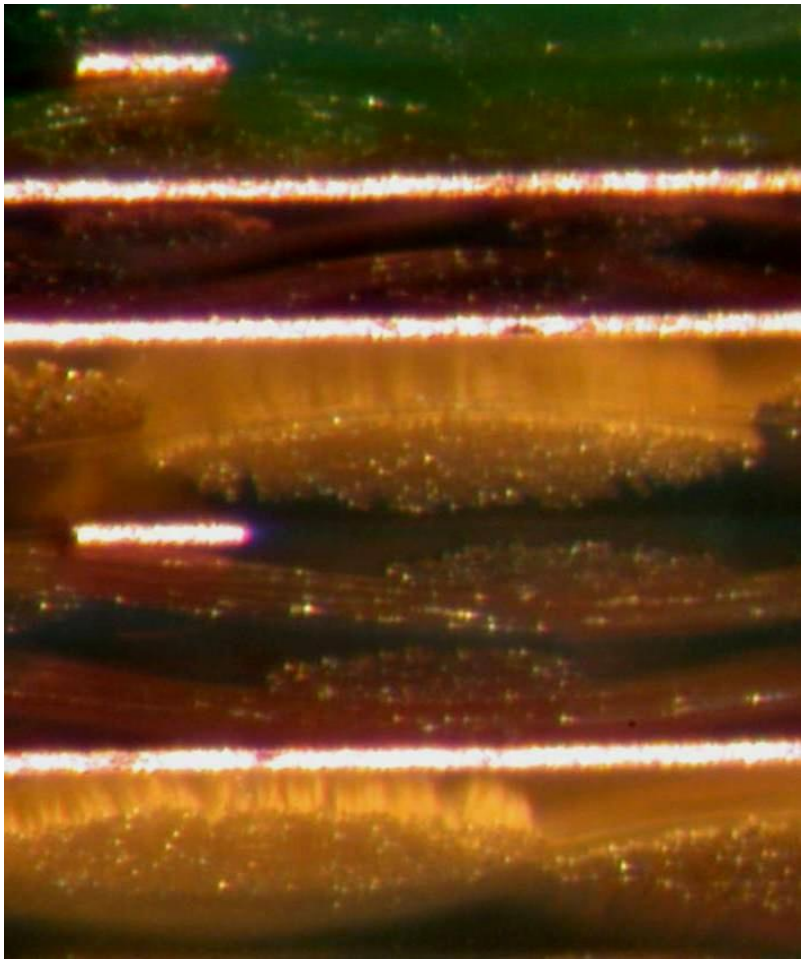
Produktionstoleranzen in Richtlinien und Normen

Basismaterial / FR4 + Technische Eigenschaften

FR4 ist unverändert das **Standardmaterial** für Leiterplatten und auch für Highspeed geeignet.

Heute müssen einige Werte beachtet werden :

Tg	Glass Transition Temperature
Td	Decomposition Temperature
T288°	Delaminationswahrscheinlichkeit
CTI	Kriechstromfestigkeit
CTE(x,y,z)	X-, Y-, Z-Achsen-Ausdehnung
H_2O	Feuchtigkeitsaufnahme, -abgabe
ε_r	Dielektrikum, Permittivität
tan δ	Verlustfaktor
N/mm	Haftfestigkeit des Kupfers
kV/mm	Durchschlagsfestigkeit



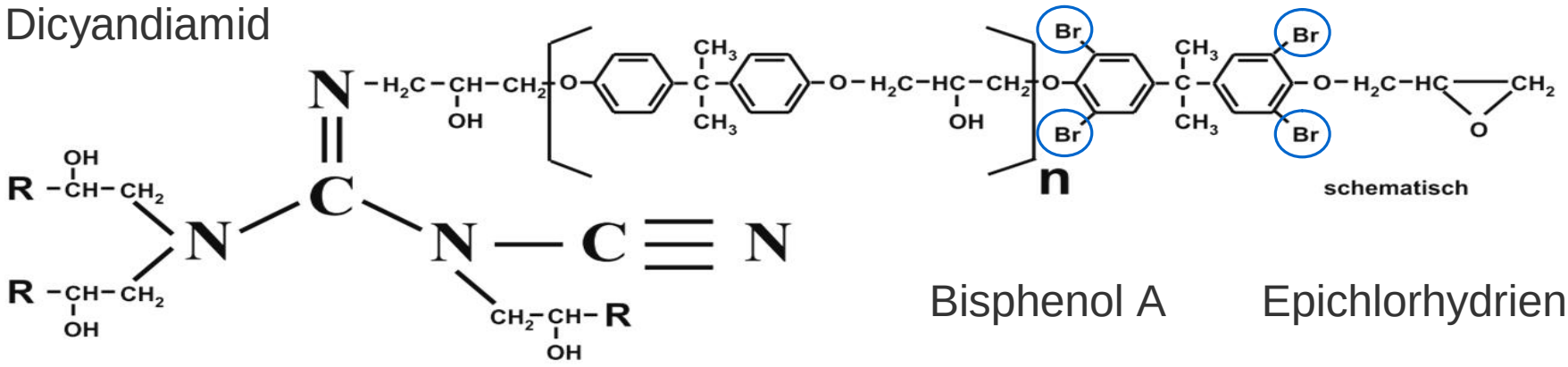
Bildquelle Arnold Wiemers

Basismaterial + Chemie

Epoxydharz und Härter beginnen zu reagieren, sobald diese Substrate zusammengebracht werden. Für **Prepregs** muß diese Reaktion langsam ablaufen, damit die Klebkraft möglichst lange gesichert ist.

TBBA als Flammhemmer

Dicyandiamid



Bisphenol A Epichlorhydrien

Je nach Basismaterialhersteller gibt es Beimischungen zum Epoxydharz, die funktionale Eigenschaften des Harzsystems unterstützen sollen.

Bildquelle Volker Klafki, Technolam

Basismaterial

Welche **Geschwindigkeit** die Signalübertragung auf den Lagen eines Multilayers hat, hängt vom Dielektrikum ab.

Die Anforderung einer Anwendung entscheidet über das einzusetzende Basismaterial.

Beispiel

Das Abstandsradar in LKWs funktioniert nur mit hohen Signalgeschwindigkeiten.

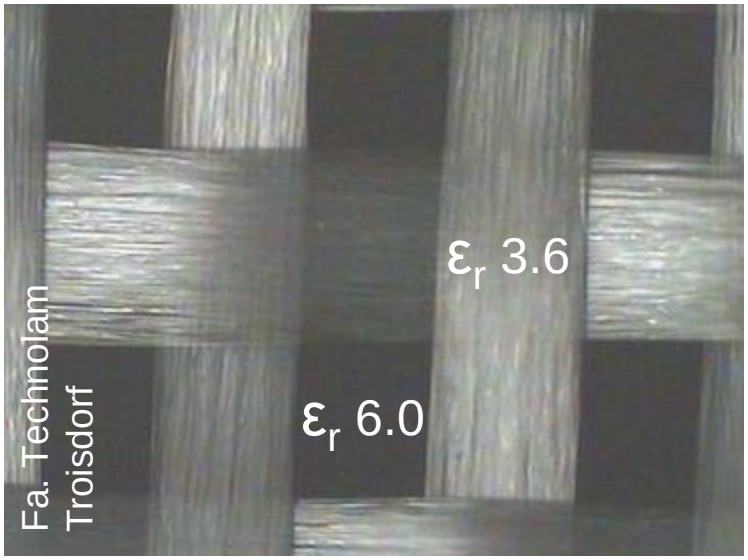
Material	Hersteller	Substrat	Tg	ε_r (1GHz)	$V_{(sig)}$ [cm/ns]
NP-155f	NanYa	FR4	150	4.10	**14.85**
Duraver 114	Isola	FR4	150	4.40	**14.29**
MC100	Matsushita	FR4	125	4.10	**14.85**
Duraver CE	Isola	CE	230	3.30	**16.48**
Duramid CE-Cu	Isola	CE	200	3.00	**17.44**
TMM6	Rogers	Keramik	n.d.	6.20	**12.05**
TMM10i	Rogers	Keramik	n.d.	10.0	**9.49**
Ro4003	Rogers	Glas/Keramik	200	3.58	**16.13**
Ro4350	Rogers	Glas/Keramik	280	3.68	**15.62**
D5880	Rogers	Teflon/PTFE	n.d.	2.20	**20.27**
D6002	Rogers	Teflon/PTFE	n.d.	2.94	**17.54**
D6006	Rogers	Teflon/PTFE	n.d.	6.15	**12.10**
Ultralam2000	Rogers	Teflon/PTFE	n.d.	2.50	**18.99**
Duraver P97	Isola	Polyimid/G30	260	4.40	**14.29**

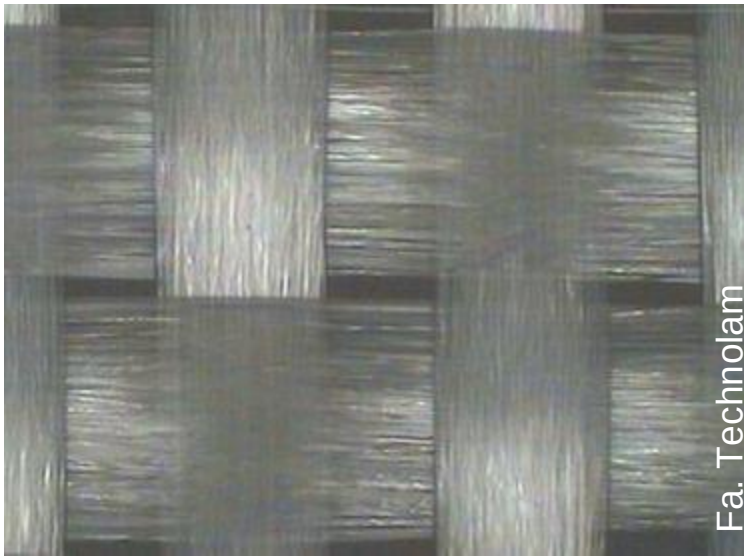
Bildquelle Arnold Wiemers

Basismaterial

Glasgewebe können unterschiedliche **Gewebestrukturen** haben. Die unterschiedlichen Abstände zwischen den Gewebefäden beeinflussen die lokalen dielektrischen Eigenschaften (Beispiel : FR4-Prepreg Typ1080).

Die **Signallaufzeit** hängt (auch) von der Plazierung der Leiterbahn auf der Oberfläche des Prepregs ab.

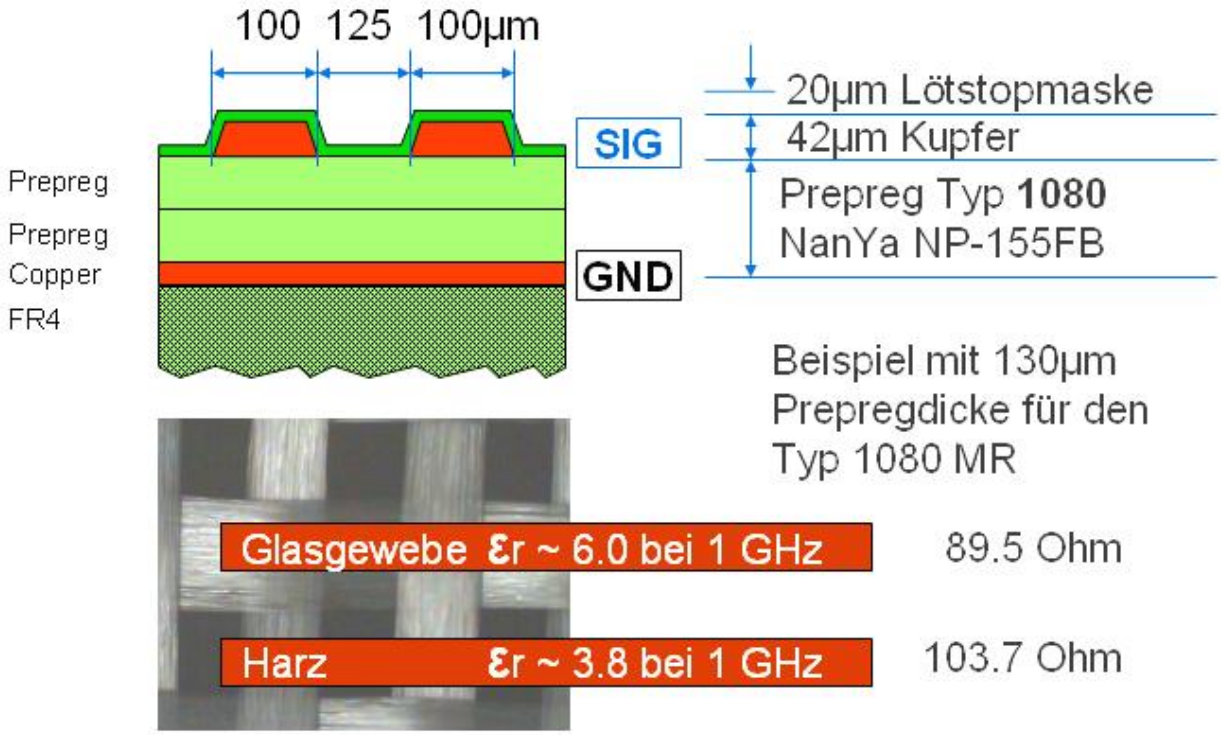




Bildquelle Technolam

Basismaterial

Die Werte für **differentielle Impedanzen** können wegen der unterschiedlichen dielektrischen Werte für Harz und Glasgewebe sehr stark abweichen.



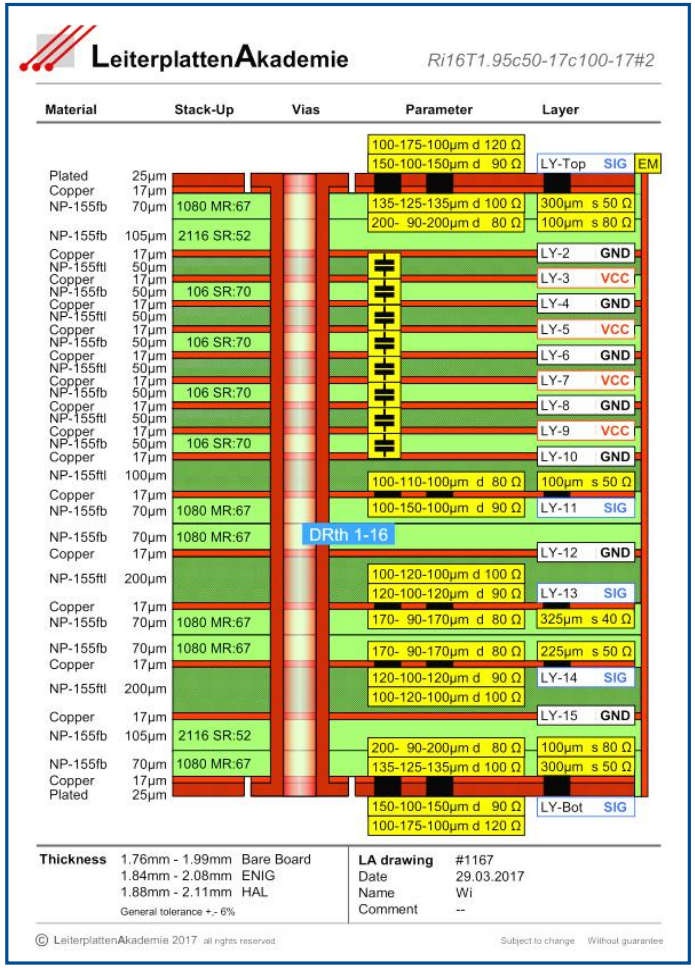
Bildquelle Arnold Wiemers

FR4 ist leistungsfähig.

Die Qualität einer High-speed-Baugruppe hängt aber von der präzisen Auswahl ab.

Die Vielfalt der Material-varianten erfordert eine rechtzeitige Abstimmung mit dem Hersteller der Leiterplatten.

Multilayer-Dokumentation



Bildquelle Arnold Wiemers

Der **Lagenaufbau** für die "Leiterplatte 2010".

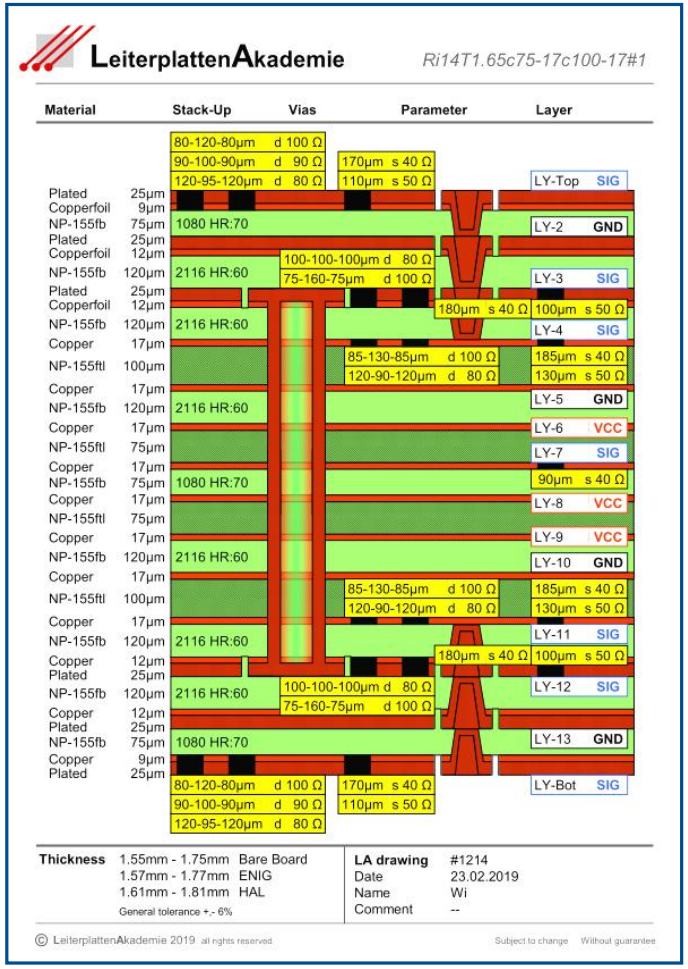
Für das BGA mit einer fast belegten Matrix von 25x25 Spalten und Reihen sind maximal 5 **Signal-layer** für das Routing erforderlich.

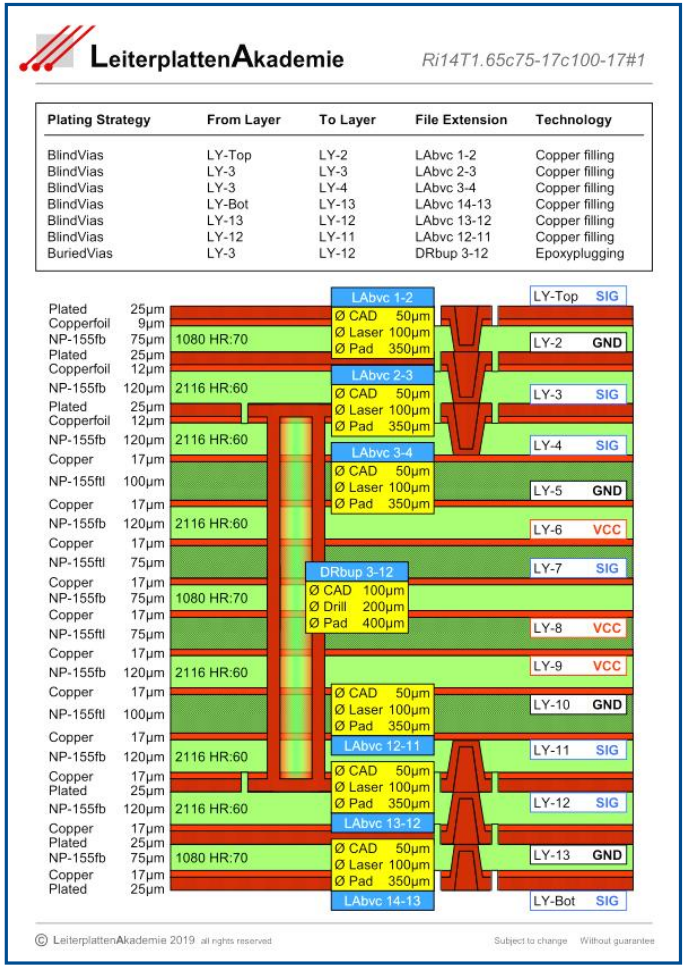
Für **GND** sind 7 Lagen vorgesehen, für **VCC** insgesamt 4 Lagen.

Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von 8 GND-VCC-Paaren stehen **interne Kapazitäten** im Multilayer für eine effektive Stromversorgung zur Verfügung.

Multilayer-Dokumentation





Ein Lagenaufbau des Typs "**Any Layer**" ohne durchgehende Vias.

BuriedVias mit Epoxyd-Plugging.

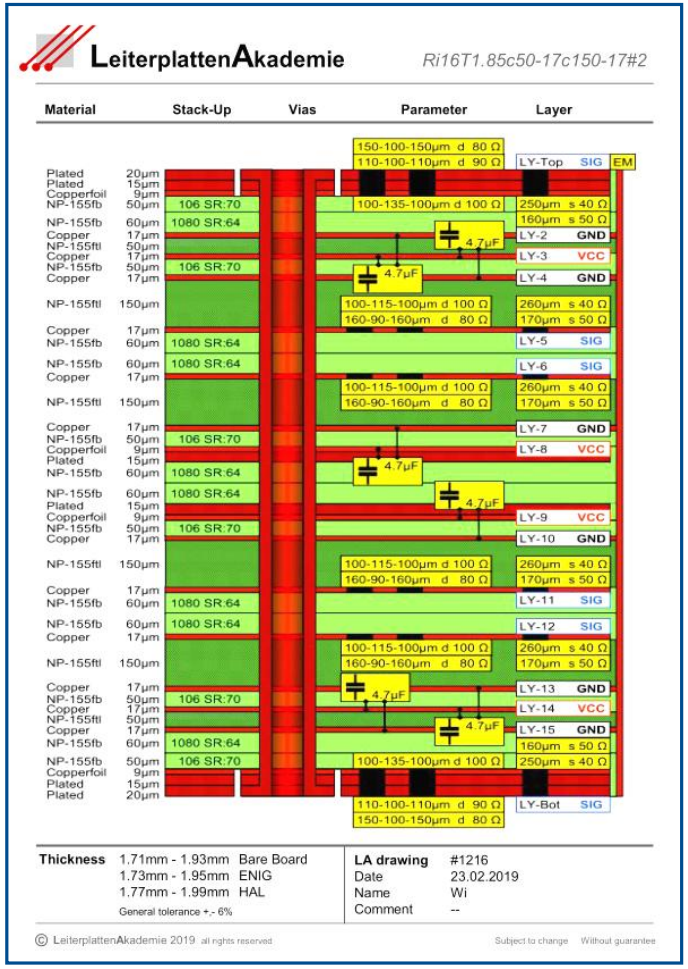
BlindVias mit Copper Filling. Die Geometrien der BlindVias sind im Grenzbereich.

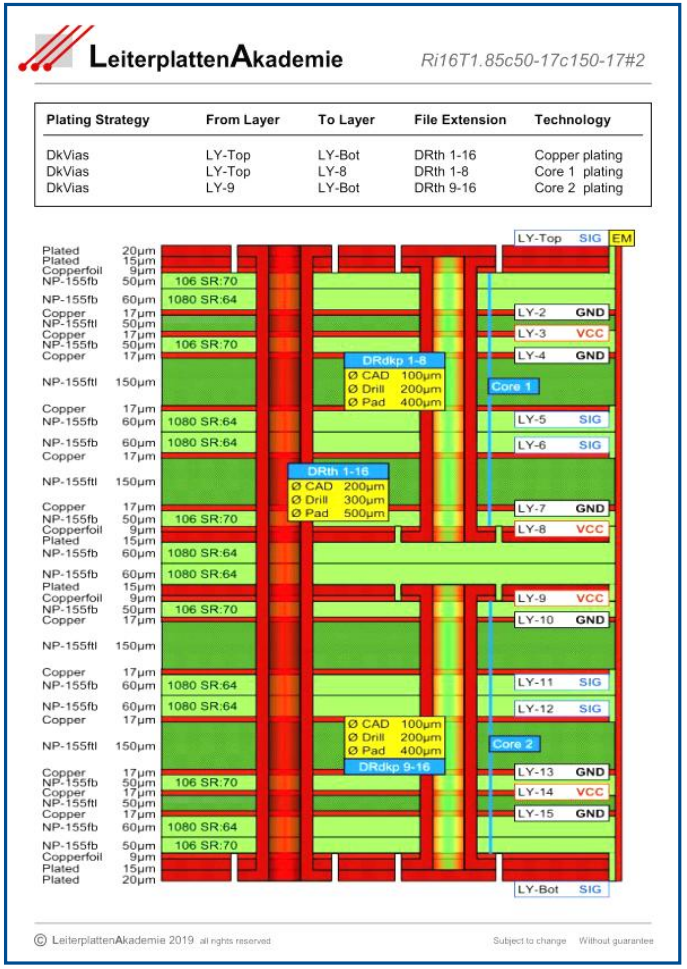
Variable Kupferdicken.

Aber : Keine idealen Rückstromwege und Stromversorgungen.

Bildquelle Arnold Wiemers

Multilayer-Dokumentation





Ein "**Dual-Core**"-Aufbau. Der Rückstromweg ist optimiert. Hohe Signal-integrität, geringster Crosstalk. Impedanzen.

Die Stromversorgung liegt auf 50µm-Planes und 50µm-Prepregs.

Dämpfung der Reso-nanzfrequenz durch Kondensatorgruppen.

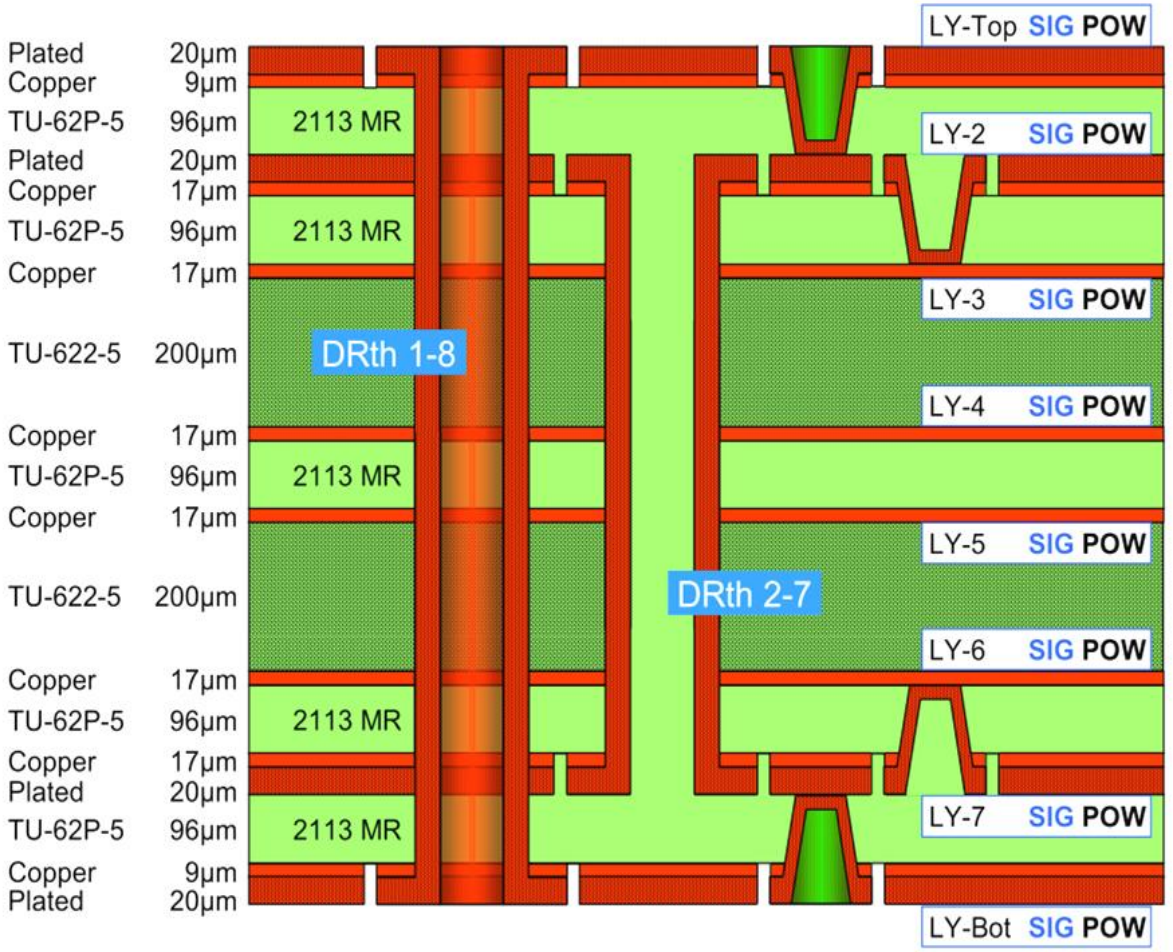
Kantenmetallisierung.

Akzeptable Geometrien.

Bildquelle Arnold Wiemers

Basismaterial + Kosten

Material	Wert	EUR
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Laminat	200µm	4.33
Prepreg	2113	1.14
Laminat	200µm	4.33
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
Prepreg	2113	1.14
Kupferfolie	17µm	0.65
	Σ	16.96



Kostenreferenz : Europa, Produktionszuschnitt 460x610mm.

Bildquelle Arnold Wiemers

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

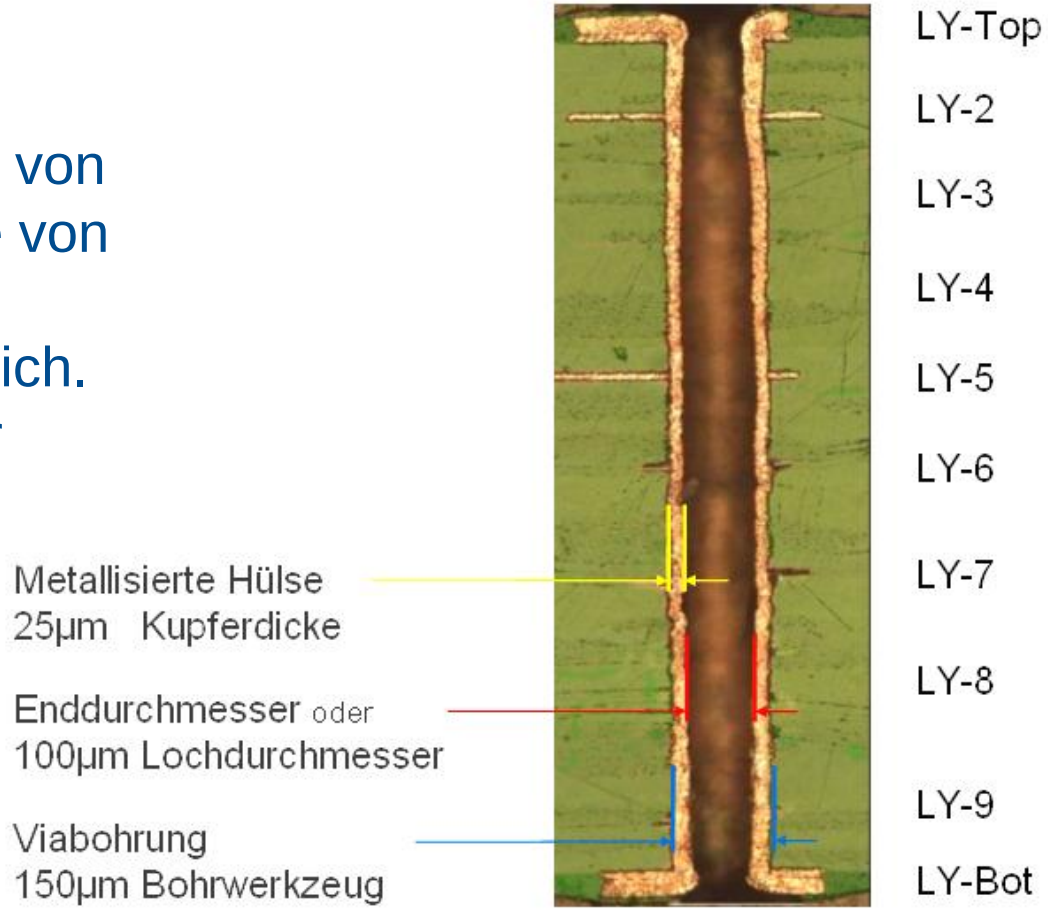
Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Kontaktieren

AspectRatio für Bohrungen

Bohrungen mit einem Enddurchmesser von 200µm sind bei einer Leiterplattendicke von bis zu 1.60mm Standard.
Enddurchmesser von 100µm sind möglich.
Entscheidend ist nicht das Bohren oder Lasern sondern die **Durchflutung der Hülse** im Galvanobad während des Kontaktierungsprozesses.
Die Oberflächenspannung und der Kapillareffekt wirken einer Durch-flutung entgegen.



Bildquelle Arnold Wiemers

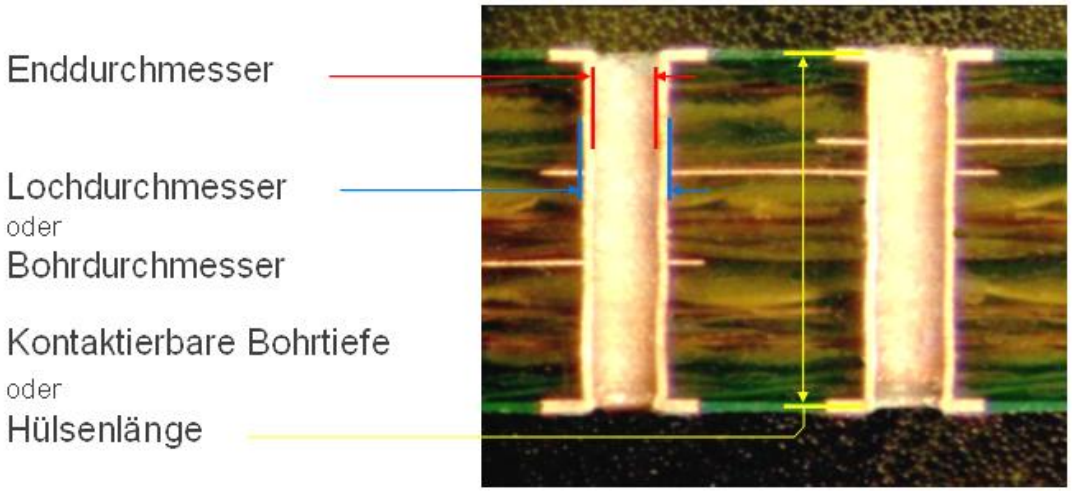
Kontaktieren

Definition (AspectRatio für Bohrungen)

Das AspectRatio beschreibt das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der galvanisch kontaktierbaren Hülsenlänge.

Definition (CAD-Tool-Durchmesser)

Der in der CAD-Dokumentation vorgegebene Tool-Durchmesser beschreibt immer den Enddurchmesser auf der fertigen Leiterplatte.



Jeder Leiterplattenhersteller kann mit "seinem" AspectRatio eine verbindliche **Vorgabe für die Geometrie** des CAD-Designs geben.

Bildquelle Arnold Wiemers

Kontaktieren

Hinweis (Lochdurchmesser)

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Bohrwerkzeugdurchmesser. Bei durch Ablation (i.e. Lasertechnik) hergestellten Löchern ist der Lochdurchmesser der Durchmesser in Höhe der Startebene.

Regel (AspectRatio für Bohrungen)

$$\text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(min)}}{\text{Kontaktierbare Bohrtiefe}}$$

$$\text{Lochdurchmesser}_{(min)} = \text{AspectRatio} \cdot \text{Kontaktierbare Bohrtiefe}$$

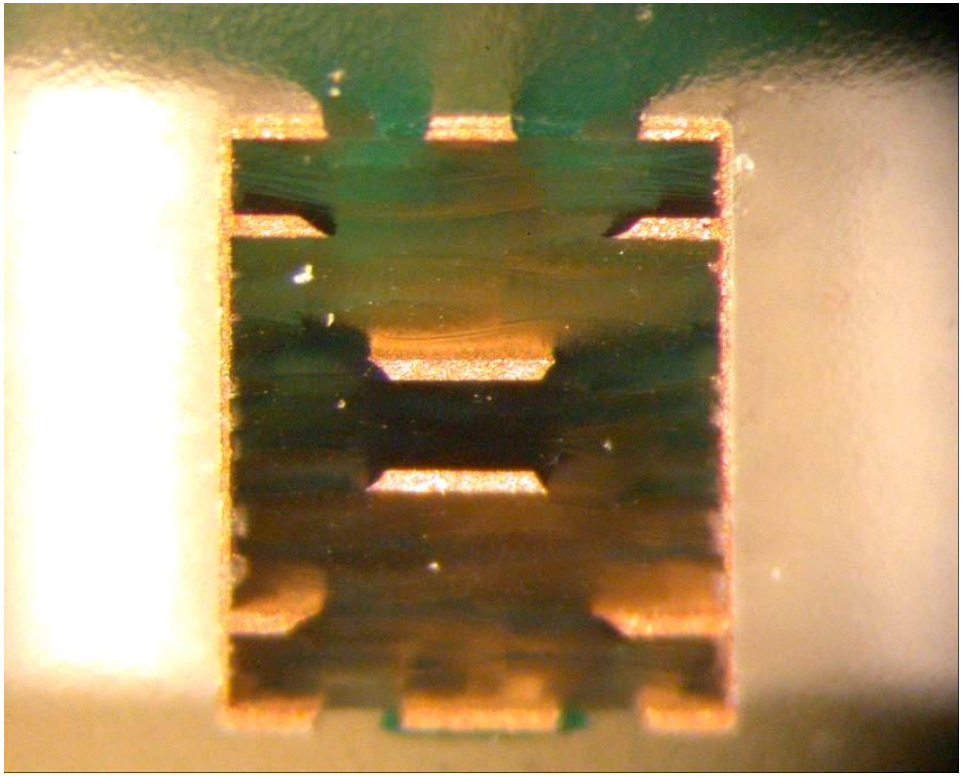
$$\text{Kontaktierbare Bohrtiefe} = \frac{\text{Lochdurchmesser}_{(min)}}{\text{AspectRatio}}$$

Ätzen

Der Ätzprozeß, insbesondere die **Rückätzung**, bestimmt die Geometrie von Leiterbahnen, Viapads und Kupferflächen.

Es ist *unbedingt* notwendig, die **Querschnittsprofile** der Leiterbilder zu untersuchen und die Geometrie zu definieren.
Erst die Analyse der Geometrien erlaubt die Berechnung der Löt- und **Montageflächen** sowie die voraus-schauende Bewertung der Folgen, die sich aus der Rückätzung ergeben.

Dies gilt auch für **Impedanzen**.

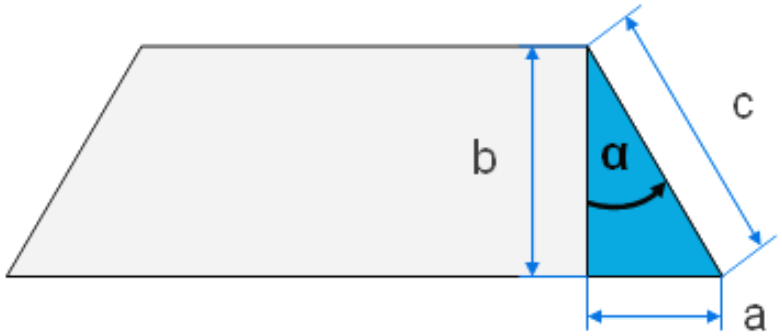


Bildquelle Arnold Wiemers

Ätzen

Die Längen für a, b und c sind nicht ohne weiteres ermittelbar. Die Dokumentation der CAD-Daten gibt dazu keine Auskunft.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tanges beschrieben werden.



Allgemein gilt :

- $\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$

- $\text{Gegenkathete} = \text{Ankathete} \cdot \tan \alpha$

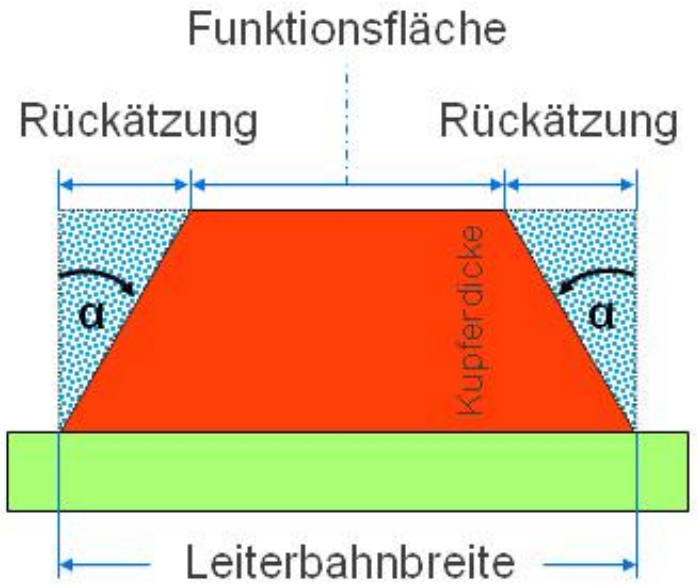
$$a = b \cdot \tan \alpha$$

Definition (AspectRatio für Leiterbilder)

Das AspectRatio beschreibt das mathematische Verhältnis bzw. die Relation zwischen der Unter- und Oberfläche eines Leiterbildes.

Ätzen

Mit dem Tangens des Winkels **α** wird ein mathematischer Zusammenhang zwischen der **Rückätzung** und der Kupferdicke formuliert. Die Breite des oberen Leiterbildes wird als **Funktionsfläche** bezeichnet.
Die Rückätzung ist *ausschließlich* von der Kupferdicke abhängig.



Regel (Rückätzung gesamt)

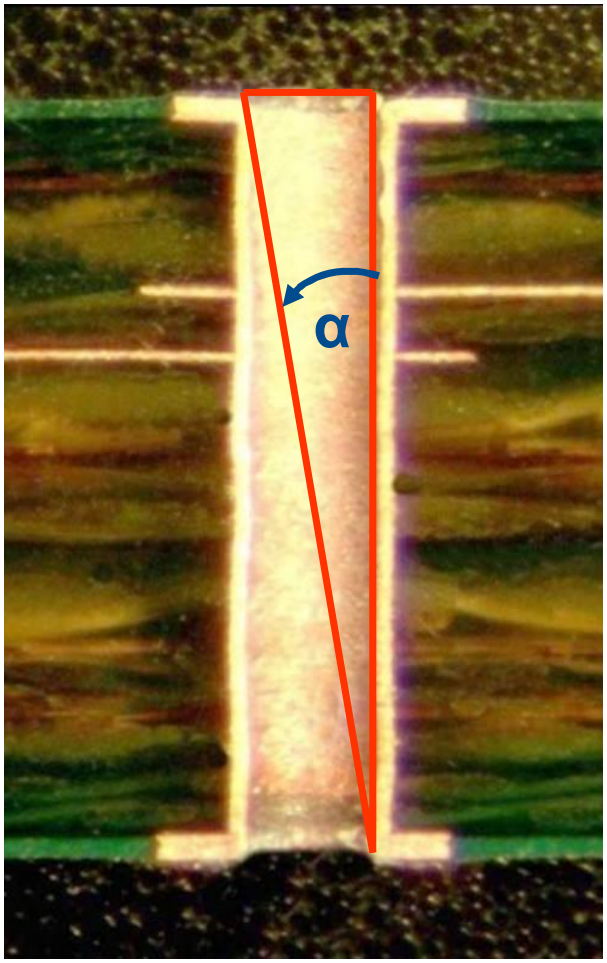
$Rückätzung_{(ges)} = 2 \bullet Kupferdicke \bullet \tan \alpha$

Regel (Funktionsfläche)

$Funktionsfläche = Leiterbahnbreite - Rückätzung_{(ges)}$
$= Leiterbahnbreite - 2 \bullet Kupferdicke \bullet \tan \alpha$

Ätzen

Mit dem "**AspectRatio für Leiterbilder**" kann der Leiterplattenhersteller das Ergebnis seines Ätzprozesses an das CAD-Design übergeben.
Die **Geometrien im Layout** können dann die Prozeß-toleranzen vorausschauend ausgleichen und sowohl die Funktionsfläche (~ Lötfläche) als auch die physikalischen Eigenschaften des Leiterbildes (~ Impedanz) anpassen.



Bildquelle Arnold Wiemers

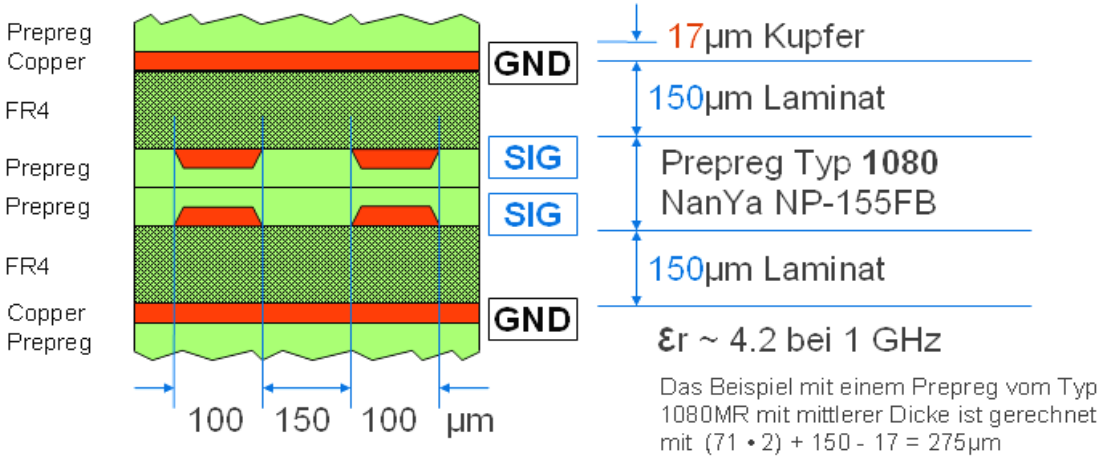
Hinweis (AspectRatio für Bohrungen)

Das "AspectRatio für Bohrungen" ist nichts anderes als der **Tangens** für die akzeptable Diagonale im Via.
Beispiel : 1:8 = 1/8 = 0.125 ~ tan(0.125) = 7°

Ätzen + Impedanzen

Die Rückätzung des Leiterbildes hat *immer* einen Einfluß auf die **Impedanz**.
Insbesondere sind differentielle Impedanzen betroffen, weil sich mit dem Einfluß auf die Leiterbahnbreite auch der Leiterbahnabstand ändert.

CAM kann das im Rahmen der Arbeitsvorbereitung nicht ausgleichen. Die **kupferdickenabhängige Kompensation** muß im Routing erfolgen und dabei den Lagenaufbau beachten.



Impedanzwerte mit Berücksichtigung des Tangens für die Rückätzung

Tangens	Leiterbahnbreite [µm]			Impedanz
tan 0°	100 oben	unten	100	101.5 Ohm
tan 15°	100 oben	unten	91	103.5 Ohm
tan 25°	100 oben	unten	84	104.7 Ohm
tan 35°	100 oben	unten	76	105.9 Ohm

Bildquelle Arnold Wiemers

Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Fertigungsablauf "Standard"

LP-Akademie Fertigungsmoduln in Auftraegen 20.03.2019

Auftrag : 3963 LP2010/Meltemi LeiterplattenAkademie Gm 10555 Berlin

Nr.	Kennung		Fertigungsmodul	
1	F-001	F	CAM-Bearbeitung	: File isw9a144
7	F-160	F	Fotoplotten (Inlg)	: Filme erstellen + pruefen
8	F-018	F	Innenlagen	: Entoxidieren (Vorbehandlung)
9	F-572	F	Innenlagen	: Laminieren mit Fotoresist
10	F-020	F	Innenlagen	: Belichten des Leiterbildes
11	F-168	F	Innenlagen	: Entwickeln des Leiterbildes
12	F-028	F	Innenlagen	: Aetzen des Leiterbildes
13	F-034	F	Innenlagen	: Strippen des Fotolaminates 37ym
14	F-024	F	Innenlagen	: optisch pruefen
15	F-150	F	Innenlagen	: Passersystem stanzen
16	F-030	F	Braunoxidation	: Innenlagen
17	F-031	F	Trocknen	: Trocknen der Innenlagen
19	F-154	F	Innenlagen	: Zusammenlegen der Laminate
20	F-032	F	Multilayer-Bautyp	: Verpressen Ri16T1.95c50-17c100-17
21	F-513	F	Multilayer	: Presswerkzeug oeffnen
22	F-200	F	Roentgen + Bohren	: Paketaufnahme einbringen
23	F-190	F	Umsaeumen	: Rand/Grat entfernen
24	F-055	F	Mikroaetzen 1	: vor dem Bohren
25	F-218	F	Paketieren DKVias	: maximal 3 Zuschnitte pro Paket
26	F-207	F	Bohren	: zu pluggende DKVias
27	F-180	F	Pluggen	: doppelseitig
28	F-182	F	Pluggen	: Oberflaeche schleifen
29	F-134	F	Kontaktieren	: Galv. Metallisierung n.d.Pluggen
30	F-019	F	Paketieren komplett	: Produktionszuschnitt
31	F-036	F	Bohren	: THT-Bohrungen und Vias
32	F-641	F	Kantenmetallisieren	: Teilfraesung der Kontur
33	F-042	F	Buersten	: Entgraten und reinigen
34	F-059	F	Desmear / Plasma	: Innenwand der Huelsen reinigen
35	F-044	F	Kontaktieren	: Galvanische Cu-Metallisierung
36	F-056	F	Mikroaetzen 1	: vor dem Laminieren
37	F-570	F	Aussenlagen	: Laminieren mit Fotoresist
38	F-048	F	Aussenlagen	: Leiterbild Laser-Belichtung
39	F-166	F	Aussenlagen	: Entwickeln des Leiterbildes
40	F-060	F	Aussenlagen	: Aetzen
42	F-058	F	Mikroaetzen 2	: Aussenlagen vor LS-Lack
44	F-084	F	Loetstopdruck	: Filmbelichtung doppelseitig
45	F-089	F	Loetstopdruck	: Entwickeln des Lackes
46	F-090	F	Loetstopdruck	: Aushaerten des Lackes
48	F-093	F	Bestueckungsdruck	: doppelseitig
49	F-062	F	Mikroaetzen 3	: vor der Endoberflaeche
50	F-052	F	Endoberflaeche	: Chemisch Gold /ENIG
51	F-103	F	Impedanzmessungen	: 1 Coupon / Zuschnitt
52	F-104	F	Elektronische Prfg.	: Leiterplatten testen
53	F-100	F	Platinenumschnitt	: Fraesen
54	F-108	F	Lieferumschnitt	: Fraesen
55	F-600	F	Waschen JA	: Leiterplatten reinigen
56	F-112	F	Warenausgang	: Endkontrolle

Information

(D)atenarchiv (F)ertigungsschritt (I)information (W)erkzeuge

--- Fertigungsablauf ---

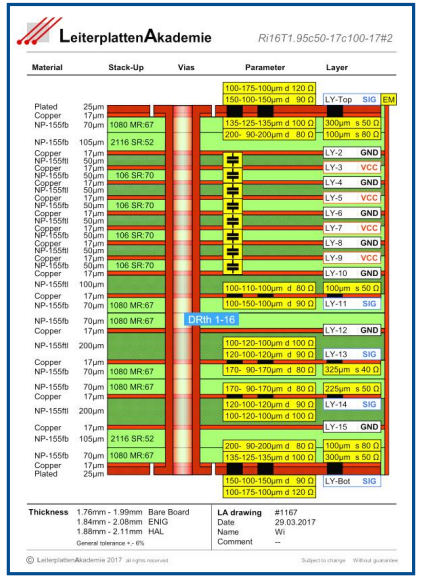
Seite 1

Für die Fertigung der "Leiterplatte 2010" werden zirka **48** Arbeits-schritte benötigt.

Es gibt nur eine Verpressung.

Die Temperaturbelastung für das Basismaterial ist gering.

Die Geometrien sind im üblichen Bereich.



Mit guten und gut gewarteten Produktionsanlagen kann dieser Multilayer international bei vielen Leiter-plattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist langfristig hoch.

Fertigungsablauf "Any Layer"

LP-Akademie Fert

Auftrag : 3965 Any Layer

Nr.	Kennung	Fertigu
1	F-001 F	CAM-Bea
7	F-651 F	1.TFG F
8	F-652 F	1.TFG M
9	F-670 F	1.TFG B
10	F-665 F	1.TFG M
11	F-681 F	1.TFG I
12	F-653 F	1.TFG I
13	F-654 F	1.TFG I
14	F-655 F	1.TFG I
15	F-656 F	1.TFG I
16	F-657 F	1.TFG A
17	F-660 F	1.TFG I
18	F-682 F	1.TFG B
19	F-658 F	1.TFG M
20	F-659 F	1.TFG I
21	F-661 F	1.TFG I
22	F-668 F	1.TFG U
23	F-666 F	1.TFG R
24	F-664 F	1.TFG M
25	F-650 F	1.TFG B
26	F-669 F	1.TFG B
27	F-687 F	1.TFG R
28	F-688 F	1.TFG R
29	F-673 F	1.TFG R
30	F-685 F	1.TFG I
31	F-686 F	1.TFG I
32	F-671 F	1.TFG D
33	F-689 F	1.TFG I
34	F-690 F	1.TFG I
35	F-691 F	1.TFG I
36	F-692 F	1.TFG R
37	F-693 F	1.TFG I
38	F-674 F	1.TFG A
39	F-675 F	1.TFG A
40	F-676 F	1.TFG A
41	F-677 F	1.TFG A
42	F-678 F	1.TFG A
43	F-667 F	1.TFG E
44	F-651 F	2.TFG F
45	F-658 F	2.TFG M
46	F-659 F	2.TFG I
47	F-661 F	2.TFG I
48	F-668 F	2.TFG U
49	F-685 F	2.TFG I
50	F-686 F	2.TFG I
51	F-671 F	2.TFG D
52	F-689 F	2.TFG I
53	F-690 F	2.TFG I
54	F-691 F	2.TFG I
55	F-692 F	2.TFG R
56	F-693 F	2.TFG I
57	F-674 F	2.TFG A
58	F-675 F	2.TFG A
59	F-676 F	2.TFG A
60	F-677 F	2.TFG A
61	F-678 F	2.TFG A

--- Fertigungsablauf -----

LP-Akademie Fertigungsmoduln in Auftraegen 20.03.2019

Auftrag : 3965 Any Layer 3x BlindVia LeiterplattenAkademie Gm 10555 B

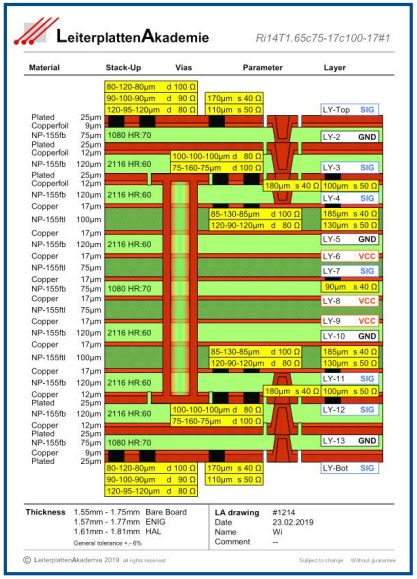
Nr.	Kennung	Fertigungsmodul
62	F-657 F	2.TFG AOI-Test : Innenlagen pruefen
63	F-651 F	3.TFG Fotoplotten : Filme erstellen und pruefen
64	F-658 F	3.TFG Material : Prepregs ausgeben
65	F-659 F	3.TFG Innenlagen : Zusammenlegen vor dem Verpressen
66	F-661 F	3.TFG Innenlagen : Verpressen (Teilmultilayer)
67	F-668 F	3.TFG Umsaeumen : Rand/Grat entfernen
68	F-685 F	3.TFG Lasern : BlindVias von oben
69	F-686 F	3.TFG Lasern : BlindVias von unten
70	F-671 F	3.TFG Desmear : Innenwand der Huelsen reinigen
71	F-689 F	3.TFG Innenlagen Bv : CoF Laminieren mit Fotoresist
72	F-690 F	3.TFG Innenlagen Bv : CoF Belichten des Leiterbildes
73	F-691 F	3.TFG Innenlagen Bv : CoF Entwickeln des Leiterbildes
74	F-692 F	3.TFG Panelplatg Bv : CoF Kontaktieren
75	F-693 F	3.TFG Innenlagen Bv : CoF Fotoresist strippen
76	F-674 F	3.TFG Aussenlagen : Laminieren mit Fotoresist
77	F-675 F	3.TFG Aussenlagen : Belichten des Leiterbildes
78	F-676 F	3.TFG Aussenlagen : Entwickeln des Leiterbildes
79	F-677 F	3.TFG Aussenlagen : Aetzen des Leiterbildes
80	F-678 F	3.TFG Aussenlagen : Fotoresist strippen
81	F-657 F	3.TFG AOI-Test : Innenlagen pruefen
82	F-200 F	Roentgen + Bohren : Paketaufnahme einbringen
83	F-190 F	Umsaeumen : Rand/Grat entfernen
84	F-641 F	Kantenmetallisieren : Teilfraesung der Kontur
85	F-042 F	Buersten : Entgraten und reinigen
86	F-044 F	Kontaktieren : Galvanische Cu-Metallisierung
87	F-085 F	Vermessen : Leiterbild
89	F-063 F	Steckerleiste : Laminieren und belichten
90	F-064 F	Steckervergoldung : 8 qcm
91	F-066 F	Steckerleiste : Laminat strippen
92	F-071 F	Steckerleiste : Anbindung der Stecker pruefen
93	F-058 F	Mikroaetzen 2 : Aussenlagen vor LS-Lack
95	F-084 F	Loetstopdruck : Filmbelichtung doppelseitig
96	F-089 F	Loetstopdruck : Entwickeln des Lackes
97	F-090 F	Loetstopdruck : Aushaerten des Lackes
99	F-093 F	Bestueckungsdruck : doppelseitig
100	F-065 F	Steckerleiste : Abkleben
102	F-052 F	Endoberflaeche : Chemisch Gold /ENIG
103	F-334 F	Externe Galvanik : Pruefen der Oberflaeche
104	F-067 F	Steckerleiste : Freistellen fuer E.-Pruefung
105	F-103 F	Impedanzmessungen : 1 Coupon / Leiterplatte
106	F-104 F	Elektronische Prfg. : Leiterplatten testen
107	F-800 F	Schliffuntersuchung : BlindVia-Bohrungen
108	F-100 F	Platinenumschnitt : Fraesen
109	F-108 F	Lieferumschnitt : Fraesen
110	F-600 F	Waschen JA : Leiterplatten reinigen
111	F-112 F	Warenausgang : Endkontrolle

Information

(D)atenarchiv (F)ertigungsschritt (I)information (W)erkzeuge

--- Fertigungsablauf ----------

Seite 2



Für die Fertigung des "Any Layer" sind zirka **105** Arbeitsschritte nötig.

Es gibt 3 Verpressungen.

Die Temperaturbelastung für das Basismaterial ist hoch.

Die Geometrien sind im kritischen Bereich.

Dieser Multilayer kann international nur bei wenigen Leiterplattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist riskant.

Fertigungsablauf "Dual Core"

LP-Akademie Fert

Auftrag : 3966 Dual Core

Nr.	Kennung		Fertigu
1	F-001	F	CAM-Bea
7	F-294	F	1.TFG B
8	F-295	F	1.TFG M
9	F-574	F	1.TFG I
10	F-300	F	1.TFG I
11	F-302	F	1.TFG I
12	F-304	F	1.TFG I
13	F-306	F	1.TFG I
14	F-310	F	1.TFG A
15	F-315	F	1.TFG I
16	F-314	F	1.TFG I
17	F-320	F	1.TFG I
18	F-340	F	1.TFG U
19	F-290	F	1.TFG B
20	F-350	F	1.TFG B
21	F-360	F	1.TFG K
22	F-366	F	1.TFG A
23	F-370	F	1.TFG A
24	F-371	F	1.TFG A
25	F-372	F	1.TFG A
26	F-373	F	1.TFG A
27	F-380	F	1.TFG E
28	F-394	F	2.TFG B
29	F-395	F	2.TFG M
30	F-576	F	2.TFG I
31	F-400	F	2.TFG I
32	F-402	F	2.TFG I
33	F-404	F	2.TFG I
34	F-406	F	2.TFG I
35	F-410	F	2.TFG A
36	F-415	F	2.TFG I
37	F-414	F	2.TFG I
38	F-420	F	2.TFG I
39	F-440	F	2.TFG U
40	F-390	F	2.TFG B
41	F-450	F	2.TFG B
42	F-460	F	2.TFG K
43	F-466	F	2.TFG A
44	F-470	F	2.TFG I
45	F-471	F	2.TFG A
46	F-472	F	2.TFG A
47	F-473	F	2.TFG A
48	F-480	F	2.TFG E
49	F-150	F	Innenla
50	F-030	F	Braunox
51	F-031	F	Trockne
53	F-154	F	Innenla
54	F-032	F	Multila
55	F-513	F	Multila
56	F-190	F	Umsaeum
57	F-200	F	Roentge
58	F-019	F	Paketie
59	F-036	F	Bohren
60	F-641	F	Kantenm
61	F-042	F	Buerste
62	F-059	F	Desmear

--- Fertigungsablauf -----

LP-Akademie Fertigungsmoduln in Auftraegen 20.03.2019

Auftrag : 3966 Dual Core LeiterplattenAkademie Gm 10555 Berlin

Nr.	Kennung		Fertigungsmodul	
63	F-044	F	Kontaktieren	: Galvanische Cu-Metallisierung
64	F-056	F	Mikroaetzen 1	: vor dem Laminieren
65	F-570	F	Aussenlagen	: Laminieren mit Fotoresist
66	F-048	F	Aussenlagen	: Leiterbild Laser-Belichtung
67	F-166	F	Aussenlagen	: Entwickeln des Leiterbildes
68	F-060	F	Aussenlagen	: Aetzen
69	F-085	F	Vermessen	: Leiterbild
71	F-058	F	Mikroaetzen 2	: Aussenlagen vor LS-Lack
73	F-084	F	Loetstopdruck	: Filmbelichtung doppelseitig
74	F-089	F	Loetstopdruck	: Entwickeln des Lackes
75	F-090	F	Loetstopdruck	: Aushaerten des Lackes
77	F-093	F	Bestueckungsdruck	: doppelseitig
78	F-062	F	Mikroaetzen 3	: vor der Endoberflaeche
79	F-052	F	Endoberflaeche	: Chemisch Gold /ENIG
80	F-103	F	Impedanzmessungen	: 1 Coupon / Leiterplatte
81	F-104	F	Elektronische Prfg.	: Leiterplatten testen
82	F-100	F	Platinenumschnitt	: Fraesen
83	F-108	F	Lieferumschnitt	: Fraesen
84	F-600	F	Waschen JA	: Leiterplatten reinigen
85	F-112	F	Warenausgang	: Endkontrolle

Information

(D)atenarchiv (F)ertigungsschritt (I)information (W)erkzeuge

--- Fertigungsablauf ----------

Seite 2

Für die Fertigung des "Dual Core" sind zirka **79** Arbeitsschritte nötig.

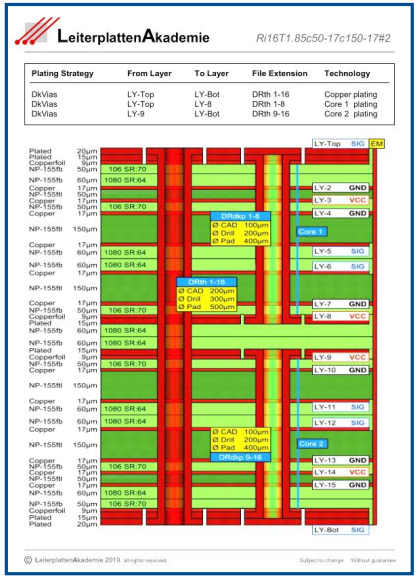
Es gibt 2 Verpressungen.

Die Temperaturbelastung für das Basismaterial ist mittel.

Die Geometrien sind im üblichen Bereich.

Dieser Multilayer kann international bei etlichen Leiterplattenherstellern eingekauft werden.

Die funktionale Zuverlässigkeit ist hoch.



Anforderungen an Highspeed-Boards

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials und der Lagenaufbau

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Fertigungsablauf

Produktionstoleranzen in Richtlinien und Normen

Produktionstoleranzen in Richtlinien und Normen

Normungsgremien

Für das CAD-Design, die Fertigung von Leiterplatten und die Produktion von Baugruppen sind Normen und Richtlinien wichtig.
Weltweit gibt es mehrere Dutzend Gremien, die sich mit *dieser* Aufgabe beschäftigen und mit etlichen Nebenbedingungen, die für Basismaterialien, Lacke, Werkzeuge und, und … wichtig sind.

Das ist gut so.

Aber : Elektronische Produkte sind heute auf hohem Niveau individuell und variantenreich. **Statische Normen** können diese Aufgabe *nicht erfüllen*.

LP-Akademie Normungsgremien 20.03.2019

Abkuerzung	Organisation
AFNOR	Association Francais de Normalisation
ANSI	American National Standards Institute
AS	Australia Standards
ASTM	American Society for Testing and Materials
CECC	Cenelec Electronic Components Committee
CNS	Chinese National Standards
CSA	Canadian Standards Assosiation
DANSK	Dansk Standard
DGO	Deutsche Gesellschaft fuer Galvano- und Oberflaechentechnik
DIN	Deutsches Institut fuer Normierung
DIN/EN	Aus dem Europaeischen Recht uebernommene DIN-Norm
DIN/ISO	Aus dem ISO-Regelwerk uebernommene DIN-Norm
DIS	Draft International Standard
DVS	Deutscher Verband fuer Schweissen und verwandte Verfahren
Delphi	Delphi
EIA	Electronic Industries Alliance
EIPC	European Institut for the PCB Community
EN	European Standards
GOST	Gosstandart
ICAO	International Civil Aviation Organization
IEC	International Electrotechnical Commission
IEEE	Institute of Electrical and Electronics Engineers
IPC	Institute for Interconnecting and Packaging Electronic Circuit
ISA	Instrumentation Systems and Automation Society
ISO	International Organization for Standardization
ITU	International Telecommunication Union
JASO	Japanese Automobile Standards Organization
JEDEC	Joint Electron Device Engineering Council
JSA	Japanese Standards Assosiation
KS	Korea Standard
LN	Luftfahrt Normen
LST	Lithuania Bureau of Standards
MIL	Military Specifications
NEMA	National Electrical Manufacturers Association
NF	Normalisation de Francaise
RAL	Deutsches Institut fuer Guetesicherung und Kennzeichnung
RAL	(alt) : Reichsausschuss fuer Lieferbedingungen
SABS	South African Bureau of Standards
SAE	Society of Automotive Engineers
SASO	Saudi Arabian Standards Organization
SFS	Finlands Standardiserings Kommission
SNV	Schweizer Normenvereinigung
SNZ	New Zealand Standards
SS	Singapore Standard

--- Normungsgremien ---
Seite 1

Bildquelle Arnold Wiemers

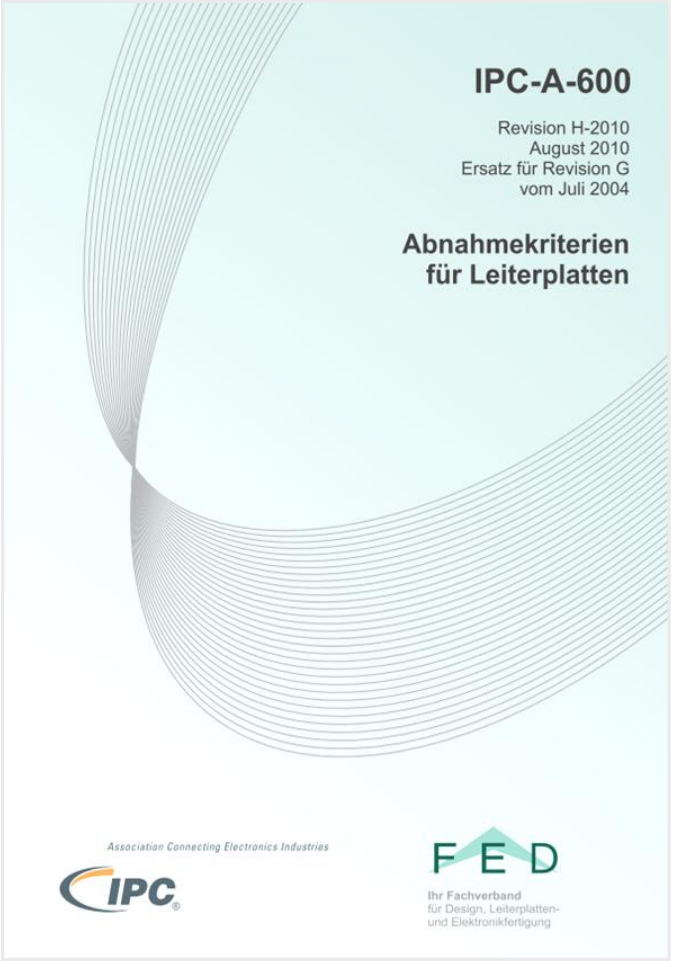
Produktionstoleranzen in Richtlinien und Normen

Die IPC A-600. Der Klassiker.

Seit Jahrzehnten ist die Norm/Richtlinie des IPC international das führende Dokument für die visuelle Abnahme von Leiterplatten.

Ihr stehen sehr viele **weitere Normen/Richtlinien** zur Seite, die sicherlich allen im Detail bekannt sind...

IPC-2222 A	IPC-2223	IPC-2226
IPC-2251	IPC-4101C	IPC-4202
IPC-4203	IPC-4204	IPC-4761
IPC-6011	IPC-6012C	IPC-6013B
IPC-6016	IPC-A-610D	…



Bildquelle IPC / FED

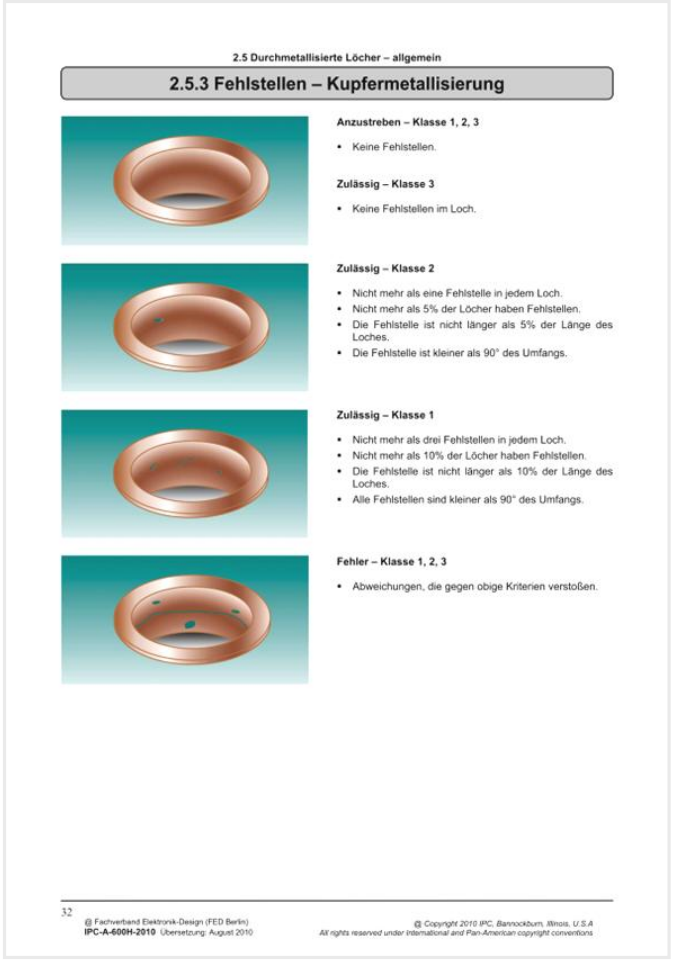
Produktionstoleranzen in Richtlinien und Normen

Die IPC A-600. Fehler in der Metallisierung.

Insbesondere die zuverlässige Metallisierung der Vias ist für Highspeed-Boards - und ja eigentlich für alle komplexen Leiterplatten - eine unverzichtbare Qualität.

Die visuelle Inspektion ist für Enddurchmesser von 100µm für DK-Vias, BlindVias und BuriedVias in der Praxis *nicht* mehr durchführbar.

Diese Situation ist beunruhigend. Eine bessere Option ist das **prozeßsichere CAD-Design**.
Das geht allerdings nur unter Berücksichtigung **individuell** zu formulierender Aspect-Ratien.


2.5 Durchmetallisierte Löcher – allgemein

2.5.3 Fehlstellen – Kupfermetallisierung

Anzustreben – Klasse 1, 2, 3
- Keine Fehlstellen.

Zulässig – Klasse 3
- Keine Fehlstellen im Loch.

Zulässig – Klasse 2
- Nicht mehr als eine Fehlstelle in jedem Loch.
- Nicht mehr als 5% der Löcher haben Fehlstellen.
- Die Fehlstelle ist nicht länger als 5% der Länge des Loches.
- Die Fehlstelle ist kleiner als 90° des Umfangs.

Zulässig – Klasse 1
- Nicht mehr als drei Fehlstellen in jedem Loch.
- Nicht mehr als 10% der Löcher haben Fehlstellen.
- Die Fehlstelle ist nicht länger als 10% der Länge des Loches.
- Alle Fehlstellen sind kleiner als 90° des Umfangs.

Fehler – Klasse 1, 2, 3
- Abweichungen, die gegen obige Kriterien verstoßen.

32

@ Fachverband Elektronik-Design (FED Berlin)
IPC-A-600H-2010 Übersetzung: August 2010

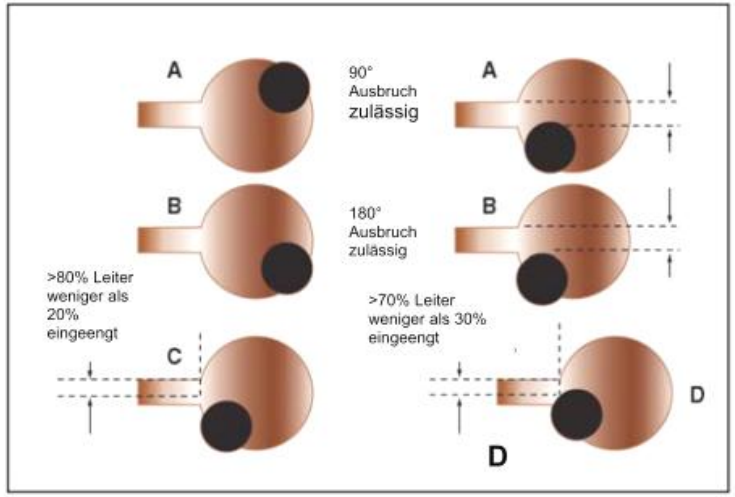
@ Copyright 2010 IPC, Bannockburn, Illinois, U.S.A
All rights reserved under International and Pan-American copyright conventions

Bildquelle IPC / FED

Produktionstoleranzen in Richtlinien und Normen

Die IPC A-600. Versatz des Vias zum Leiterbild.

Klasse 2 ist typisch für Produkte im Bereich der Industrieelektronik.
Standardseitig akzeptiert IPC, wenn Bohrungen außerhalb des Pads liegen (… das betrifft eigentlich aber nur Vias).
Es wird nicht bedacht, daß Vias und Pads in der CAD-Bibliothek als **komplexe Padstacks** definiert sind, denen auch eine Isolation auf Powerplanes zugeordnet ist. Die hier akzeptierte Toleranz gestattet Unterschreitungen des Isolationsabstandes auf den Powerplanes.
Das ist **fahrlässsig** und folglich inakzeptabel.



Zulässig – Klasse 2

- Ausbruch von maximal 90° (A).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 20% der Mindestleiterbreite reduziert sein, die in der technischen Zeichnung oder dem Nennwert des Fertigungsmasters festgelegt ist. Die Verbindung der Leiterbahn sollte nicht weniger als 0,05 mm [0,0020 in] oder die Mindestleiterbreite sein (der kleinere Wert gilt.). (C)
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

Bildquelle IPC A-600

Produktionstoleranzen in Richtlinien und Normen

Kontrovers : Statik und Dynamik

Für den CAD-Designer, den Leiterplattenhersteller und den Baugruppenproduzenten stellt sich die Forderung nach dynamischen, projektbezogenen und einsatzabhängigen Toleranzen, die individuell und zeitnah zur Verfügung stehen müssen.

Ein statisches Regelwerk mit unüberschaubaren Verknüpfungen zu begleitenden Regelwerken ist unübersichtlich, provoziert Fehler und führt zu gefährlichen Risiken.

- **Wir müssen handeln.**

LP-Akademie Auftrag 3966

L E I T E R P L A T T E N P R O D U K T I O N

	Toleranz	: +3ym -8ym Leiterbild der Aussenlage
	Pruefen	: Kurzschluesse, Kratzer und Unterbrechungen
OFT 13 F-306	1.TFG Innenlagen	: Fotoresist strippen
	Strpgeschwindigkeit	: _____ (m/min)
	Gemessene Cu-Dicke	: _____ (ym) Kupfer
QP 14 F-310	1.TFG AOI-Test	: Innenlagen pruefen
	Fehlerkennung	: Schwarz markieren
	Entwerten	: Leiterbahnbuendel durchtrennen
	Richtlinie	: ISW-Standard
	Toleranz	: +8ym -8ym Leiterbildstruktur
	Pruefen	: AOI-Test gegen Referenzdaten (Gerber Keine Kurzschluesse/Unterbrechungen
MLT 15 F-315	1.TFG Innenlagen	: Stanzen
	Richtlinie	: ISW-Standard
	Toleranz	: +15ym -15ym Stanzgenauigkeit
	Pruefen	: Positionierung der Stanzposition mit Bezug zur Passmarkierung
MLT 16 F-314	1.TFG Innenlagen	: Zusammenlegen vor dem Verpressen
	Richtlinie	: ISW-Standard
	Toleranz	: +20ym -20ym Passung im Presswerkzeug
	Pruefen	: Stanzaufnahme auf der Innenlage
MLT 17 F-320	1.TFG Innenlagen	: Verpressen (Teilmultilayer)
	Werkzeugaufbau	: _____
	ML-Presse	: _____
	ML-Pressprogramm	: _____
	Richtlinie	: ISW-Standard
	Toleranz	: +25ym -25ym Lagenversatz
	Pruefen	: Passgenauigkeit
BFT 18 F-340	1.TFG Umsaeumen	: Rand/Grat entfernen

Bildquelle Arnold Wiemers

Alles wir gut… und vielen Dank für Ihr Interesse

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.
Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.
Berufserfahrung

Alles Gute ist immer einfach. Aber alles Einfache ist nicht immer gut.
Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.
Albert Einstein

Quidquid agis, prudenter agas et respice finem.
Äsop



Bildquelle Arnold Wiemers

Anhang

Arnold Wiemers

Nach naturwissenschaftlichem Studium ab 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.
Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH. In den 1990er Jahren Aufbau der CAM.
Ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Technischer Direktor der LeiterplattenAkademie GmbH. Fachseminare zur Leiterplatten- und Baugruppentechnologie. Mitarbeit am Schulungskonzept der entsprechenden Fachverbände. Aktives Mitglied im AK-Design des ZVEI.

Förderung der Ausbildung an Fach- und Hochschulen.



Kurzportrait: Ilfa

Branche Leiterplattenproduktion

Dienstleistungen Starre, flexible und starrflexible Leiterplatten / Ultra Thin Multilayer / Blind-, Buried-, Stacked Vias / Pluggen / Impedanzkontrollierte Leiterbahnen / Mikrofeinstleiter bis 50 µm / Embedded Components / Integriertes Mikrokühlsystem (ILFACOOL) / HF- und Leistungstechnik / EMV gerechte Leiterplatten / Hybridmultilayer / Kantenmetallisierung / Elektro-Optische Leiterplatten / Multilayer bis 32 Lagen / CAD-Design / Scan-Service / Machbarkeitsanalyse / Bestückung (…über Partnerunternehmen)

Historie Das inhaber- und gründergeführte Unternehmen ILFA (~ **I**ndustrielle **L**eiterplatten**f**ertigung aller **A**rt) entwickelt und produziert seit über 37 Jahren Leiterplattentechnologie im High-Tech-Segment.

Standorte

Firmensitz	30559 Hannover	Lohweg 3
Niederlassung Dresden	01723 Kesselsdorf	Am Wüsteberg 3

Kennzahlen 18 Mio. € Umsatz / a 190 Mitarbeiter

Zertifizierungen DIN ISO EN 9001, DIN ISO EN 14001, DIN ISO EN 50001 / UL CERTIFICATE / CERTIFIED COMPLIANCE TO IPC 6010-SERIES & SM 840, IPC QL-653 und IPC A-600



