

2. Technologietag Leiterplatte & Baugruppe



09.-10. Mai 2019 in Würzburg

Arnold Wiemers

Mit der IPC-A-600 in die Zukunft ?



LeiterplattenAkademie





Vorwort	3
1 Kupfermetallisierung	7
2 Lötstopmaske	13
3 Leiterabstand	20
4 Metallisierte Löcher	24
5 Fazit	32
6 Perspektiven	37
Informationen zur LeiterplattenAkademie GmbH	43





Vorwort



Die Referenz

Bezug für die nachfolgende Betrachtung ist die Übersetzung der Revision "A-600 H" ins Deutsche vom August 2010, die als "IPC-A-600 H-2010" gekennzeichnet ist.

Die aktuelle Übersetzung liegt als Version "IPC-A-600J-DE" vom Juni 2016 vor. ► *Korrekturen in der neueren Ausgabe sind berücksichtigt.*

Die Aufgabe

Die Richtlinie A-600 des amerikanischen Fachverbandes IPC nimmt für sich in Anspruch, die Abnahmekriterien für Leiterplatten zu beschreiben.

Damit soll sichergestellt werden, daß ausschließlich mängelfreie Leiterplatten in die Baugruppenproduktion gelangen.

Unter der Voraussetzung, daß die Baugruppenproduktion fachgerecht durchgeführt wird, soll die zuverlässige Funktion von elektronischen Geräten, Anlagen und Produkten auf hohem Niveau gewährleistet sein.

Hinweis

Meine persönlichen Kommentare werden mit "Kommentar Wi" eingeleitet.



Ein kurzer Rückblick

Der Stellenwert der Elektronik nimmt unaufhaltsam zu, und, in Kombination mit Software, wird unser Alltag massiv kontrolliert werden.

IoT, Big Data, Cloud, I5.0 setzen auf die Kontrolle von Maschinen und Prozessen. Hinter diesen Konzepten steht die Anforderung, daß Software Entscheidungen trifft.

Software ist nicht unser Thema.

Allerdings : Software ist nichts ohne elektronische Baugruppen.

Diese wiederum sind durch die elektronischen Komponenten bestimmt. Und deren gemeinsame Funktion wird durch die Leiterplatte festgelegt.

Die Leiterplatte übernimmt dabei nicht mehr nur die Aufgabe, elektromechanische Bauteile mit Leiterbahnen zu verbinden. Von hohem Wert ist inzwischen die physikalische Qualität der Leiterplatte.

Stellvertretend dafür stehen die Impedanz, die Energiespeicherung in kapazitiven Stromversorgungssystemen, die Stromtragfähigkeit und die Entwärmungskapazität.



Entrée 3/3

Für eine richtige Entscheidung werden zutreffende und hinreichende Informationen benötigt. Das gilt für Menschen und Maschinen gleichermaßen.

Die Qualität einer Information nimmt zu, wenn sie über ein geeignetes Maß an Kommunikation mit anderen Menschen/Maschinen abgesichert ist. Der Fokus liegt auf der Verfügbarkeit von Datenbanken.

Informationen müssen gesucht, gefunden und verarbeitet werden können. Damit das geht, müssen vorher Informationen erkannt, geprüft und gespeichert worden sein.

Das setzt ein Zusammenspiel komplexer Systeme voraus.

Und dann gilt : Die Wahrscheinlichkeit für eine Fehlfunktion nimmt zu, wenn die Komplexität eines Systems zunimmt.

Damit wird die Leiterplatte eine sehr elementare Komponente im Konzept eines elektronischen Systems.

Eine Richtlinie zur Beurteilung einer Leiterplatte muß diese Wertigkeit in letzter Konsequenz abbilden.

► Und DAS ist die Frage : **Bildet die IPC-A-600 diese Wertigkeit ab ?**





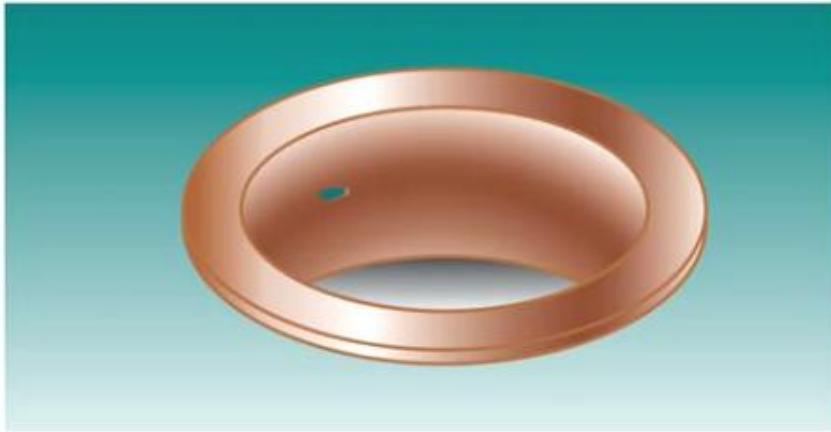
Kupfermetallisierung



Beispiel 2.5.3 Fehlstellen - Kupfermetallisierung

Beschrieben werden die Anforderungen an die Kupferabscheidung in der Hülse einer Bohrung.

IPC Original :



Zulässig – Klasse 2

- Nicht mehr als eine Fehlstelle in jedem Loch.
- Nicht mehr als 5% der Löcher haben Fehlstellen.
- Die Fehlstelle ist nicht länger als 5% der Länge des Loches.
- Die Fehlstelle ist kleiner als 90° des Umfangs.

Kommentar Wi :

Die Ausprägung der Kupferhülse in einem gebohrten Loch gehört zu den wichtigsten Qualitätsmerkmalen einer Leiterplatte.

Ist die Kupferabscheidung unvollständig und/oder fehlerhaft, dann sind Funktionsstörungen möglich.

Es ist folglich richtig, die Kupferabscheidung an der Hülse wand auf Eignung zu prüfen.

Doch mit welchem optischen Verfahren soll diese Prüfung stattfinden ?



Beispiel 2.5.3 Fehlstellen - Kupfermetallisierung



Der Begriff "Loch" faßt die auf einer Leiterplatte möglicherweise vorkommenden Lochtypen wie Bauteilbohrungen, metallisierte Befestigungsbohrungen, Durchkontaktierungen, BlindVias, BuriedVias, Kantenkontaktierungen und Senkbohrungen zusammen.

Eine entsprechende Fallunterscheidung wird nicht vorgenommen. Jedoch ist das Fehlerbild nicht unabhängig vom Lochtyp.

Der relativ große Durchmesser von **THD-Bohrungen** erlaubt eine mehr als ausreichende Reinigung und Durchflutung in allen galvanischen Bädern, die für das Kontaktieren benötigt werden.

Für **Durchkontaktierungen** gestaltet sich die Situation völlig anders. Der Enddurchmesser einer DK-Bohrung auf einer Leiterplatte geht in Richtung 200µm bis 100µm. Die Durchflutung eines Vias mit den in Wasser gelösten Reagenzien ist in der Galvanik kritisch.

Das DK-Kupfer und später sowohl die chemischen Oberflächen als auch HAL werden in der Hülse bereits bei geringer Beeinträchtigung (...Rückstände vom Bohren, Gratbildung, Luftblasen) beeinflusst.

Also gilt es vor allem, die Vias zu prüfen.



Beispiel 2.5.3 Fehlstellen - Kupfermetallisierung



Die **erste Regel** für die Bewertung der optischen Inspektion der Kupferhülse eines Vias für ein Industrieprodukt (i.e. Klasse 2) ist nach IPC, daß nur eine einzige Fehlstelle zulässig ist.

Es wird nicht mitgeteilt, wie eine Hülse von 1.6mm Länge in einem Loch von final 200µm Durchmesser - oder weniger - optisch auf diese Eigenschaft hin untersucht werden soll. Selbst unter Zuhilfenahme eines guten Binokularmikroskops dürfte das eine Herausforderung sein.

Die **zweite Regel** schreibt vor, daß nicht mehr als 5% der Löcher Fehlstellen haben dürfen. Eine etwas größere und anspruchsvollere Leiterplatte in SMT hat oft mehr als 500 Vias.

Um zu ermitteln, ob 5% der Löcher Fehlstellen haben, müßte korrekterweise jedes Loch auf jeder Leiterplatte inspiziert werden.

Bei einer kleineren Vorserie mit 100 Leiterplatten sind das 50000 Vias. Bei einem Aufwand von 3 Sekunden beträgt die reine Inspektionszeit 150000 Sekunden oder 41.6 Stunden.

Das ist nicht realistisch.



Beispiel 2.5.3 Fehlstellen - Kupfermetallisierung



Die **dritte Regel** verlangt, daß keine Fehlstelle länger als 5% der Länge des Loches sein darf.

Bei einer klassischen 1500µm dicken Leiterplatte darf eine Fehlstelle somit maximal 75µm lang sein.

Mit bildgebenden und nicht zerstörenden Verfahren ist das unprüfbar.

Die **vierte Regel** verlangt, daß eine Fehlstelle kleiner als 90° des Umfanges ist. Es ist unklar, ob mit "Umfang" der Umfang des gefertigten Loches oder der Umfang des metallisierten Loches gemeint ist.

Es geht wohl um die Breite der Fehlstelle.

Beispiel : Bei einem Lochdurchmesser von 300µm beträgt der Umfang 942.5µm. Eine Fehlstelle von 90° dürfte dann $\frac{1}{4}$ betragen, also 235.6µm.

Eine Abhängigkeit zur Weiterverarbeitung ist nicht angegeben.

Es ist aber erforderlich, die Baugruppenproduktion zu berücksichtigen.

Die thermische Belastung von doppelseitig bestückten Baugruppen ist hoch. Für die Funktion der Baugruppe ist die Dynamik der Vias bei Kälte-Wärme-Wechseln, die zu einer Materialausdehnung führen und damit gegebenenfalls zu einer Delamination, eine entscheidende Qualität.

Eine Fehlstelle von 235.6µm ist da bereits ein Problem.



Beispiel 2.5.3 Fehlstellen - Kupfermetallisierung



Nicht alle Anwendungen und Funktionen sind beachtet worden.

Eine Auskunft, ob diese Regeln auch für Multilayer gelten, gibt es nicht.

Die Analyse metallisierter Konturen (i.e. Kantenmetallisierung) fehlt.

Hinweise auf Halbbohrungen (i.e. Kantenkontaktierung) fehlen.

Die Kupferdicke wird unberücksichtigt gelassen.

Die praktische Unmöglichkeit, diese Prüfvorgaben umzusetzen und die unscharfe Formulierung läßt dem Inspizienten Raum für Vermutungen und Interpretationen, bevor er entscheidet.

Ein Mitarbeiter, der anders vermutet und interpretiert, wird anders entscheiden. Damit wird das Prüfergebnis individualisiert und es besteht die Option, die Bewertung eines Mangels im Rahmen einer Reklamation mit der *gleichen* Regel abzulehnen.

Das kann keine akzeptable Situation sein.





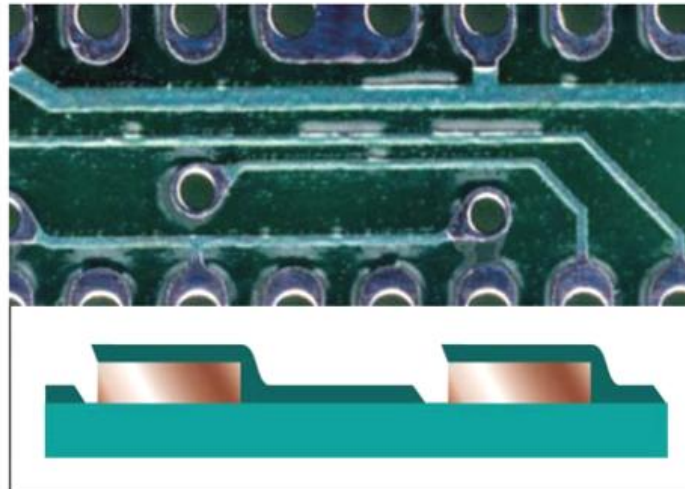
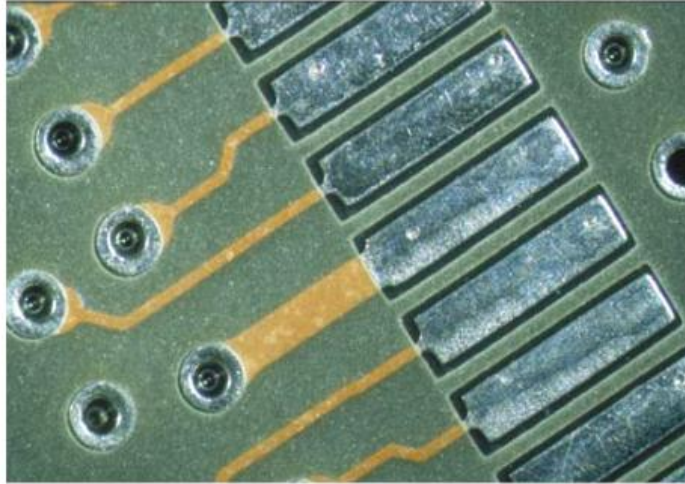
2.9.1 Lötstopmaske Überzug über Leiter (Fehlstellenabdeckung)



2.9.1 Lötstopmaske / Fehlstellenabdeckung

Beschrieben wird die Qualität der Lötstopmaske auf einer Leiterplatte.

IPC Original :



Anzustreben – Klasse 1, 2, 3

- Die Lötstopmaske zeigt ein gleichmäßiges Erscheinungsbild auf dem Grundmaterial, den Seiten und Rändern der Leiter. Sie ist mit der Oberfläche der Leiterplatte fest verbunden ohne sichtbare Fehlstellen, Hohlräume oder andere Fehler.

Zulässig – Klasse 2, 3

- In Bereichen mit parallelen Leiterbahnen sind benachbarte Leiter durch die fehlende Lötstopmaske nicht freigelegt. Ausnahmen bilden hierbei Stellen zwischen den Leitern, die nicht abgedeckt werden sollen.
- Retuschierungen, wenn erforderlich, um diese Bereiche mit Lötstopmaske abzudecken. Das verwendete Material muss verträglich sein mit den Löt- und Reinigungsprozessen sowie der ursprünglichen Lötstopmaske.

Zulässig – Klasse 1

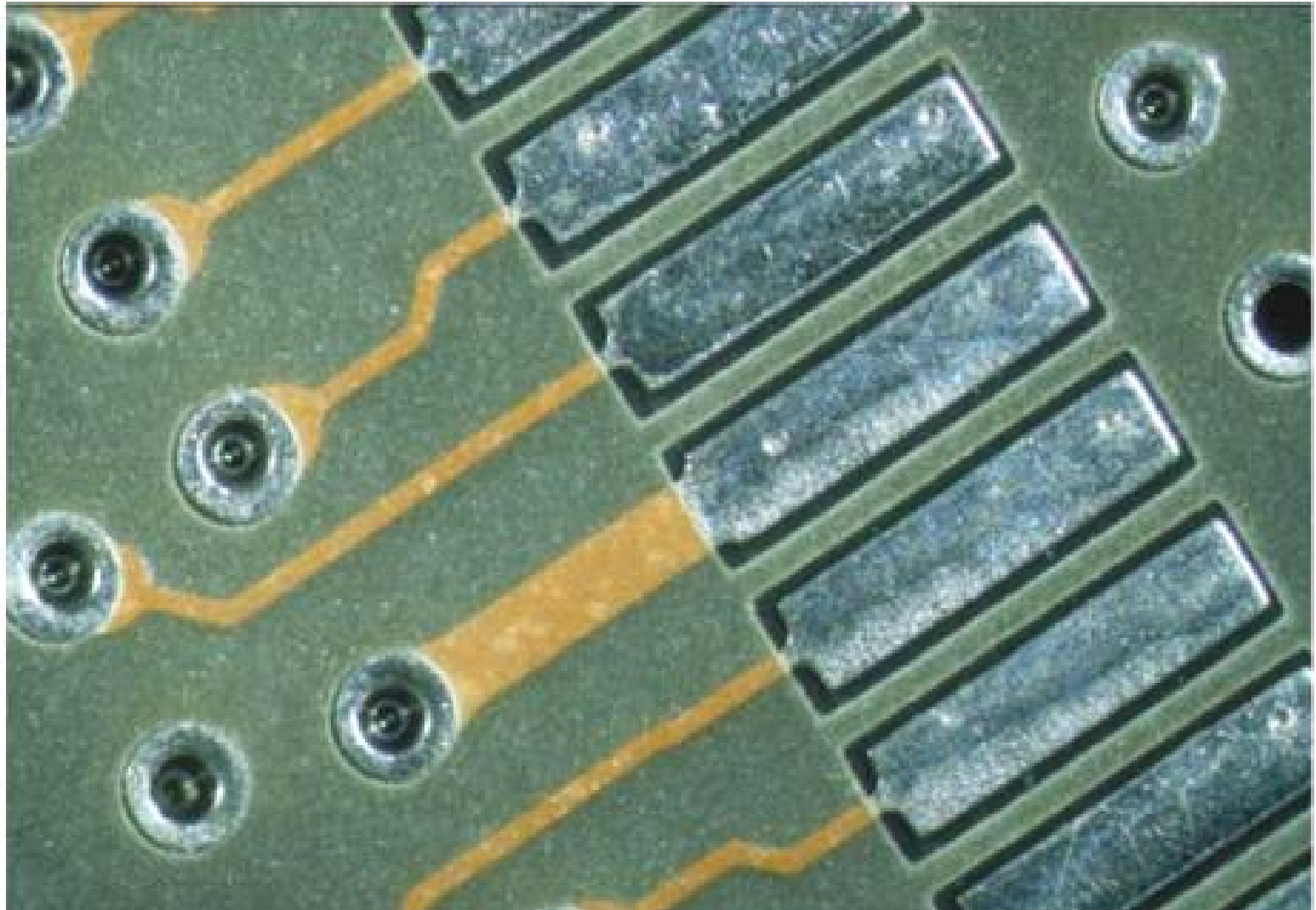
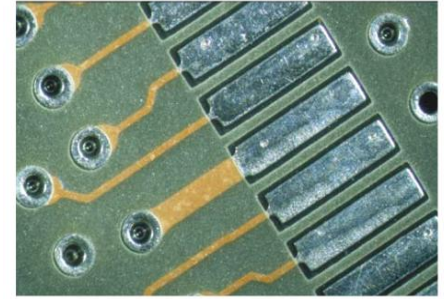
- Der fehlende Lötstopplack verringert nicht den Abstand zwischen Leiterbildern unter den zulässigen Minimalwert.
- Es treten Fehlstellen im Lötstopplack entlang der Seiten des Leiterbildes auf.



2.9.1 Lötstopmaske / Fehlstellenabdeckung

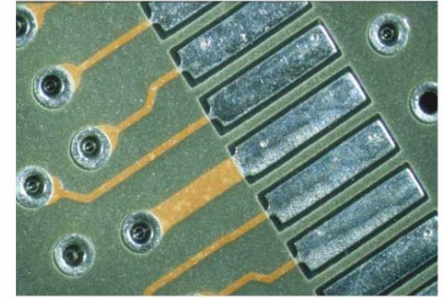
Kommentar Wi :

In der Vergrößerung ist zu erkennen, daß Lötstopplack die Vias nur teilweise verschließt. Ein Via ist "offen".



2.9.1 Lötstopmaske / Fehlstellenabdeckung

Die dunklere mittige Färbung ist üblicherweise ein Hinweis darauf, daß sich die Lötstoplackabdeckung des Vias beim Trocknen geöffnet hat.



Bei einem **teilweise offenen Via** kann Kondensat in die Hülse gelangen. Beim Löten der Baugruppe können lokale Ausgasungen zu qualitativen Mängeln an SMD-Lötflächen führen.

Bei einem **geschlossenen Via** kann eine Lötstoplackabdeckung aber auch zu einer problematischen Situation führen. Alle Endoberflächen werden erst *nach* dem Lötstopdruck ausgeführt. Ist das Via mit Lack abgedeckt, dann wird die Hülse *nicht* mit der Endoberfläche beschichtet.

Die Hülse bleibt in Kupfer und ist über die Lebensdauer des Produktes anfällig für eine Kontamination mit nachfolgender Korrosion.

Während des Reflowlötens kann die im Via eingeschlossene Luft durch explosionsartiges Entweichen benachbarte Lötflächen beeinträchtigen. Ob daraus eine Fehlfunktion der Baugruppe entstehen wird, hängt von der späteren Betriebsumgebung ab (z.B. häufige Kälte-Wärme-Wechsel).

Dieses Foto zeigt keineswegs die ideale Qualität.



2.9.1 Lötstopmaske / Fehlstellenabdeckung

Das Bild zeigt eine Lötstoplackbeschichtung, die als zulässig für Klasse 2 und 3 deklariert wird.

Dem Text kann entnommen werden, daß das unter anderem deshalb in Ordnung ist, weil die

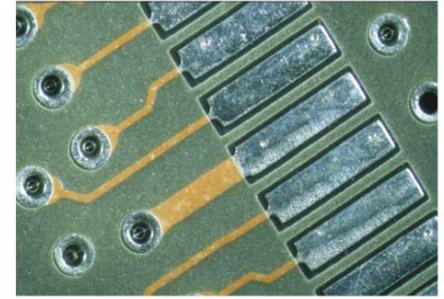
Leiterbildoberflächen mit Lack abgedeckt sind.

Eine Abdeckung der **Leiterbildflanken** wird *nicht* gefordert.

Die veränderte Feuchtigkeitsaufnahme der Leiterplatte, der Einfluß auf die Impedanz, den Kriechstrom, die Durchschlagsfestigkeit und die Ausprägung von Schlitten zwischen Lack und Leiterbild, in denen sich Chemie der Folgeprozesse sammeln kann, wird ignoriert.

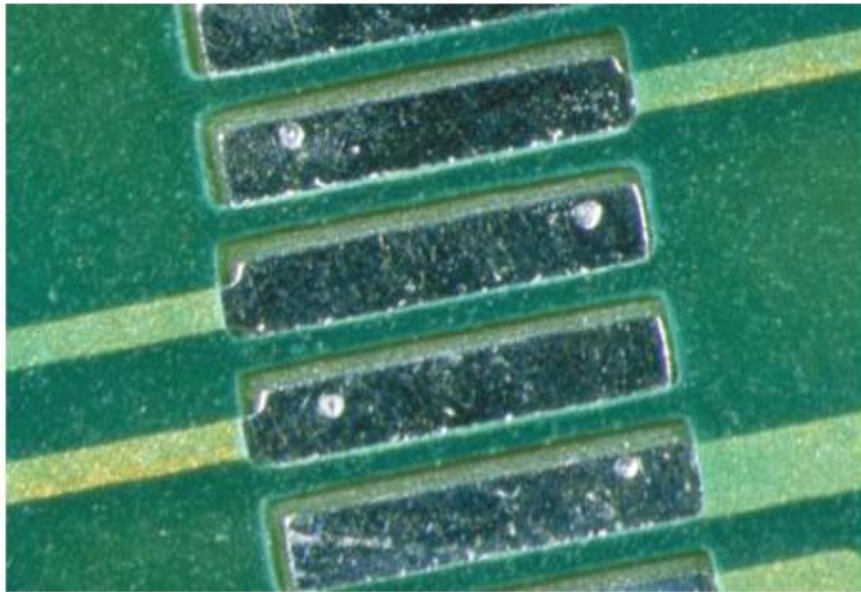
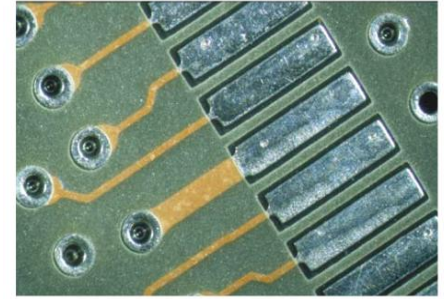
Diese Einstufung ist unzulässig. Offensichtlich ist seitens des Leiterplattenherstellers die Benetzung mit Lack nicht gelungen.

Die Leiterplatte muß als unbrauchbar bewertet werden.



2.9.1 Lötstopmmaske / Fehlstellenabdeckung

IPC Original : Noch zu diesem Thema ein Hinweis auf die Zulässigkeit des Andrucks von SMD-Lötflächen.



Zulässig – Klasse 1, 2, 3

- Durch den Versatz der Lötstopmmaske zu kupferdefinierten Anschlussflächen, werden benachbarte elektrisch isolierte Anschlussflächen oder Leiter nicht freigelegt.
- Kein Vordringen der Lötstopmmaske auf Randsteckverbinder oder Testpunkte.
- Auf SMD-Anschlussflächen mit einem Mittenabstand größer als 1,25 mm [0,04921 in] dringt die Lötstopmmaske nur auf einer Seite der Anschlussfläche höchstens 0,05 mm [0,0020 in] vor.
- Auf SMD-Anschlussflächen mit einem Mittenabstand geringer als 1,25 mm [0,04921 in], dringt die Lötstopmmaske nur auf einer Seite der Anschlussfläche höchstens 0,025mm [0,000984 in] vor.

► Hinweis zur Version "J" :

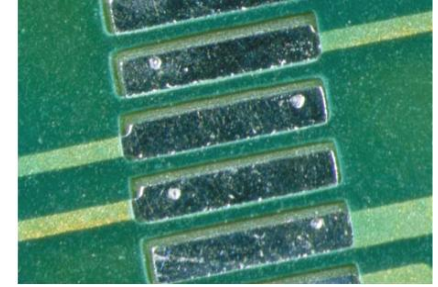
Die Überlappung von 25µm wird auf einen Pitch zwischen 1.25mm und 0.65mm begrenzt. Für einen Pitch <0.65mm gilt der Status AABUS.



2.9.1 Lötstopmaske / Fehlstellenabdeckung

Kommentar Wi :

Formuliert wird ein zulässiger Andruck von SMD-Lötflächen in Abhängigkeit vom Pitch der SMD-Komponente.



Nicht definiert ist die Breite des verbleibenden Lackstegs, der von der Definition der graphischen Elemente in der CAD-Bibliothek abhängt.

Ausschlaggebend ist jedoch die *Größe der Lötfläche* an sich.

Der gleiche Andruck der Lötfläche für ein zweipoliges Bauteil der Größe 0805 ist deutlich weniger kritisch, als bei einem Bauteil der Größe 0201 und erst recht bei der Größe 01005. Folglich ist *nicht* der Pitch das ausschlaggebende Kriterium sondern die *Geometrie der Lötfläche*.

Kritisch wird ein Andruck der Lötflächen bei BTCs (i.e. Bottom Termination Components), weil dann die Bauteile bei der Bestückung auf dem Lötstoplack abgelegt werden.

Für BTCs ist zusätzlich die Dicke des aufgetragenen Lötstoplackes entscheidend. Dazu gibt es in Version "H" keine Vorgabe und in der Version "J" den Status AABUS.





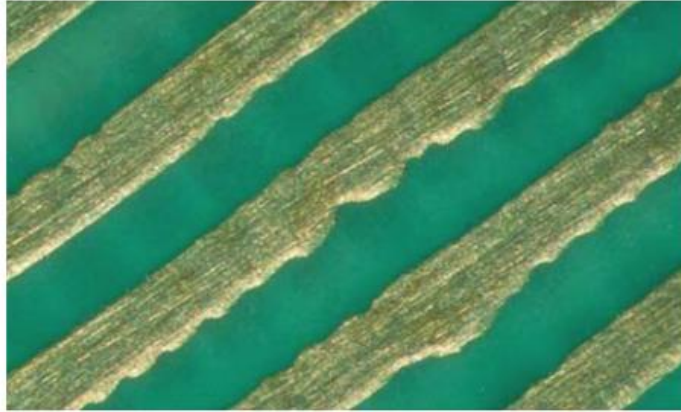
2.10.1.2 Leiterabstand



2.10.1.2 Leiterabstand

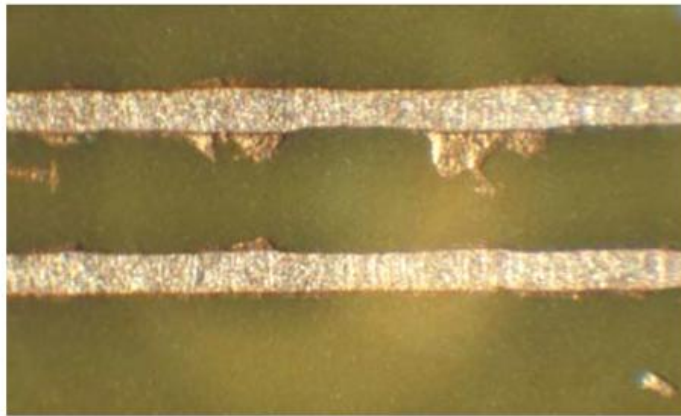
Beschrieben wird die Leiterbildqualität nach dem Ätzen.

IPC Original :



Zulässig – Klasse 3

- Jegliche Kombination der Rauheit der Kanten, Kupfer-spitzen usw., welche den festgelegten Mindestleiterabstand um maximal 20% in lokalen/vereinzeltten Bereichen reduziert.



Zulässig – Klasse 1, 2

- Jegliche Kombination der Rauheit der Kanten, Kupfer-spitzen usw., welche den festgelegten Mindestleiterabstand um maximal 30% in lokalen/vereinzeltten Bereichen reduziert.

► Hinweis zur Version "J" :

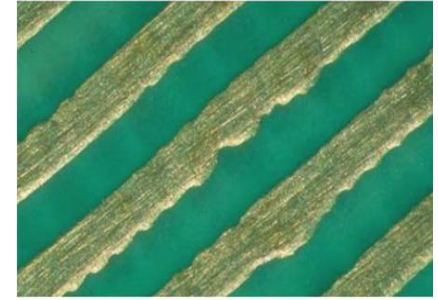
Es wurde der Text "Der Leiterabstand hält die in der Konstruktionszeichnung spezifizierte Toleranz ein." ergänzt.



2.10.1.2 Leiterabstand

Kommentar Wi :

Leiterplatten müssen nach ihrer physikalischen Zuverlässigkeit eingestuft werden. "Autonomes Fahren" und "IT-Sicherheit" sind sehr eng mit einer differentiellen Signalübertragung verknüpft und haben eine hohe "elektronische Sensibilität".



Der Transfer von Informationen in einem Leitungspaar setzt eine **definierte Verkopplung elektromagnetischer Felder** (z.B. differentielle Impedanz) voraus.

Voraussetzung für das Erreichen dieser Qualität ist eine präzise Leiterbildgeometrie.

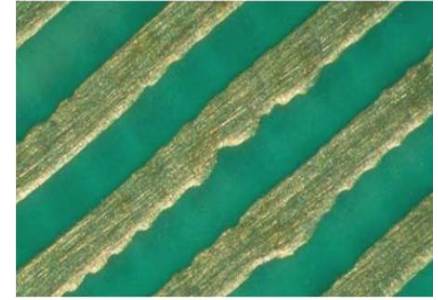
Deutliche Schwankungen der Leiterbahnbreite und verbleibende Kupferreste zwischen Leiterbahnen sind eine *schwerwiegende* Störung.

Das hier als "Zulässig - Klasse 3" gezeigte Bild darf mit gutem Gewissen als unbrauchbar bezeichnet werden. Das hier als "Zulässig - Klasse 1, 2" gezeigte Bild als akzeptabel zu klassifizieren, ist beunruhigend.

Leiterplatten mit diesem Erscheinungsbild müssen verschrottet werden.



2.10.1.2 Leiterabstand



Warum haben wohl die Leiterbahnen diesen Abstand zueinander ?

Und was kann passieren, wenn dieser Abstand für industriell eingesetzte Baugruppen um bis zu 20% reduziert wird ?

Es genügt nicht, Regeln zu formulieren, auf deren Basis man solche Leiterplatten doch noch verkaufen kann.

Man muß schon darüber nachdenken, welche Aufgabe dieses Produkt erfüllen soll und ob nicht Gefahr für Sach- und Personenschäden besteht.

Wenn Leiterplatten mit diesem Erscheinungsbild in Ex-geschützte Geräte eingebaut werden, dann kann das schwerwiegende Folgen haben.

- ▶ Es ist typisch für die IPC-A-600, Anwendungen und Betriebsbedingungen nicht zu beachten.





2.10.4 Äußerer Restring - metallisierte Löcher

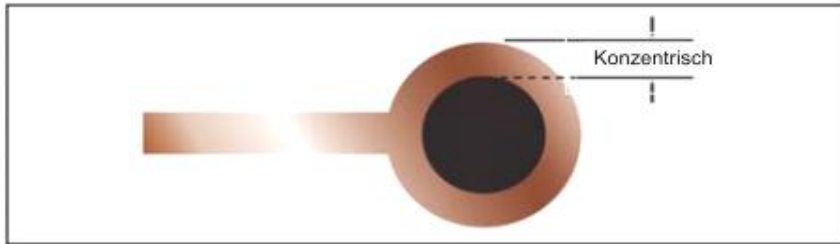


2.10.4 Äußerer Restring (Klasse 3)

Es soll der zulässige Versatz zwischen Mechanik (i.e. Bohrungen) und Bildern (i.e. Leiterbild) definiert werden.

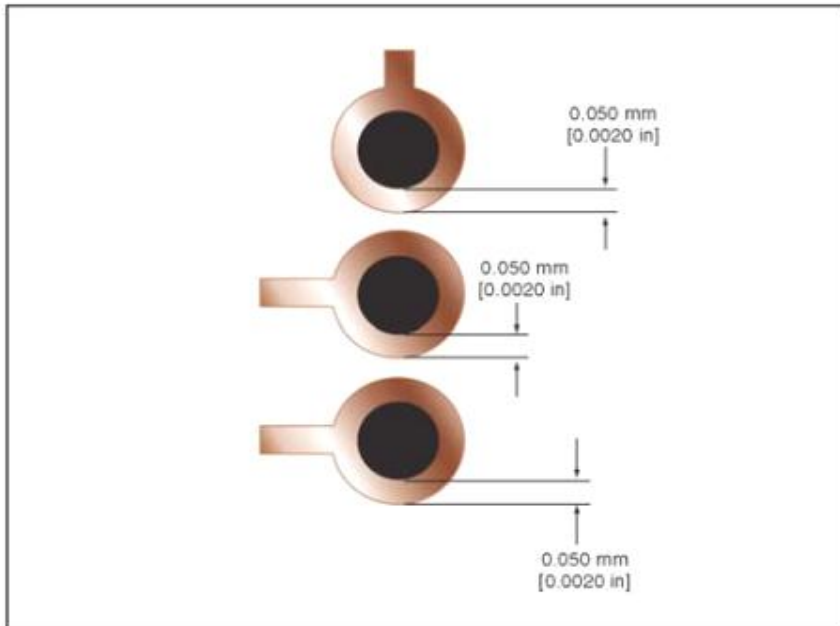
IPC Original (...für Klasse 3) :

Metallisiertes Loch: Ein Loch in einer Leiterplatte, dessen Wände metallisiert oder anderweitig verstärkt sind.



Anzustreben – Klasse 1, 2, 3

- Die Löcher sind in der Anschlussfläche zentriert.



Zulässig – Klasse 3

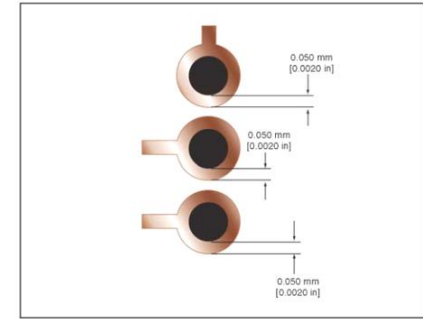
- Die Löcher sind nicht in der Anschlussfläche zentriert, aber der Restring misst 0,050 mm [0,0020 in] oder mehr.
- Der minimale äußere Restring kann 20% Reduzierung des Mindestrestringes an der Messfläche aufweisen, bedingt durch Fehler wie Vertiefungen, Beulen, Kerben, Nadellöcher oder Abschrägungen in vereinzelt Bereichen.



2.10.4 Äußerer Restring (Klasse 3)

Kommentar Wi :

Für Klasse 3 wird als zulässig erklärt, wenn der Restring 50µm nicht unterschreitet :



"Der minimale äußere Restring kann 20% Reduzierung des Mindestreststrings an der Meßfläche aufweisen, bedingt durch Fehler wie Vertiefungen, Beulen, Kerben, Nadellöcher oder Abschrägungen in vereinzeltten Bereichen".

Leiterplatten mit den Fehlerbildern Vertiefungen, Beulen, Kerben, Nadellöchern und Abschrägungen sind unzulässig.

Bedauerlicherweise werden hier vermeidbare Toleranzen von Anlagen, Materialien und Prozessen für eine Bewertung herangezogen.

Es fehlt die Beschreibung des Geltungsbereiches. DkVias, BlindVias, BuriedVias und THT-Bohrungen werden nicht unterschieden.

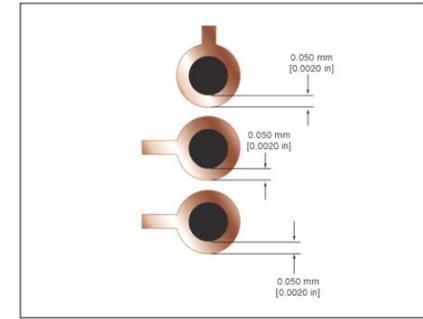
Die vorliegende Betrachtung kann sich aber nicht auf Bauteilbohrungen beziehen.



2.10.4 Äußerer Restring (Klasse 3)

Der Restring einer **Bauteilbohrung** muß vorrangig einen stabilen Lötprozeß gewährleisten.

Allgemein wird ab einem umlaufenden Restring von 300µm davon ausgegangen, daß der Lötprozeß ein gutes Ergebnis bringt.



Damit das hier beschriebene Fehlerbild auftreten kann, daß also die Bohrung außerhalb des Restringes liegt, müßte ein Versatz von >300µm zwischen Bohrbild und Leiterbild auftreten.

Ein solcher Versatz wäre ein Desaster. Betroffene Leiterplatten wären unmißverständlich Ausschuß.

Es kann hier also nur um **Durchkontaktierungen** beziehungsweise Vias im allgemeinen gehen, was der Beschreibung allerdings so nicht zu entnehmen ist.

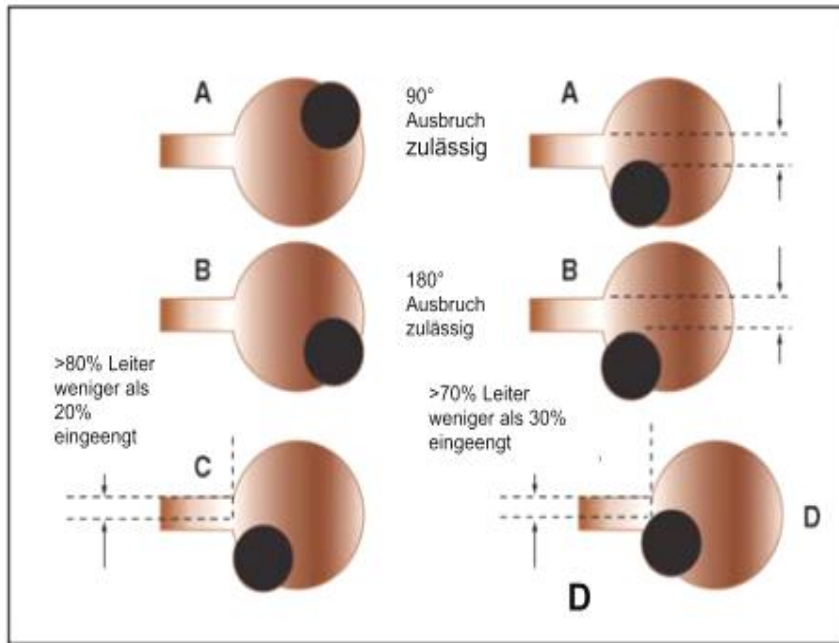
Der Auslöser für das Fehlerbild sind dann die Positioniergenauigkeit von Maschinen und die möglichen Verzüge von Basismaterialien während des Produktionsprozesses.



2.10.4 Äußerer Restring (Klasse 2)

Es soll der zulässige Versatz zwischen Mechanik (i.e. Bohrungen) und Bildern (i.e. Leiterbild) definiert werden.

IPC Original (...für Klasse 2) :



Zulässig – Klasse 2

- Ausbruch von maximal 90° (A).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 20% der Mindestleiterbreite reduziert sein, die in der technischen Zeichnung oder dem Nennwert des Fertigungsmasters festgelegt ist. Die Verbindung der Leiterbahn sollte nicht weniger als 0,05 mm [0,0020 in] oder die Mindestleiterbreite sein (der kleinere Wert gilt.). (C)
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

► Hinweis zur Version "J" :

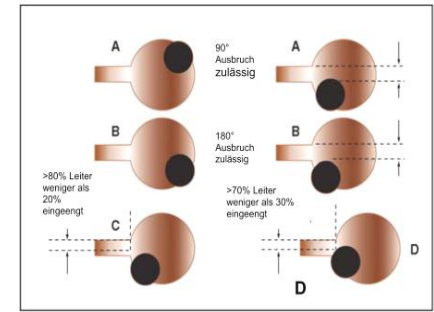
Die Kapitelbezeichnung ist dort jetzt 2.10.3 und die Grafik weist Viapads mit einem Teardrop aus.



2.10.4 Äußerer Restring (Klasse 2)

Kommentar Wi :

Für Klasse 2 wird "...ein Ausbruch von 90°" als zulässig erklärt. Das bedeutet in der Praxis, die Bohrung darf bis zu einem gewissen Maß (...90°, entsprechend der geschilderten Meßmethode) außerhalb des zugehörigen Pads liegen. Bei Klasse 1 sogar bis zu 180°.



Wie sollen diese Gradwerte ermittelt werden ? Mit einem Geodreieck ? Und warum 90° und nicht 86° ? Steht dahinter eine Analytik, oder, und das ist wohl wahrscheinlicher, ist das nur eine plakative Vorgabe, weil man sich das einfacher merken kann ?

Bohrungen außerhalb des zugehörigen Viapads sind **IMMER** unzulässig.

Das Viapad ist der Toleranzraum, in dem sich die Bohrung **vollständig** befinden muß.

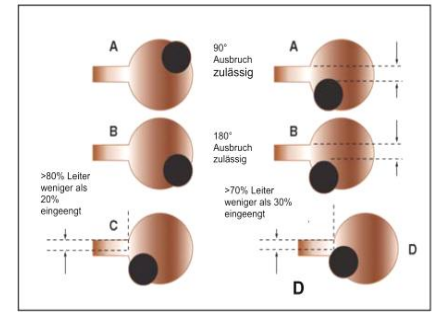
Die Vorgabe für den Toleranzraum ergibt sich aus der Definition der Geometrien in der Bibliothek des CAD-Systems. Diese Definitionen müssen die Anlagen- und Prozeßtechnologie des Leiterplattenherstellers sowie die material- und leiterplattentypischen Parameter berücksichtigen.



2.10.4 Äußerer Restring (Klasse 2)

Materialverzüge sind *dynamisch* zu bewerten.

Deshalb müssen die Geometrien für eine Leiterplatte respektive Baugruppe bereits in der CAD-Bibliothek *dynamisch* formuliert werden.



Die hier vorliegende Betrachtung ist allgemein formuliert, konzentriert sich tatsächlich aber auf die Passung der Bohrungen zum Leiterbild auf den **Außenlagen** einer Leiterplatte.

Die Forderung, "...Minimaler Seitenabstand zwischen den Leitern ist eingehalten" klingt deshalb erstmal schlüssig.

Bei diesem Fehlerbild geht es jedoch nur bedingt um einen pauschalen Versatz, also um eine Verschiebung des Bohrbildes in EINER Richtung relativ zum Leiterbild.

In der Praxis ist der beschriebene Versatz aber das Ergebnis mehrerer Einflüsse, zu denen beispielsweise die Beschaffenheit der zuerst durchbohrten Glasgewebelagen (...bei FR4) in Abhängigkeit vom Bohrwerkzeugdurchmesser gehört. Werkzeuge $\leq 300\mu\text{m}$ für Vias werden ausgelekt, Werkzeuge $\geq 800\mu\text{m}$ für THD-Bohrungen nicht.



2.10.4 Äußerer Restring (Klasse 2)

Eine Unterscheidung *verschiedener* Materialien findet nicht statt.

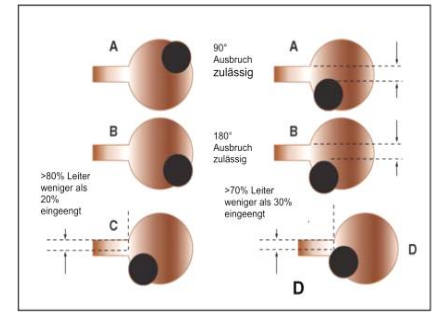
Es werden *keine* Leiterplattenklassen (i.e. Flex, Starr, Starrflex) unterschieden.

Es wird *nicht* zwischen DK- und NDK-Bohrungen unterschieden.

Multilayer werden ignoriert. Von außen ist ein Versatz zwischen Bohrung und Leiterbild auf den **Außenlagen** erkennbar. Auf den **Innenlagen** aber nicht. Eine Bohrung, die außerhalb ihres Pads liegt, liegt auf den Innenlagen eines Multilayer jedoch auch außerhalb des Sicherheitsbereiches (i.e. Antipad, Isolation), der dieser Bohrung laut der CAD-Konstruktion auf den Innenlagen von Powerplanes zugerechnet wurde.

Es gibt für CAD keine Vorgabe für die minimale Breite eines Restrings. Eine mangelnde Passung der Bohrung zum Pad wird deshalb *immer* dem Leiterplattenhersteller zugeordnet, auch dann, wenn der Fehler durch *ungenügende* Kompensation der Fertigungstoleranzen in der Geometrie des CAD-Layouts verursacht wurde.

Das sieht die IPC-A-600 nicht als ihre Aufgabe an. Es findet sich dazu aber auch keine brauchbare Regel in der IPC-2221 oder der IPC-2222.





Fazit



Ist die IPC-A-600 nutzlos ? 1/4

Die IPC-A-600 hat erhebliche Mängel, aber nein, nutzlos ist sie nicht.

Der Ansatz, die Anforderungen an eine optische Inspektion von Leiterplatten zu beschreiben, ist richtig.

Dem IPC kommt der Verdienst zu, das wohl als einer der Ersten nicht nur erkannt sondern auch gehandelt zu haben.

Es wurde auch erkannt, daß eine Regel, die keiner kennt, niemandem nutzt.

Damit lag auf der Hand, daß ein globales Marketing eingesetzt werden muß, um Leiterplatten auch global ein- und verkaufen zu können.

Die Strategie ist in den 1980er-Jahren sicherlich aufgegangen, weil, aus heutiger Sicht, der niedrige Anspruch an die Leiterplatte ausreichend beschrieben werden konnte.



Ist die IPC-A-600 nutzlos ? 2/4

Der Untertitel der IPC-A-600 ist "ABnahmekriterien für Leiterplatten". Angesprochen wird also wohl vornehmlich die WarenAUSgangskontrolle der Leiterplattenhersteller.

Es geht aber auch um ANnahmekriterien und um die WarenEINgangskontrolle auf der Seite des Kunden.

Der Einfluß- und Wirkungsbereich der Richtlinie ist damit deutlich größer, weil sie den gesamten Transfer von Leiterplatten maßgeblich bewertet.

Bis heute hält sich die Meinung, daß Leiterplatten ein leider notwendiges Übel sind, dem man aber keine übermäßige Aufmerksamkeit widmen muß.

Es ist anscheinend schon stressig genug, wenn die Leiterplatte als Kostenposition in der Produktkalkulation auftaucht.

Diese Minderbewertung spiegelt sich in der oft oberflächlichen und lieblosen Zusammenstellung, den Formulierungen und der Bildauswahl der IPC-A-600 wieder.

So richtig viel Sympathie bringt man der Leiterplatte nicht entgegen.



Ist die IPC-A-600 nutzlos ? 3/4

Die IPC-A-600 ist - aus meiner persönlichen Sicht - eine unglückliche Richtlinie des IPC. Voraussichtlich aber auch die erfolgreichste, was die Anzahl verkaufter Exemplare und durchgeführter Schulungen betrifft.

Das läßt nur den Schluß zu, daß es anscheinend *bisher* nichts Besseres gibt. Und genau das trifft zu.

Zwar hatten diverse deutsche Firmen in den 1980er-Jahren interne Richtlinien, und das auf einem durchaus hohen Niveau.

Es hat aber die Weitsicht gefehlt, diese Richtlinien zusammenzuführen, zu harmonisieren, zu veröffentlichen und zu schulen.

Vermutlich ist man davon ausgegangen, daß die eigene Position gestärkt wird, wenn man Kompetenz und Wissen für sich behält.

Ein fataler Irrtum, wie sich gezeigt hat, weil Innovationen blockiert oder erheblich verzögert worden sind.

In den letzten 30 Jahren sind mit der IPC-A-600 Regeln und Bewertungskriterien ins Spiel gekommen, auf die die europäischen Leiterplattenhersteller keinen nennenswerten Zugriff mehr haben.

► *Ein Machtverlust, der noch auf absehbare Zeit bestehen wird.*



Ist die IPC-A-600 nutzlos ? 4/4

Damit ist aktuell die IPC-A-600 das Maß der Dinge. Eine Rolle übrigens, die der IPC in dieser Deutlichkeit niemals für sich in Anspruch genommen hat. Im Gegenteil.

Im Vorwort zur IPC-A-600 ist ausgewiesen :

Die Verfahren und Vorgaben für die Durchführung der Sichtprüfung in Zusammenhang mit diesem Dokument **müssen** die Anforderungen der zutreffenden Leistungsspezifikationen berücksichtigen.

Bei Widersprüchen muss folgende Priorität gelten:

1. Liefervertrag/Bestellung (einschließlich eventueller Ausnahmen von Zeichnungen/Daten)
2. Beschaffungsdokumentation, welche die detaillierten Anforderungen des Anwenders widerspiegelt (z. B. Zeichnungen/Daten)
3. Sonstige Dokumente in dem vom Kunden festgelegten Umfang
4. Endprodukt-Leistungsspezifikationen, z. B. Serie IPC-6010, wenn vom Kunden gefordert
5. Dieses Abnahmedokument (IPC-A-600)

Die Leiterplatten müssen von einheitlicher Produktqualität sein und **müssen** der IPC-6010-Serie entsprechen.

IPC setzt die A-600 auf Platz 5.

Hauseigene Regeln und Vorgaben haben Vorrang vor der IPC-A-600. Seit einigen Jahren erstellen selbst kleinere und mittlere Unternehmen in Deutschland verstärkt eigene Spezifikationen, mit denen sie die Zuverlässigkeit ihrer Produkte absichern wollen.





Perspektiven



Was tun ?

Wir benötigen Ausbildung.

Wir müssen aufholen. Schnell, konsequent und professionell.

Mit IPC-Schulungen ist das nicht getan. Wir müssen investieren in hochwertige Bildung. Nur das ist unsere Chance auf eine wirtschaftlich und technologisch erfolgreiche Zukunft.

Unser Ziel muß eine Ausbildung im Fachbereich "CAD-Konstruktion, Leiterplatten- und Baugruppentechologien" die durchgängig ist von der Berufsschule über die Fachschule, die Hochschule und die Universität.

Wenn wir *jetzt* damit anfangen, dann werden wir in 10 Jahren *erste* Erfolge sehen.

Dazu muß die Industrie Ihren Einfluß geltend machen. *Erst wenn die Industrie diese Mitarbeiterqualifikationen fordert, werden die Institutionen nachhaltig handeln.*

Die schulische Ausbildung ist Länderhoheit. Es ist die Verpflichtung der Kultusministerien, den Weg für eine Ausbildung zu ebnen.



Was tun ?



Es gibt bereits nennenswerte Anfänge.

Auf Initiative führender Unternehmen der Leiterplatten- und Baugruppenindustrie hat der ZVEI vor wenigen Jahren den "Arbeitskreis Design-Chain" gegründet.

Diese Gruppe arbeitet effektiv. Die Industrie sowie die Berufs-, Fach- und Hochschulen bekommen eine vielversprechende Unterstützung, sobald die Design- und Regelwerke des Arbeitskreises veröffentlicht werden können.

Es bleibt das Dilemma einer kontinuierlichen Weiterführung von Designregeln und Richtlinien.

Zur Zeit basiert das auf dem Engagement einer überschaubaren Gruppe von Menschen, die dankenswerter Weise von ihrem Unternehmen für die Mitarbeit freigestellt worden sind.



Was tun ?

Das Umsetzen von Regeln in eine Dokumentation dauert lange.
Es besteht die Gefahr, daß nachlassende Kontinuität und nachlassendes Engagement den Prozeß des Aufholens hemmen.

Besser ist die Gründung eines Unternehmens, das sich mit fest angestellten Mitarbeitern ausschließlich um die Formulierung und die kontinuierliche Schulung von Regelwerken und Richtlinien kümmern kann.

Es genügt nicht, mitzuhalten und den Vorsprung nicht größer werden zu lassen.

Wir Europäer müssen aufholen.



Und vielleicht können wir in zwei Jahrzehnten sogar an ein Überholen denken.





...das war das...





...und
vielen Dank

Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach.
Aber alles Einfache ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas
et respice finem.

Äsop



Informationen zur
LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



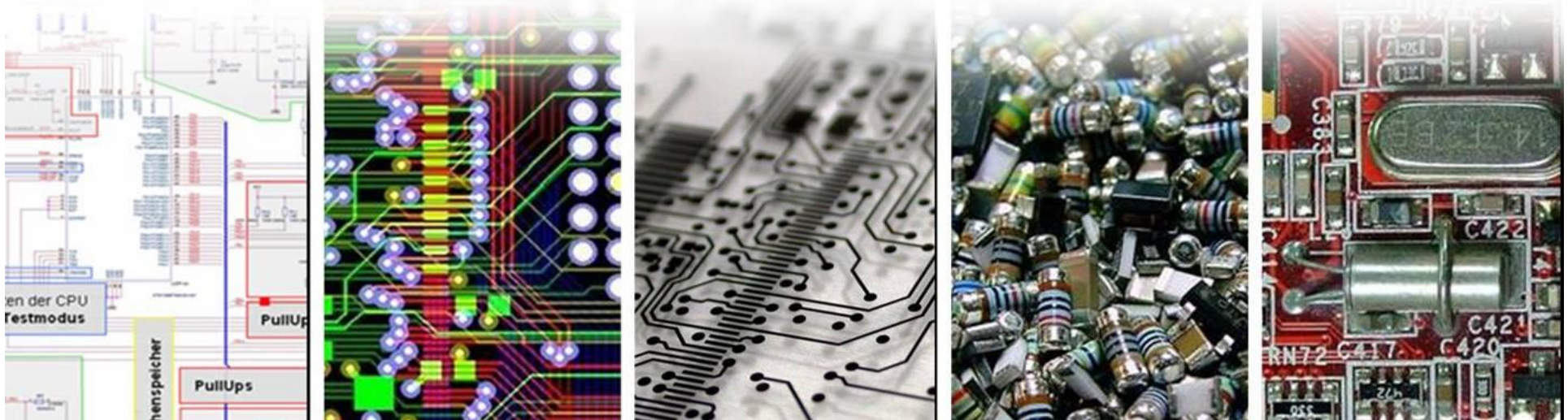
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppententechnologie.
Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.
Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.
Aktives Mitglied im AK-Design des ZVEI.
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.





© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers.
Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne
schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht
zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Telefon 030 / 34 35 18 99

Telefax 030 / 34 35 19 02

eMail

info@leiterplattenakademie.de

Technischer Direktor

Arnold Wiemers

Telefon 0171 / 358 3712

Telefax 0531 / 126441

eMail

awi@leiterplattenakademie.de

