

08. + 09. Juni 2021 in Würzburg / Online

Gerhard Eigelsreiter
Arnold Wiemers
(Nils Dirks

Unitel
LeiterplattenAkademie
Dirks Compliance Consulting)

Teil 2

*Elektromagnetische und physikalische
Eigenschaften von Highspeed-Baugruppen
in Abhängigkeit von der CAD-Konstruktion*



1. Abschnitt

Das Projekt "Die Leiterplatte 2010"

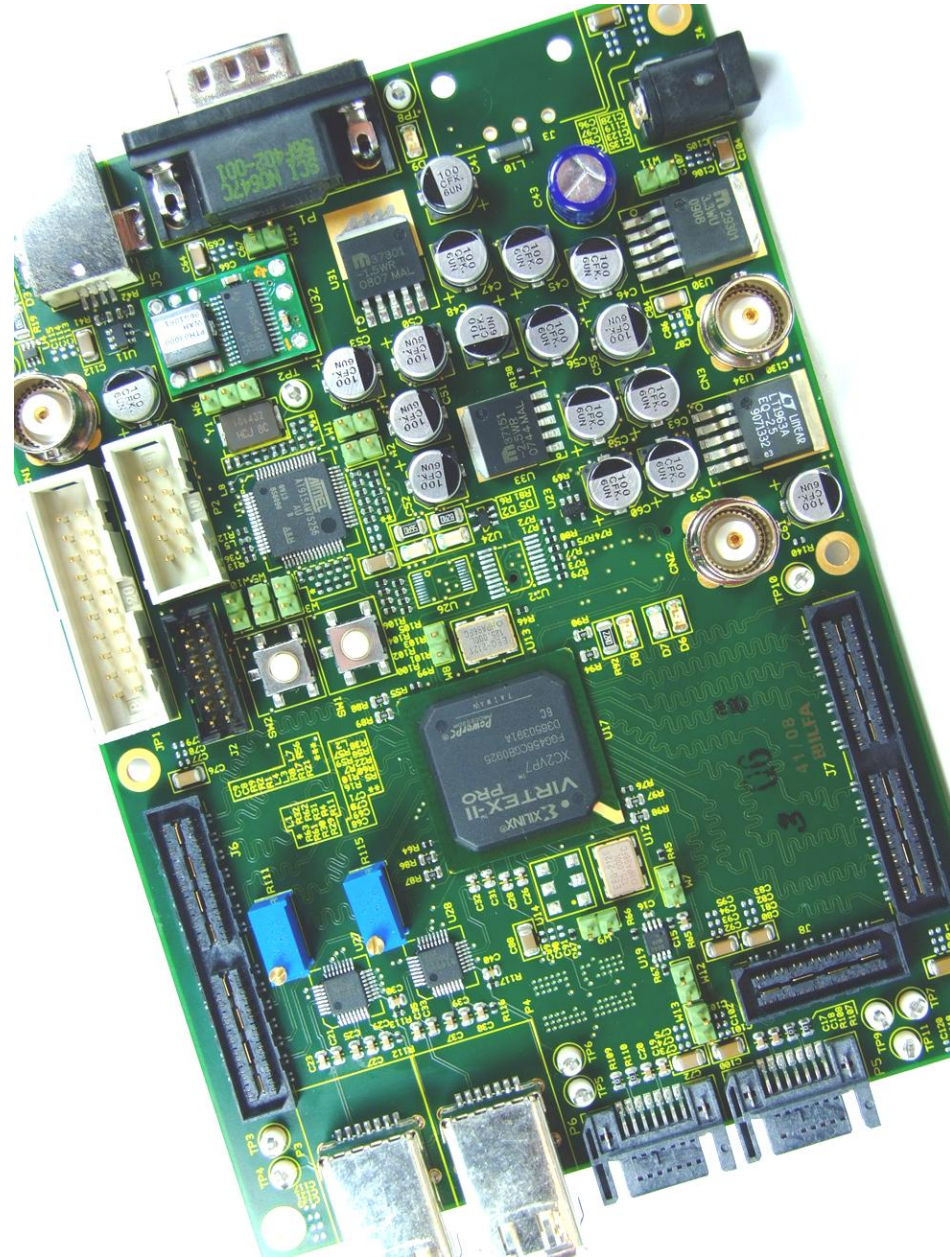
Die Leiterplatte 2010 ...das Projekt

Vorwort

Das Projekt "Die Leiterplatte 2010" wurde im Jahr 2008 auf den Weg gebracht.

Konstrukteur der "Leiterplatte 2010" war/ist Herr Gerhard Eigelsreiter, Fa. unitel IT Innovationen, aus Graz.

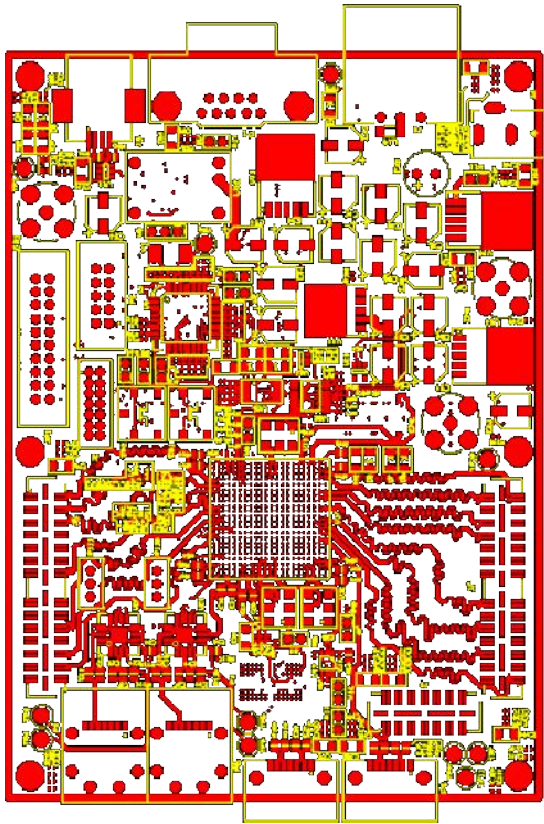
Die Schaltpläne, CAD-Daten, Gerber-Files und mechanischen Konstruktionsvorgaben wurden komplett in der ElektronikPraxis veröffentlicht und es gab damals über 2 Jahre ganztägige Fachtagungen.



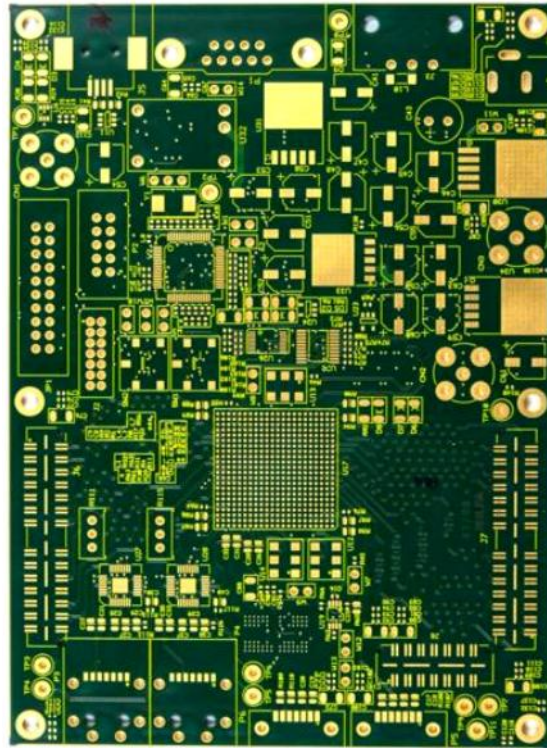
Die Leiterplatte 2010 ...das Projekt

Vorwort

Die "Leiterplatte 2010" war/ist eine FPGA-gesteuerte Highspeed-CPU mit der Aufgabe, hohe Datenvolumina zuverlässig zu verarbeiten.



CAD-Layout



Leiterplatte



Baugruppe

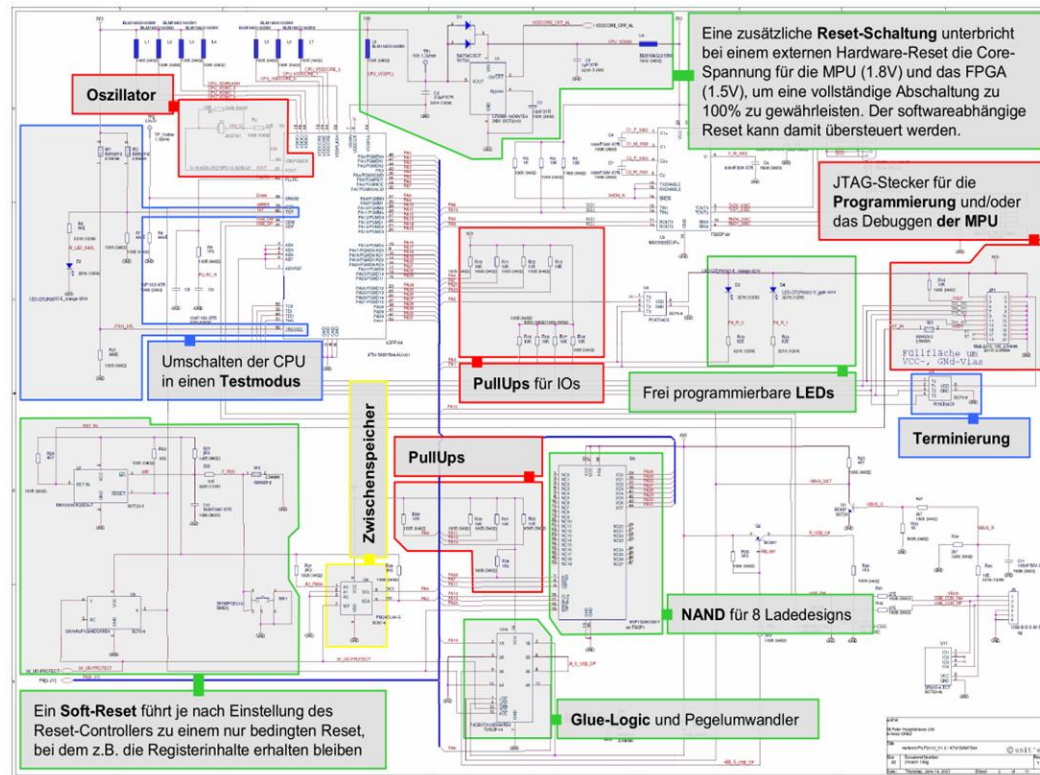
Schaltplankonstruktion

Die Planung elektronischer Baugruppen hat bereits auf dem Level der *Schaltplanerstellung* einen sehr hohen Anspruch zu erfüllen.

Das *CAD-System* muß die gestellten Anforderungen begleiten und kontrollieren.

Die *Leiterplatte* muß die physikalischen Aufgaben erfüllen.

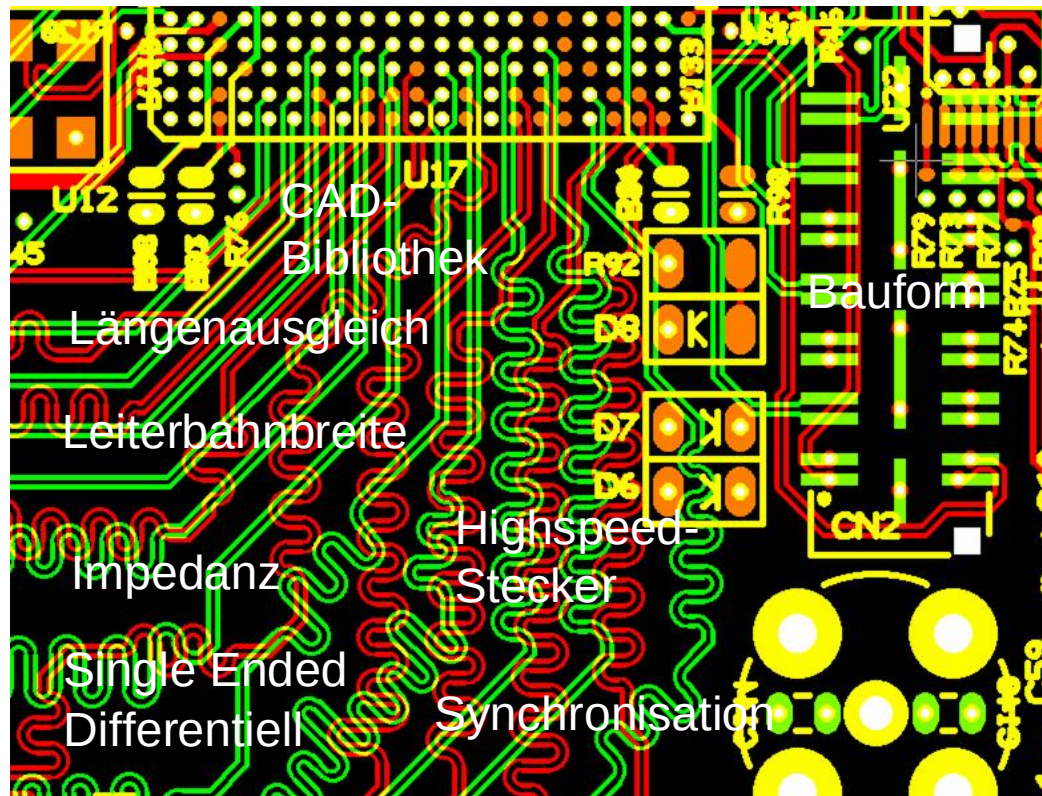
Die *Baugruppe* muß die Funktion gewährleisten.



CAD-Design

Das Erstellung eines Layouts am CAD-System vermittelt zwischen der virtuellen Welt des Designs und der realen Welt der Produktion.

Das Layout muß die Funktion des Schaltplans sowie die Fertigungsvorgaben für die Produktion der Leiterplatte und der Baugruppe beachten.



Die Anforderungen an die Designer/die Designerinnen nehmen zu.

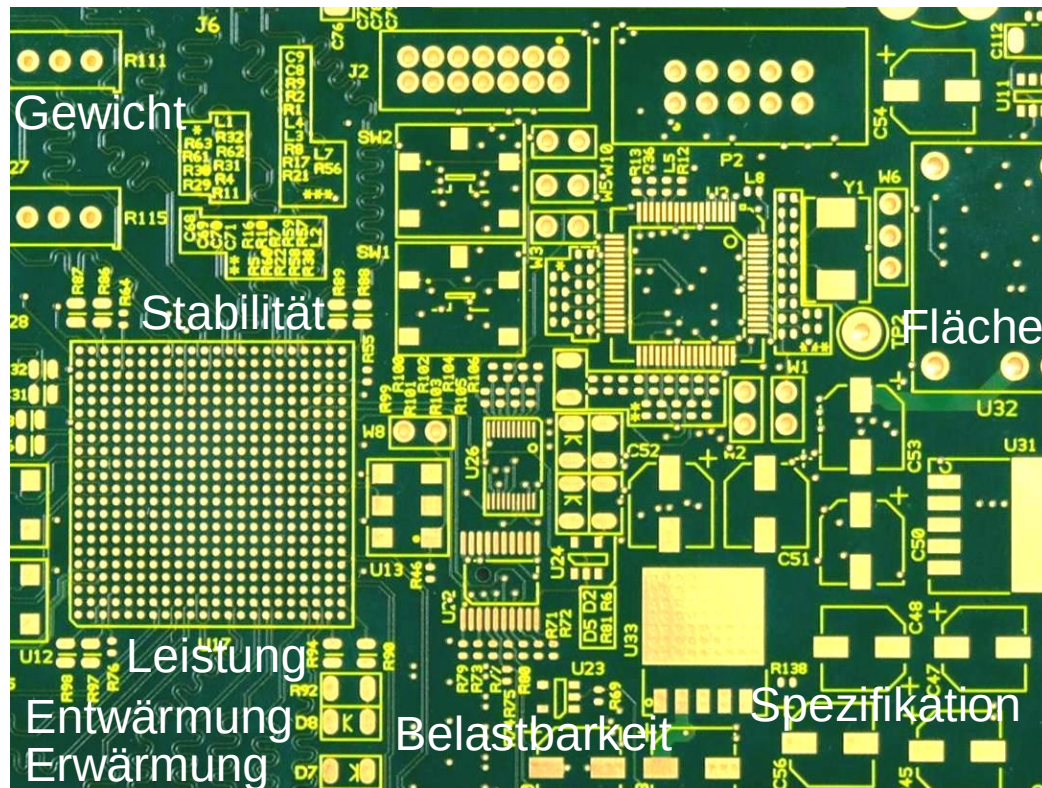
Die Leiterplatte 2010 ...das Projekt

Leiterplattenfertigung

Die mechanische Herausforderung an die Fertigung von Leiterplatten hat deutlich zugenommen.

Minimale Viadurchmesser, sequentielle Kontaktierungsstrategien und hochlagige Multilayer sind Standard geworden.

Impedanz- und Powerintegrität verlangen gleichzeitig zudem eine zuverlässige physikalische Funktion.

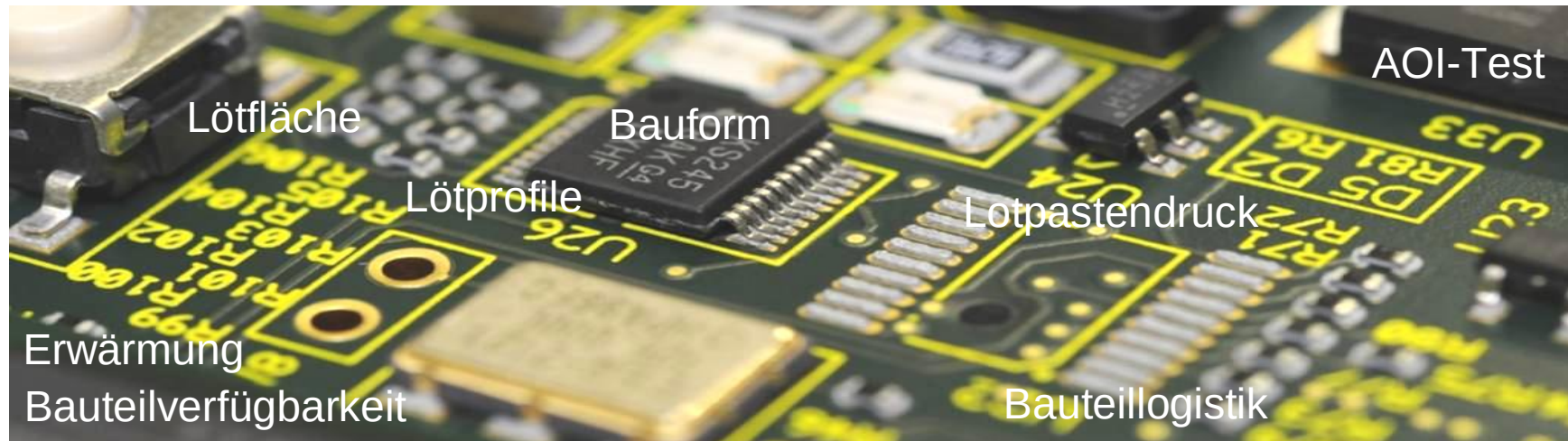


Die Leiterplatte 2010 ...das Projekt

Baugruppenproduktion

Highspeed-Baugruppen sind ohne Kenntnis des vollständigen Weges, den das Produkt durchlaufen muß, und den Einflüssen, denen es dabei unterliegt, nicht mehr erfolgreich umsetzbar.

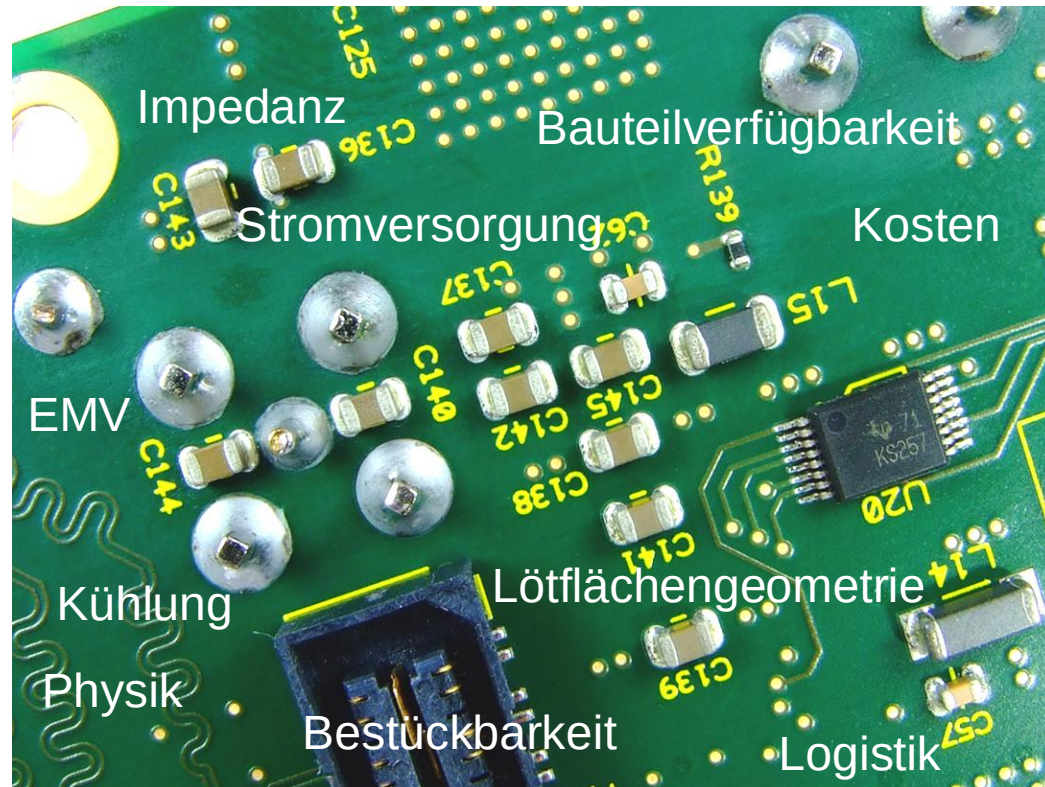
- ▶ Die Ausbildung aller Menschen, die in diesen Bereichen arbeiten, muß deshalb komplett und fachlich fundiert sein.



Dokumentation der Eigenschaften einer Leiterplatte

Die Verarbeitung moderner elektronischer Baugruppen verlangt nach einer komplexen Dokumentation der technischen und physikalischen Eigenschaften der Leiterplatte.

Nur dann ist die Produktion und die spätere Betriebs-sicherheit einer Baugruppe zuverlässig vorhersagbar.



Die Leiterplatte 2010 ...das Projekt

Also :

Eine Highspeed-Baugruppe aus alter Zeit...

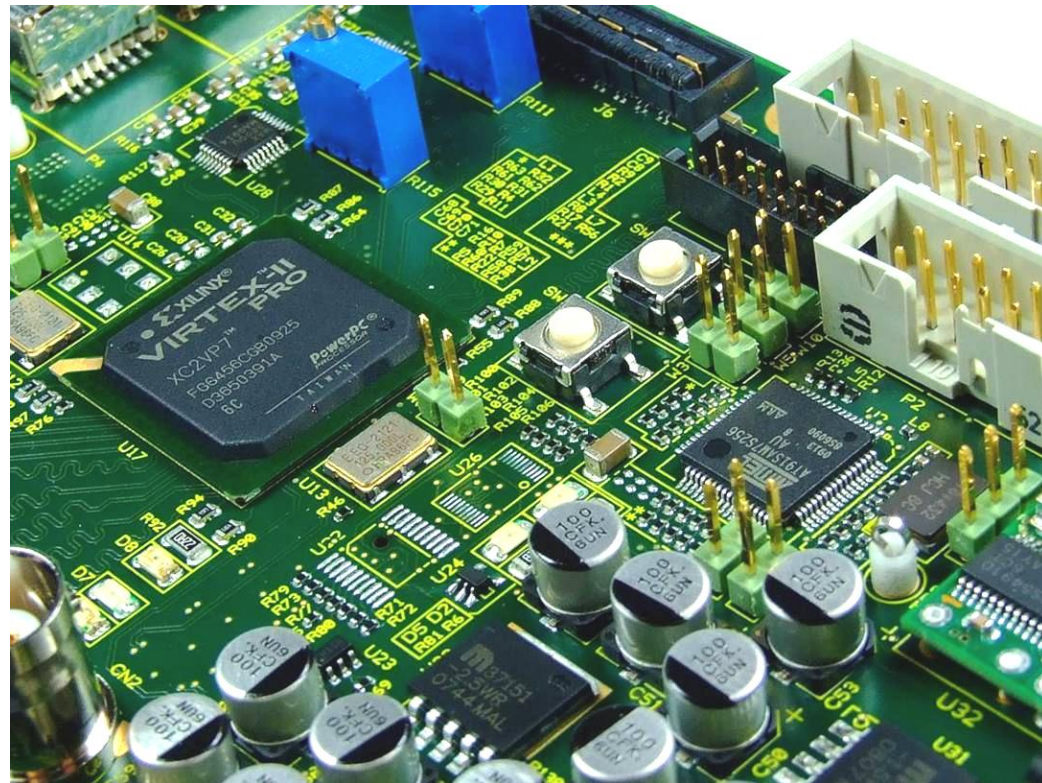
Doch :

Noch ist die Physik die gleiche, wie damals.

Noch sind sehr viele Basismaterialien, Bauformen und Fertigungsprozesse so, wie damals.

Aber :

Die Dinge ändern sich.



2. Abschnitt

Leiterplatten-Design mit „breitbandig entkoppelten“ Power-Planes

4. Fachtag

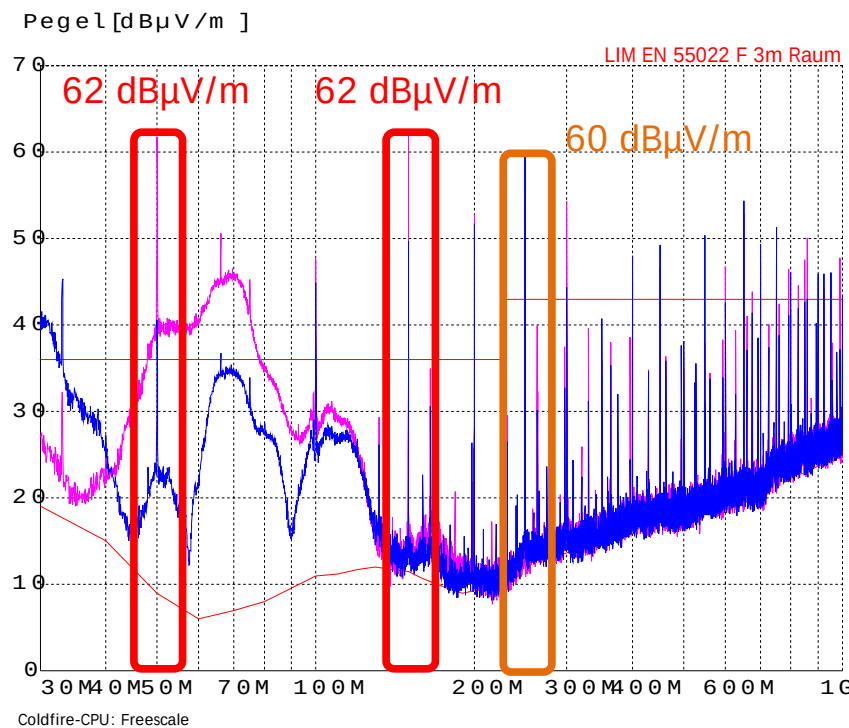
Leiterplatten- und Baugruppententechnologie - Juni 2021

Ist-Zustand

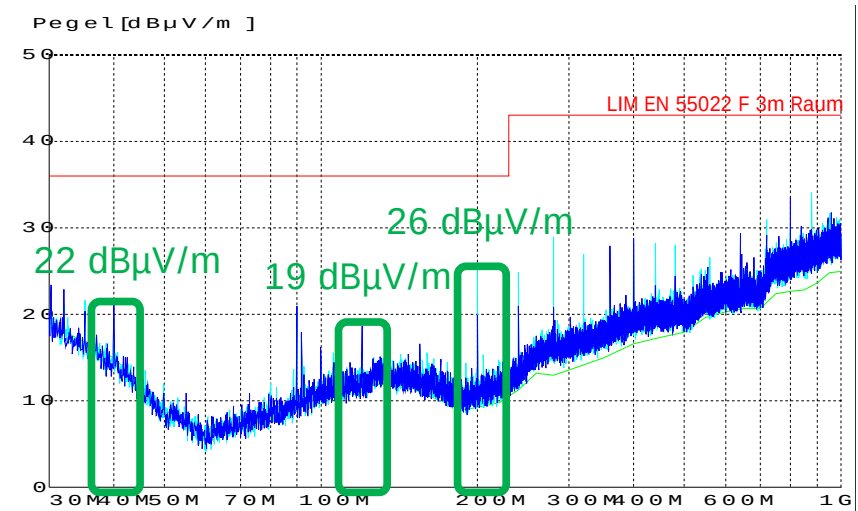


Zielsetzung

Handelübliches Demoboard (Coldfire-CPU)



Eigenentwicklung CERO (Coldfire-CPU)



Ein Vergleich der EMV-Störspektren eines handelsüblichen Coldfire Demoboards mit der Coldfire Eigen-Entwicklung: CERO.

Bemerkenswert sind die „Kamelhöcker“ des Demoboards im Bereich von 50 Mhz bis 150 MHz.

Wann ist eine Baugruppe „High-Speed“?

Der Begriff „High-Speed“ wird nicht durch die Signal-Ausbreitungsgeschwindigkeit oder Taktfrequenz definiert, sondern wie schnell sich Schaltzustände ändern!

Also durch die Flankensteilheit der Signale UND die Flankensteilheit der Strompulse der Power-Supply-Pins der aktiven Bauelemente.

Low- und High-Speed

Eine allgemein klar definierte Grenze für „Low-“ und „High-Speed“ ist nach wie vor nicht in Sicht. Es gibt aber Wahrnehmungsbereiche. Ein beispielhafter Wahrnehmungsbereich wäre die Definition über die Clock- oder Taktrate. Alle Werte über einer Taktrate von zum Beispiel 20 MHz erhält die Definition High-Speed und alle Werte darunter folglich Low-Speed. Das wäre ein Zugeständnis für eine gefühlte Aufteilung. Dieser Wert ist auch leicht zu merken.

Zurzeit dominieren C-MOS Chips die Welt der aktiven Bauelemente. Diese Bauelemente zeichnen sich hauptsächlich durch hohe Flankensteilheiten der Input/Output- und Power-Supply Pins aus.

Das betrifft Prozessoren, reprogrammierbare Logik, Speicherbausteine, Spannungswandler, Netzwerkbausteine usw. Also fast alle Bauelemente, die das Prädikat aktiv tragen.

Aktive Bauelemente

Aus Sicht der Physik würde nur ein Sinussignal die willkürliche Aufteilung in Low- und High-Speed, wie zum Beispiel 20 MHz, klar erkennbar machen bzw. rechtfertigen.

Welche Schlussfolgerungen sind daraus zu ziehen?

Selbst die kleinsten und einfachsten Mikrokontroller, die aus Energiespargründen mit Taktraten im Sub-MHz Bereich betrieben werden, sind, von Ausnahmen abgesehen, dem High-Speed Bereich zuzuordnen.

Und damit ist eine breitbandige Stromversorgungsentkopplung das Gebot der Stunde.

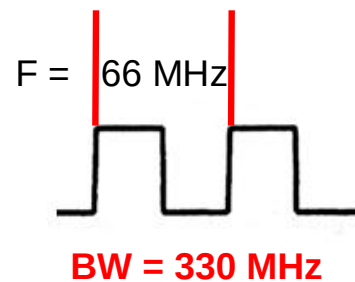
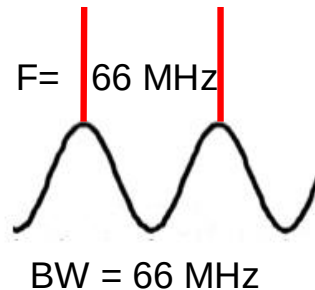
Wellenwiderstand - Regel

Der Wellenwiderstand des Stromversorgungssystems einer High-Speed-Baugruppe muss sehr viel kleiner als der Wellenwiderstand von „digitalen“ Signalleitungen sein.

„Übliche“ Wellenwiderstände von Signalleitungen: 40 bis 120 Ohm.

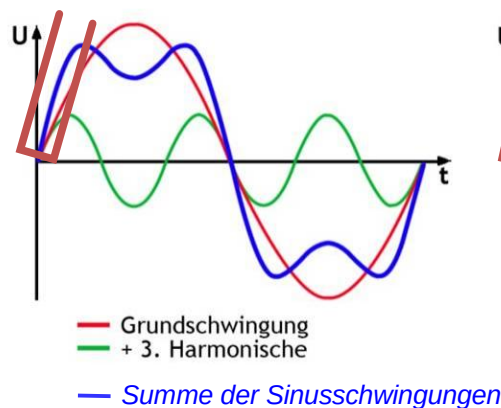
Wellenwiderstand des Stromversorgungssystems: $< 0,8 \text{ Ohm}$!

Fourierzerlegung am Beispiel einer Rechteckschwingung

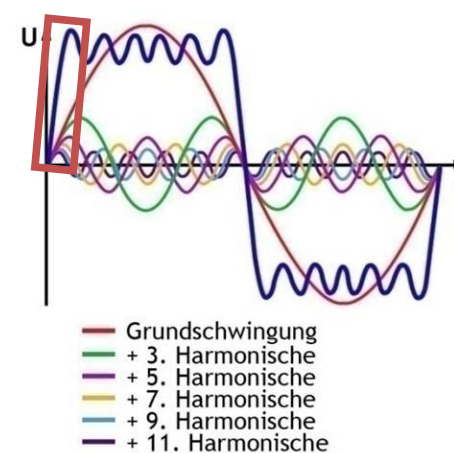
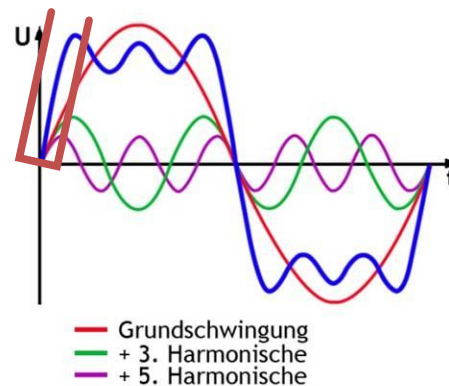


$$BW_{\text{Clock}}(\text{GHz}) = 5 \times F_{\text{Clock}}(\text{ns})$$

$$BW(\text{GHz}) = 0.35 / RT(\text{ns})$$



Quelle: http://www.controllersandpcs.de/lehrarchiv/pdfs/elektronik/ees05_03.pdf



Bei den derzeitigen Halbleiterchips reicht die Einbeziehung der 5. Harmonischen zur Ermittlung der Bandbreite eines realen Clock-Signals (Trapezform) als Faustformel aus. Allerdings OHNE Taktverteiler!

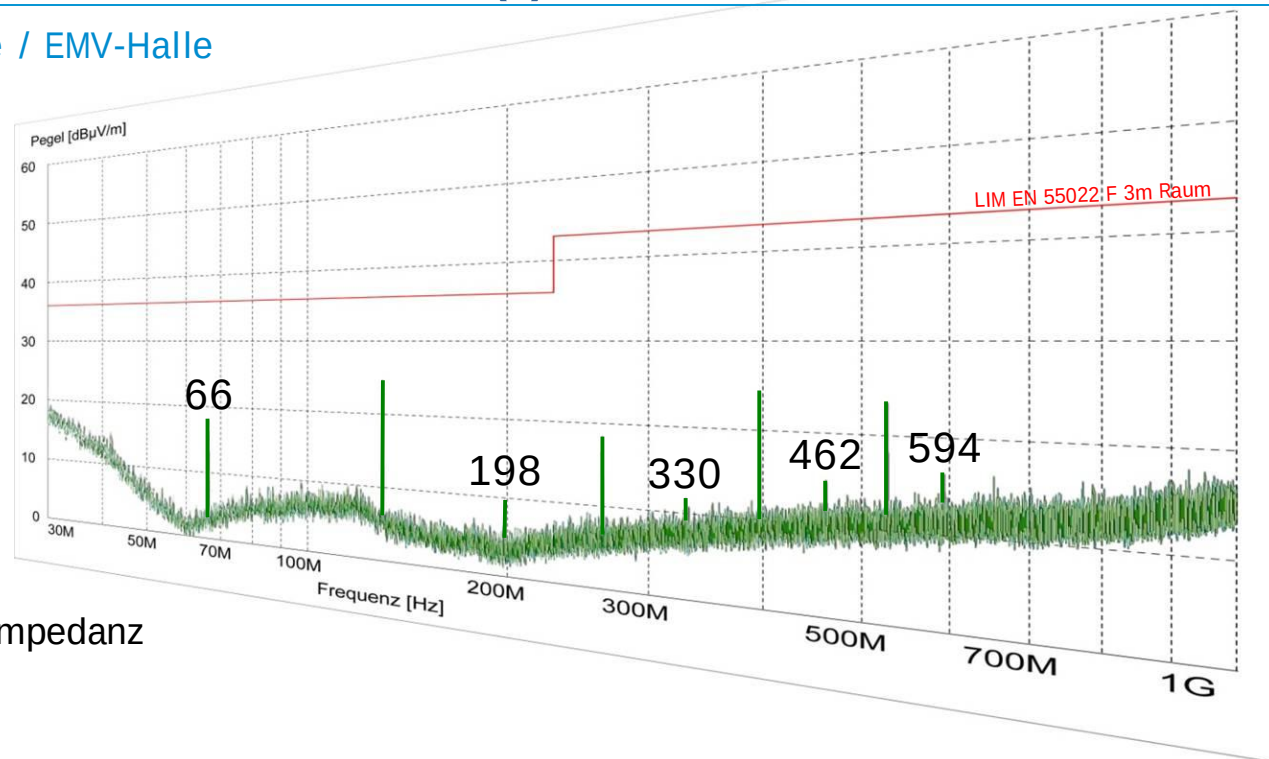
EMV-Prüfhalle

Auswirkung Flankensteilheit (I)

1 Leitung / 12mA Slow-Mode / EMV-Halle

- 1. Harm.: 66 MHz
- 3. Harm.: 198 MHz
- 5. Harm.: 330 MHz
- 7. Harm.: 462 MHz
- 9. Harm.: 594 MHz

— 50 Ohm Treiber-Impedanz



EMV Prüfung meltemi economic (6-Lagen): 1 Leitung, nicht abgeschlossen (offener Stecker J6), mit 66 MHz Clocksignal und der FPGA I/O-Einstellung 12mA Slow-Mode. Das entspricht einer Treiberausgangs-Impedanz von ca. 50 Ohm.

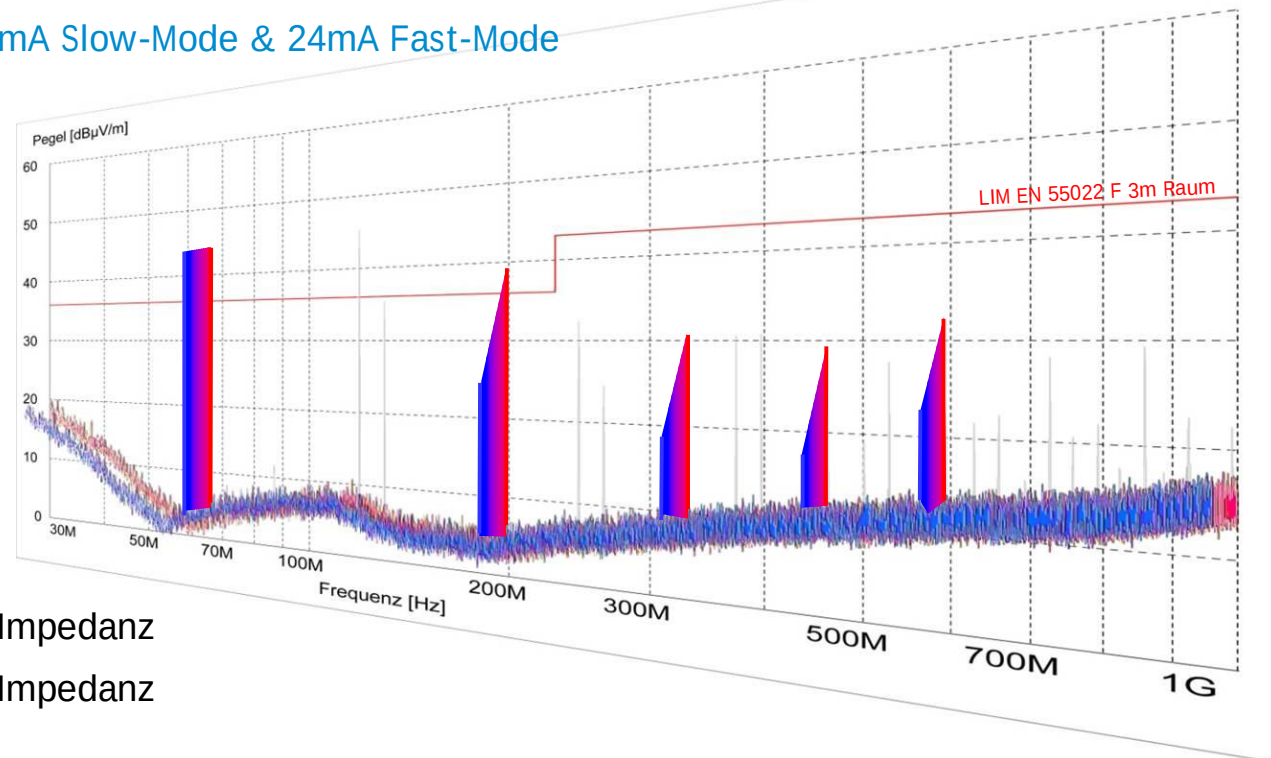
EMV-Prüfhalle

Auswirkung Flankensteilheit (II)

Vergleich: 12 Leitungen, 12mA Slow-Mode & 24mA Fast-Mode

- 1. Harm.: 66 MHz
- 3. Harm.: 198 MHz
- 5. Harm.: 330 MHz
- 7. Harm.: 462 MHz
- 9. Harm.: 594 MHz

— 22 Ohm Treiber-Impedanz
— 50 Ohm Treiber-Impedanz



EMV Prüfung meltemi economic (6 Lagen): Vergleich von 12 Leitungen in Superposition, nicht abgeschlossen, mit 66 MHz Clocksignal mit den FPGA I/O-Einstellungen 24mA (22 Ohm - rot) Fast-Mode und 12mA (50 Ohm - blau) Slow-Mode.

Seitenkanal-Angriff -- Feldemission

Seitenkanal-Angriff

Seitenkanalangriffe versuchen, aus dem Verhalten eines Gerätes während der Kryptografie, auf den verschlüsselten Wert zu schließen. Das Verhalten kann u.a. in Zeit, Cacheoperationen, Fehlern, Leistungsumsatz oder Feldemission untersucht werden.

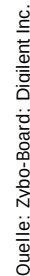
Schwerpunkt Feldemission:

Zur Threadanalyse wird die Feldemission untersucht. Dabei wird die Feldemission mit Oszilloskop, Nahfeldsonde und Messverstärker erfasst, während das Gerät unterschiedliche Eingangsdaten mit dem selben Schlüssel kodiert. Anschließend korreliert ein Statistikwerkzeug diese Daten mit hypothetischen Modellen und extrahiert die wahrscheinlichsten Schlüssel.

.....Zur Identifikation der Emissionsstellen mit einer Nahfeld-Sonde lief die AES-Verschlüsselung in einer Schleife. Gute Kandidaten sind die **Chipfläche und Koppel-Kondensatoren**.....

Quellen-Auszug: Design-Elektronik; Seitenkanalangriff-auf-openthread-153618

Keine Koppel-Kondensatoren;
signifikant verringerte Emissionen



Quelle: Z2-Board; Carstens Medizinelektronik GmbH

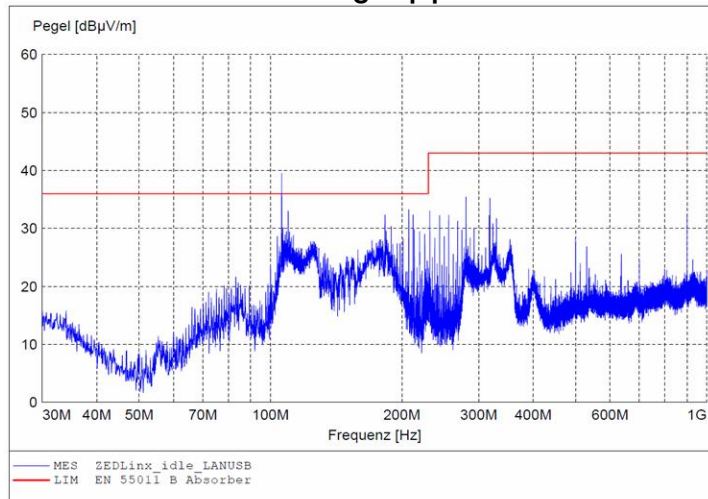
Baugruppe mit speziellem Lagenaufbau

Seitenkanal-Angriff -- Feldemission

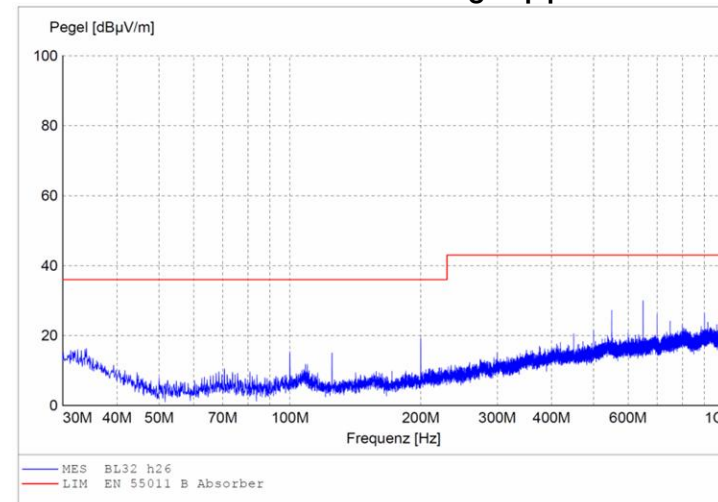
Signifikante Reduktion von Feldemissionen

Der Einsatz von Multilayer-Leiterplatten in Verbindung mit speziellen Lagenaufbauten und breitbandiger Stromversorgungsentkopplung reduziert nicht nur in erheblichem Maße die Feldemissionen sondern gewährleistet zusätzlich eine außergewöhnlich hohe funktionale Stabilität der gesamten Elektronik-Baugruppe. So lässt sich die Fehlersuche fast ausschließlich auf die Software-Implementierung reduzieren.

Standard-Baugruppe



Funktional stabile Baugruppe





3. Abschnitt

**Elektromagnetische und physikalische
Eigenschaften von Highspeed-Baugruppen
in Abhängigkeit von der CAD-Konstruktion**

Anforderungen an Highspeed-Boards/-Baugruppen

Die systematische Konstruktion eines Highspeed-Boards am CAD-System, die kontrollierte Produktion der dazugehörigen Leiterplatten (...und die Bestückung der Baugruppe) gehen Hand in Hand, beeinflussen, begrenzen und fördern sich gegenseitig.

Wichtige Aspekte sind :

Die physikalische Berücksichtigung der Signal- und Powerintegrität

Die Auswahl des Basismaterials

Der Einfluß der Kontaktierungsvariante und der Rückätzung

Der Lagenaufbau von Multilayern

Die Produktionstoleranzen in Richtlinien und Normen



3.1 Physik

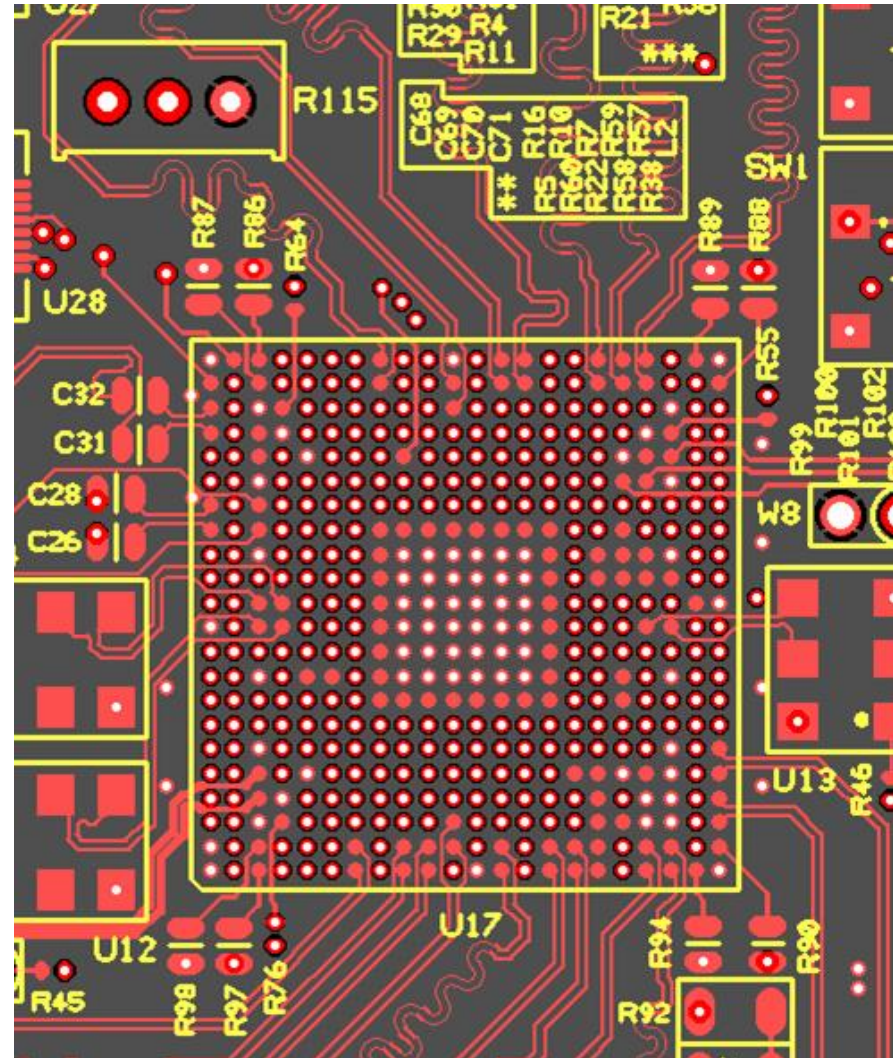
Die physikalische Berücksichtigung
der Signal- und Powerintegrität

Signal- und Powerintegrität

Eigentlich ist es nicht sooo schwierig.

Für den **Signaltransfer** muß der Abstand zwischen den Komponenten mit Leiterbahnen überbrückt werden. Im Idealfall sind die Signalverbindungen über **Leiterbahnen** direkt und kurz geführt.

Für die **Stromversorgung** muß Energie an die Bauteile herangeführt werden. Durch den Einbau von **Powerplanes** im Lagenaufbau eines Multilayers kann die Versorgung der Komponenten mit Energie direkt vor Ort zuverlässig sichergestellt werden.

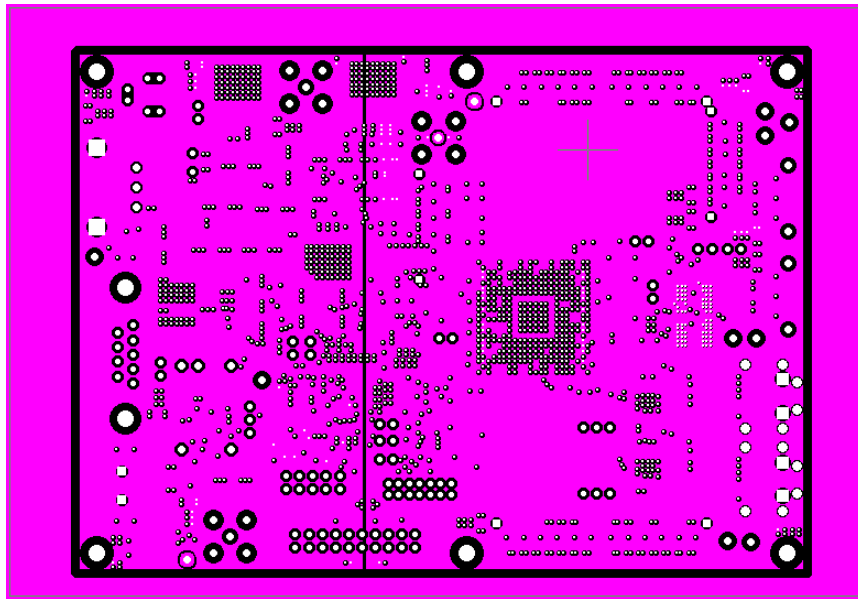


Powerintegrität

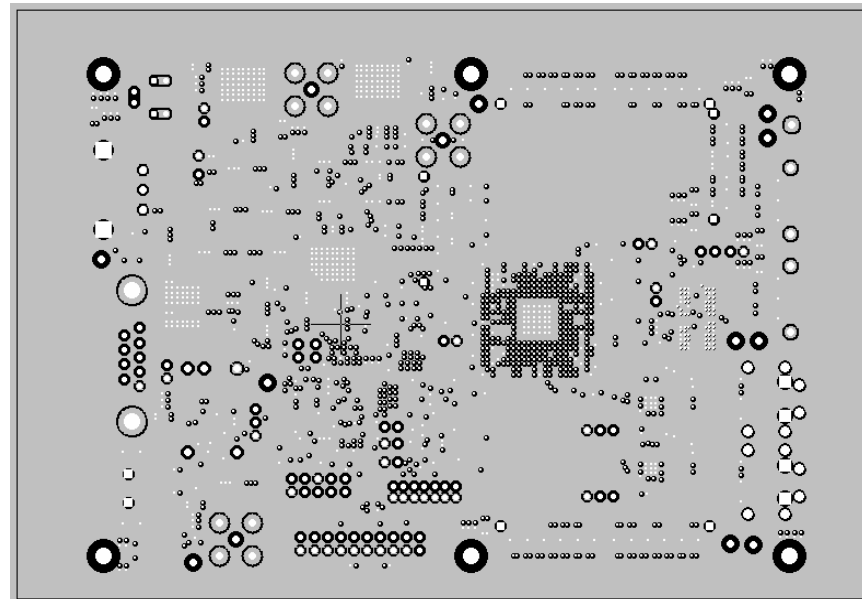
Die **Stromversorgung** auf Highspeed-Boards sollte ganzflächig ausgelegt werden, damit kapazitive Effekte genutzt werden können.

Wegen der Varianten für das VCC-Potential ist die Aufteilung von Flächen kein Optimum, aber oft auch nicht zu vermeiden.

Das Placement der Komponenten hat dann einen großen Einfluß.



VCC



GND

Routing auf Powerplanes

Durch das Einbetten von Signalen ergeben sich aufgesplittete und isolierte Flächen.

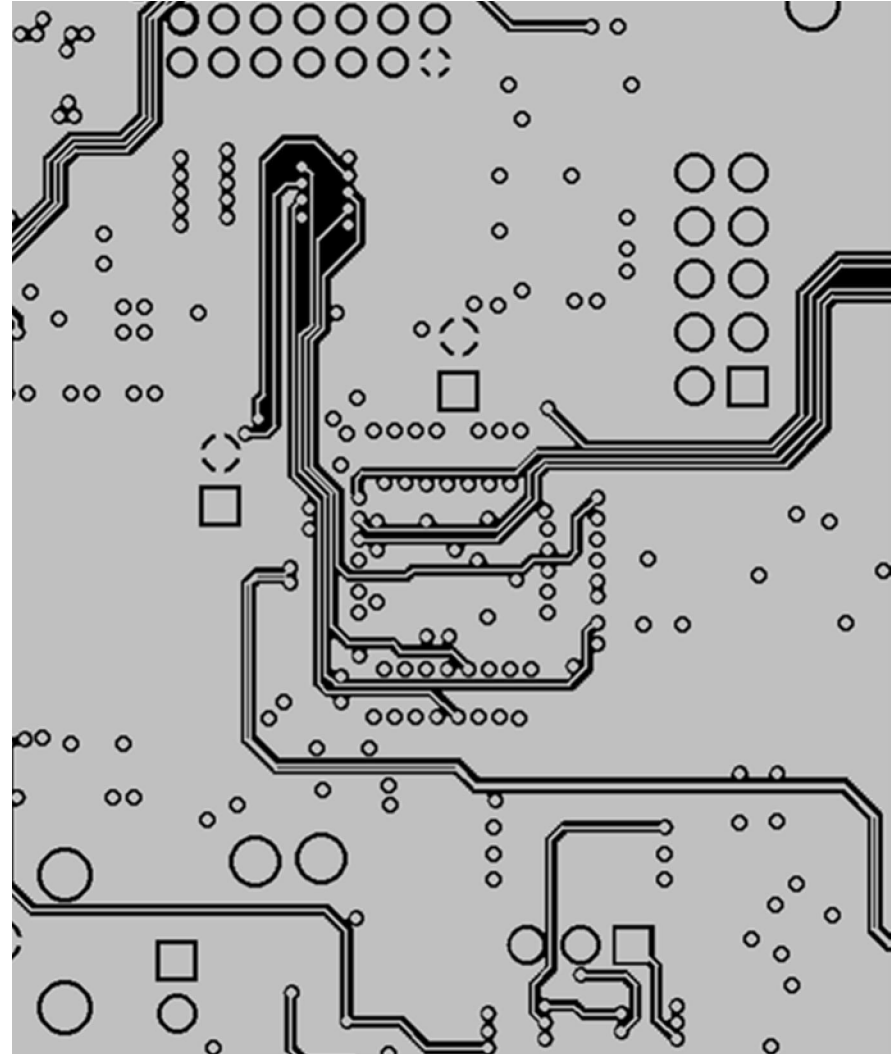
Der Stromfluß und die Rückstromwege sind nicht *kontrolliert* definiert.

Die Impedanzreferenzen sind uneinheitlich.

Es ergeben sich inhomogene Geometrien.

Das CAD-System akzeptiert dieses Routing.

Das ändert aber nichts daran, daß die Einbettung von Signalen in Powerplanes für Highspeed-Boards unzulässig ist.



Anpassung der Signallaufzeit

Unterschiedliche Leitungslängen führen zu unterschiedlichen Signallaufzeiten.

Damit die Datenübertragung synchronisiert werden kann, müssen Leitungslängen im CAD-Layout abgeglichen werden.

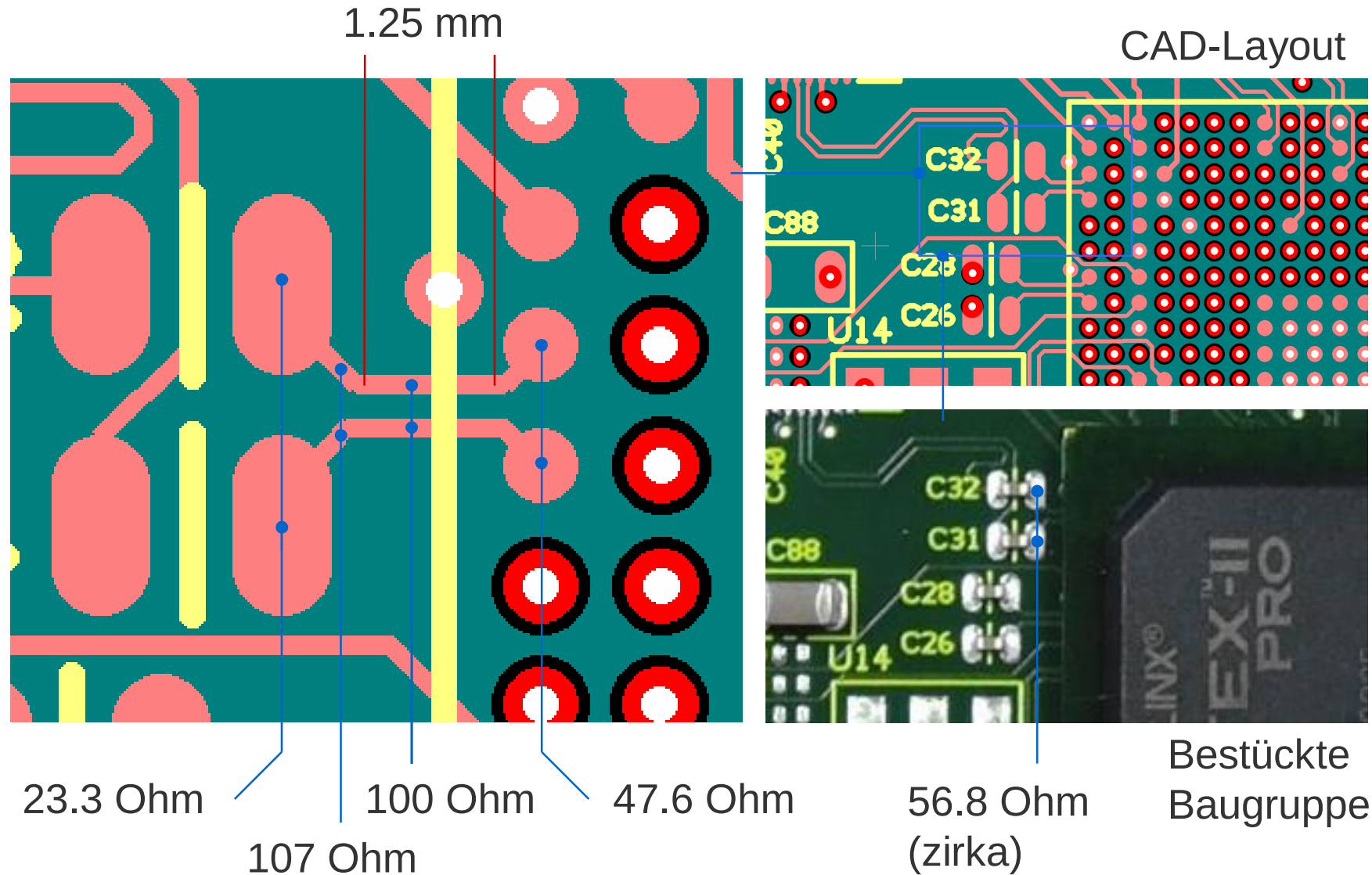
Insbesondere bei differentieller Signalübertragung ist das kaum ohne die CAD-Software umsetzbar.

In den Constraints für den Schaltplan und das Layout muß festgelegt werden, welche Netze auf welchen Layern geroutet werden sollen.



Impedanzberechnung : Layoutgeometrie

Die kurze Führung eines impedanzdefinierten Leiterbildes bringt deutlich abweichende Impedanzwerte im Bereich der Lötflächen.





3.2 Basismaterial

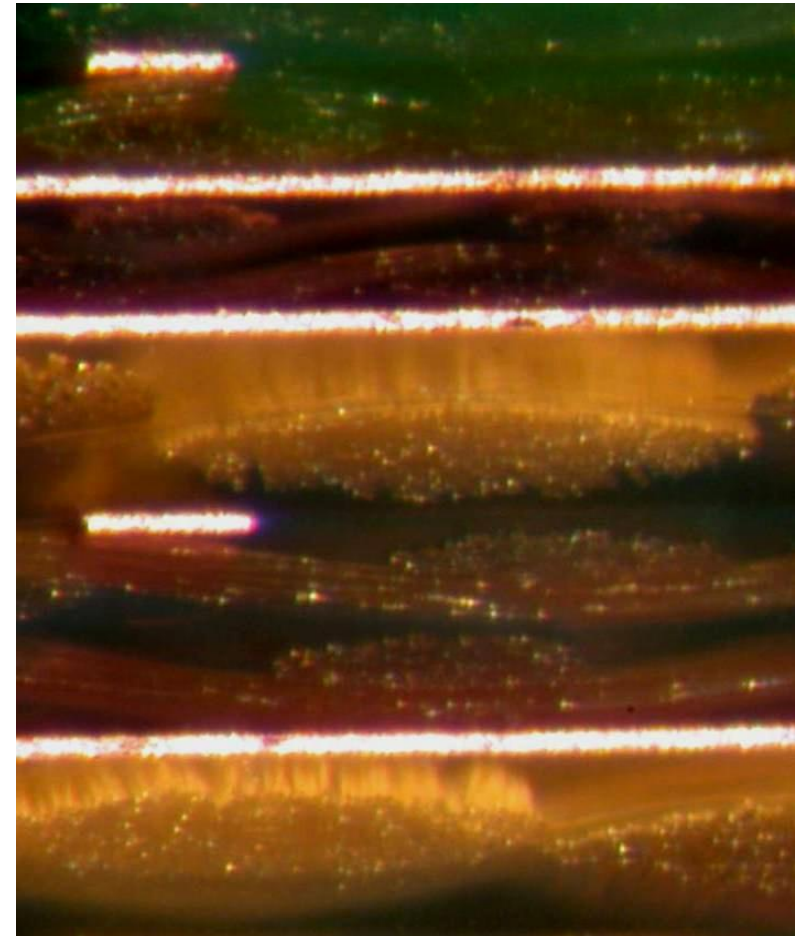
Die Auswahl des Basismaterials
und der Lagenaufbau

Basismaterial / FR4 + Technische Eigenschaften

FR4 ist unverändert das **Standardmaterial** für Leiterplatten und auch für Highspeed geeignet.

Heute müssen einige Werte beachtet werden :

T _g	Glass Transition Temperature
T _d	Decomposition Temperature
T _{288°}	Delaminationswahrscheinlichkeit
CTI	Kriechstromfestigkeit
CTE(x,y,z)	X-, Y-, Z-Achsen-Ausdehnung
H ₂ O	Feuchtigkeitsaufnahme, -abgabe
ε _r	Dielektrikum, Permittivität
tan δ	Verlustfaktor
N/mm	Haftfestigkeit des Kupfers
kV/mm	Durchschlagsfestigkeit



Basismaterial

Welche **Geschwindigkeit** die Signalübertragung auf den Lagen eines Multilayers hat, hängt vom Dielektrikum ab.

Die Anforderung einer Anwendung entscheidet über das einzusetzende Basismaterial.

Beispiel

Das Abstandsradar in LKWs funktioniert nur mit hohen Signalgeschwindigkeiten.

? G5

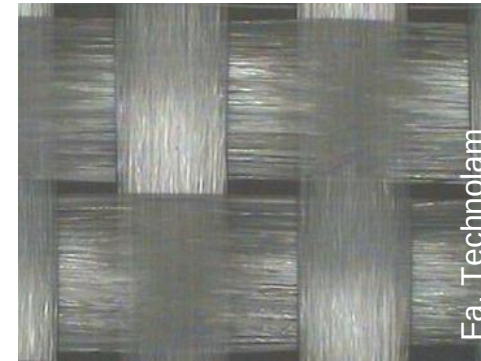
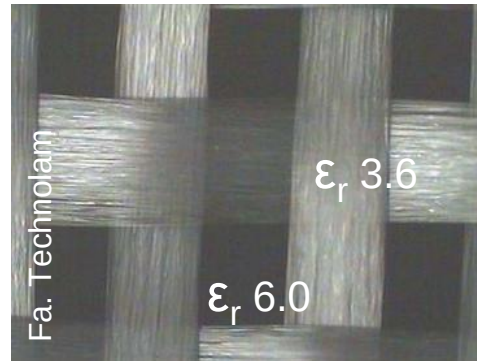
? USB3.2+

Material	Hersteller	Substrat	Tg	ϵ_r (1GHz)	$V_{(sig)}$ [cm/ns]
NP-155f	NanYa	FR4	150	4.10	14.85
Duraver 114	Isola	FR4	150	4.40	14.29
MC100	Matsushita	FR4	125	4.10	14.85
Duraver CE	Isola	CE	230	3.30	16.48
Duramid CE-Cu	Isola	CE	200	3.00	17.44
TMM6	Rogers	Keramik	n.d.	6.20	12.05
TMM10i	Rogers	Keramik	n.d.	10.0	9.49
Ro4003	Rogers	Glas/Keramik	200	3.58	16.13
Ro4350	Rogers	Glas/Keramik	280	3.68	15.62
D5880	Rogers	Teflon/PTFE	n.d.	2.20	20.27
D6002	Rogers	Teflon/PTFE	n.d.	2.94	17.54
D6006	Rogers	Teflon/PTFE	n.d.	6.15	12.10
Ultralam2000	Rogers	Teflon/PTFE	n.d.	2.50	18.99
Duraver P97	Isola	Polyimid/G30	260	4.40	14.29

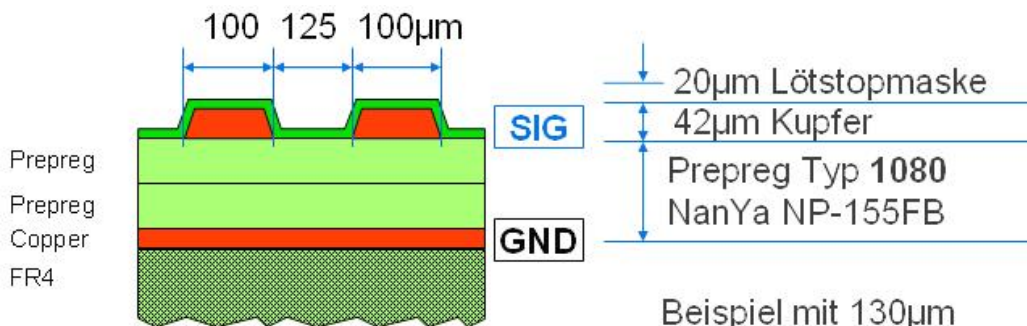
Basismaterial

Die Werte für **differentielle Impedanzen** können wegen der unterschiedlichen dielektrischen Werte für Harz und Glasgewebe sehr stark abweichen.

Glasgewebe können unterschiedliche **Gewebestrukturen** haben (Beispiel : FR4-Prepreg Typ1080).



Bildquelle Technolam



Beispiel mit 130µm
Prepregdicke für den
Typ 1080 MR



Glasgewebe $\epsilon_r \sim 6.0$ bei 1 GHz 89.5 Ohm

Harz $\epsilon_r \sim 3.8$ bei 1 GHz 103.7 Ohm

FR4 ist leistungsfähig.

Die Qualität einer High-speed-Baugruppe hängt aber von der präzisen Auswahl ab.

Die Vielfalt der Materialvarianten erfordert eine rechtzeitige Abstimmung mit dem Hersteller der Leiterplatten.



3.3 Vias und Leiterbilder

Der Einfluß der Kontaktierungsvariante
und der Rückätzung des Leiterbildes

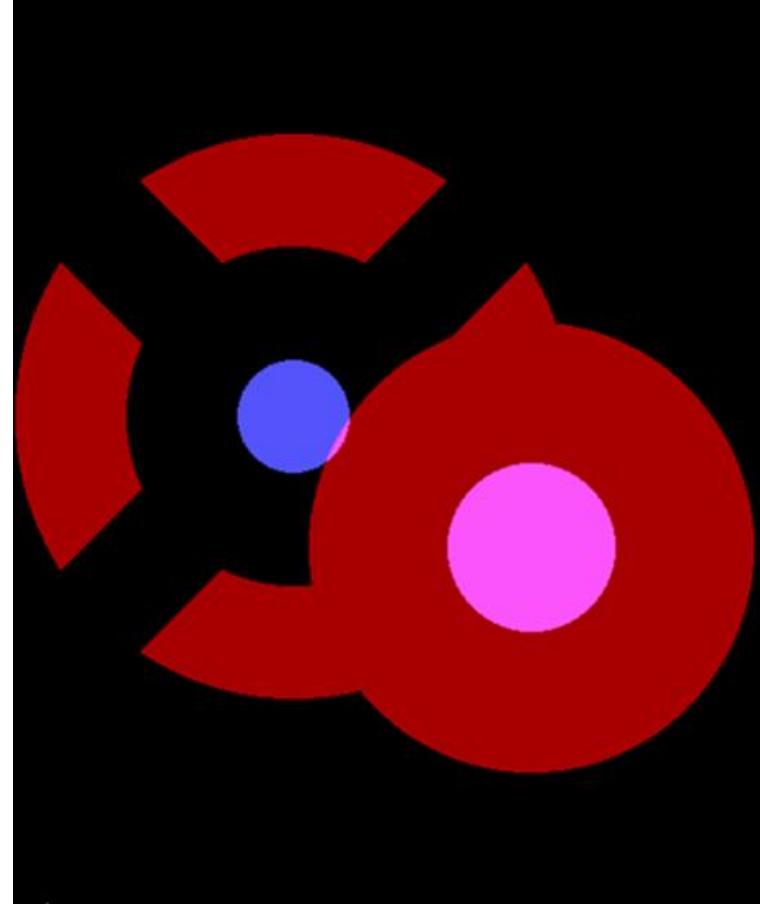
Viadistance

Vias sind für die Signalübertragung immer ein Störfall, allerdings auch nicht zu vermeiden.

In der CAD-Bibliothek müssen die Padstacks beachtet werden und in den Constraints die Parameter für die "viadistance" und "electrical clearance".

Die Toleranzen für die Positionierung der Vias und der Leiterbilder während der Fertigung der Leiterplatten werden sonst nicht ausreichend berücksichtigt.

CAD hat die Aufgabe, Fertigungstoleranzen zu puffern.



Kontaktieren

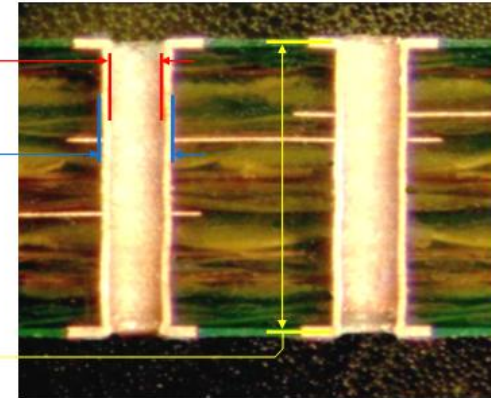
Definition (AspectRatio für Bohrungen)

Das AspectRatio beschreibt das mathematische Verhältnis zwischen dem minimalen Lochdurchmesser und der *galvanisch* kontaktierbaren Hülslenlänge.

Definition (CAD-Tool-Durchmesser)

Der in der CAD-Dokumentation vorgegebene Tool-Durchmesser beschreibt immer den Enddurchmesser auf der fertigen Leiterplatte.

Enddurchmesser
Lochdurchmesser
oder
Bohrdurchmesser
Kontaktierbare Bohrtiefe
oder
Hülslenlänge



Hinweis (Lochdurchmesser)

Bei mechanisch erstellten Bohrungen ist der Lochdurchmesser identisch mit dem Bohrwerkzeugdurchmesser. Bei durch Lasertechnik erstellten Löchern gilt der Durchmesser in Höhe der Startebene.

Regel (AspectRatio für Bohrungen)

$$\text{AspectRatio} = \frac{\text{Lochdurchmesser}_{(\min)}}{\text{Kontaktierbare Bohrtiefe}}$$

Bohrungen : AspectRatio

Mit dem "**AspectRatio für Leiterbilder**" kann der Leiterplattenhersteller das Ergebnis seines Ätzprozesses an das CAD-Design übergeben. Die **Geometrien im Layout** können dann die Prozeßtoleranzen vorausschauend ausgleichen und sowohl die Funktionsfläche (~ Lötfläche) als auch die physikalischen Eigenschaften des Leiterbildes (~ Impedanz) anpassen.

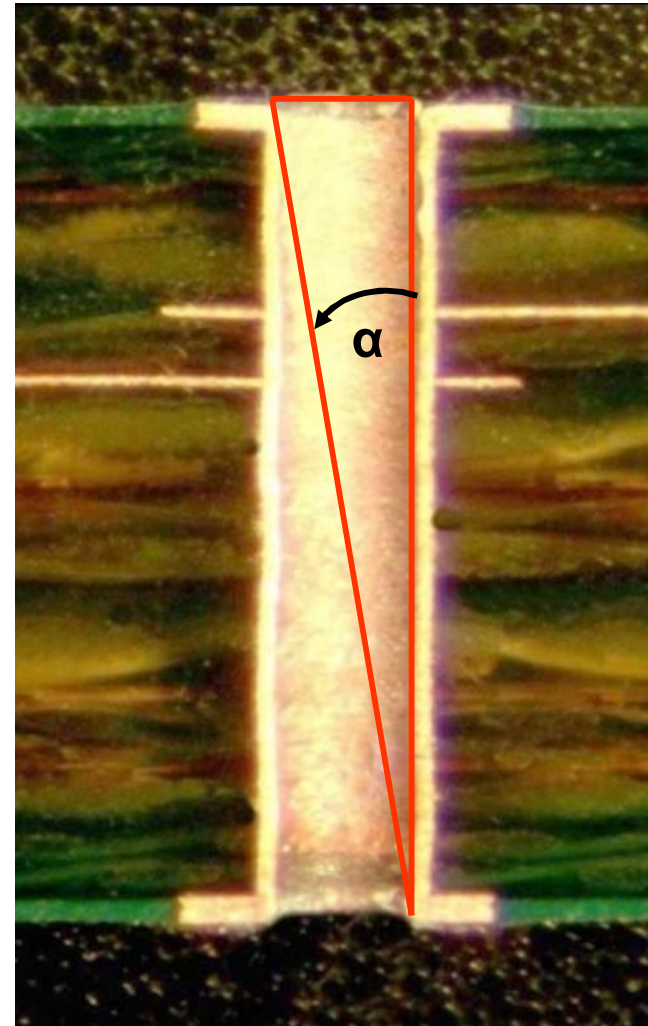
Hinweis (AspectRatio für Bohrungen)

Das "AspectRatio für Bohrungen" ist nichts anderes als der **Tangens** für die akzeptable Diagonale im Via.

Beispiel

$$1:8 = 1/8 = 0.125 \sim \tan(0.125) = 7^\circ$$

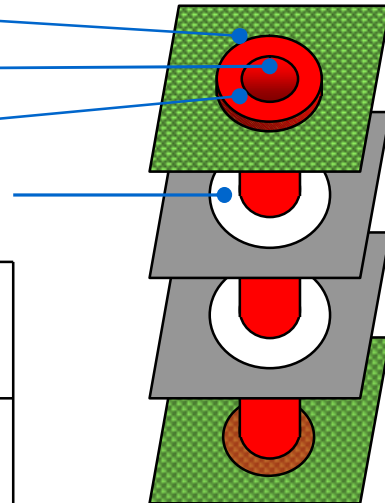
"Ein AspectRatio von 1:8 bedeutet, daß ein Via dann zuverlässig metallisierbar ist, wenn der Winkel der Viadiagonalen zur Viahülse nicht kleiner als 7° ist."



Vias : Physikalische Eigenschaften

Für das Via sind im Padstack der CAD-Bibliothek vorgegeben :

25µm	Hülsenkupferdicke
200µm	Enddurchmesser des Vias
600µm	Paddurchmesser des Vias
1000µm	Isolationspad auf der Innenlage



Vialänge	Kapazität	Impedanz	Induktivität
0.4 mm	0.137 pF	42.47 Ω	0.246 nH
0.6 mm	0.205 pF	45.18 Ω	0.418 nH
0.8 mm	0.273 pF	47.01 Ω	0.604 nH
1.0 mm	0.341 pF	48.38 Ω	0.799 nH
1.2 mm	0.410 pF	49.47 Ω	1.003 nH
1.4 mm	0.478 pF	50.38 Ω	1.213 nH
1.6 mm	0.546 pF	51.15 Ω	1.429 nH
1.8 mm	0.615 pF	51.82 Ω	1.650 nH
2.0 mm	0.683 pF	52.41 Ω	1.876 nH

Padstack in
der Bibliothek
des CAD-
Systems

Referenz
Saturn PCB Design
Toolkit V6.51

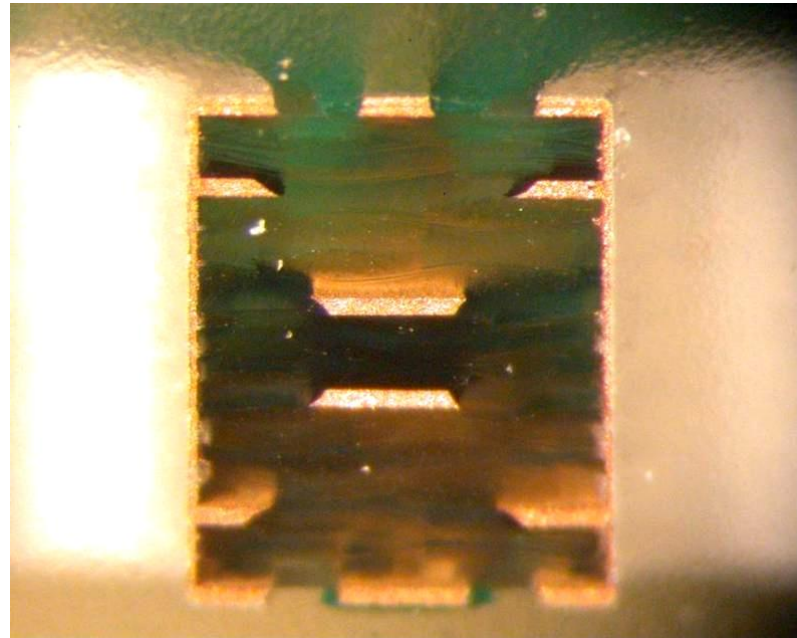
Ätzen

Der Ätzprozeß, insbesondere die **Rückätzung**, bestimmt die Geometrie von Leiterbahnen, Viapads und Kupferflächen.

Es ist *unbedingt* notwendig, die **Querschnittsprofile** der Leiterbilder zu untersuchen und die Geometrie zu definieren.

Erst die Analyse der Geometrien erlaubt die Berechnung der Löt- und **Montageflächen** sowie die vorausschauende Bewertung der Folgen, die sich aus der Rückätzung ergeben.

Dies gilt auch für **Impedanzen**.



Definition (AspectRatio für Leiterbilder)

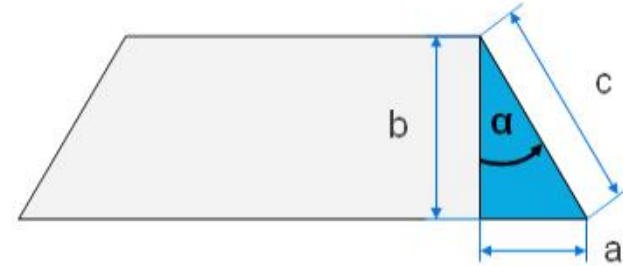
Das AspectRatio beschreibt das mathematische Verhältnis bzw. die Relation zwischen der Unter- und Oberfläche eines Leiterbildes.

Eine Beziehung zwischen diesen Größen kann über die **trigonometrische Definition** des Tanges beschrieben werden.

Ätzen

$$\tan \alpha = \frac{\text{Gegenkathete}}{\text{Ankathete}} = \frac{a}{b}$$

$$\begin{aligned}\text{Ätzfuß} &= \text{Kupferdicke} \cdot \tan \alpha \\ \text{Rückätzung} &= b \cdot \tan \alpha\end{aligned}$$



Mit dem Tangens des Winkels α wird ein mathematischer Zusammenhang zwischen der **Rückätzung** und der Kupferdicke formuliert.

Die Breite des oberen Leiterbildes wird als **Funktionsfläche** bezeichnet.

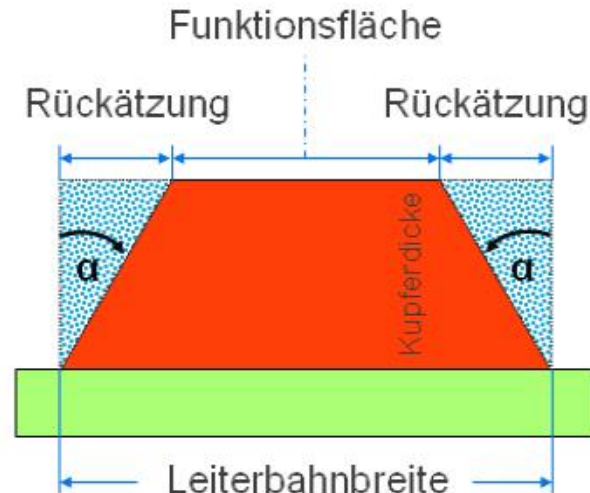
Die Rückätzung ist *ausschließlich* von der Kupferdicke abhängig.

Regel (Rückätzung gesamt)

$$\text{Rückätzung}_{(\text{ges})} = 2 \cdot \text{Kupferdicke} \cdot \tan \alpha$$

Regel (Funktionsfläche)

$$\begin{aligned}\text{Funktionsfläche} &= \text{Leiterbahnbreite} - \text{Rückätzung}_{(\text{ges})} \\ &= \text{Leiterbahnbreite} - 2 \cdot \text{Kupferdicke} \cdot \tan \alpha\end{aligned}$$





3.4 Lagenaufbauten

Strategien für den Aufbau von Multilayern für komplexe elektronische Anwendungen

Signalintegrität

Die **Signalgeschwindigkeit** ist abhängig von den dielektrischen Eigenschaften des Basismaterials.

Alles, was sich innerhalb einer Einflußsphäre mit einem Radius von zirka 150µm bis 200µm um eine Leiterbahn befindet, hat einen signifikanten Einfluß auf die Signalübertragungsqualität.

Das effektive Dielektrikum einer offenen Leiterbahn auf einer FR4-Außenlage liegt bei zirka 2.8, bei einer mit Lötstoplack bedruckten Leiterbahn bei zirka 3.8.

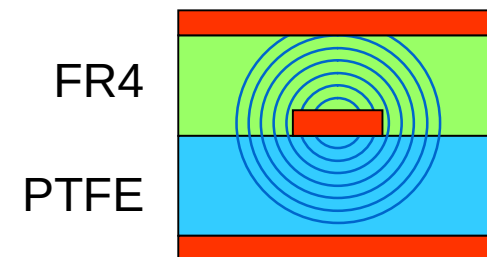
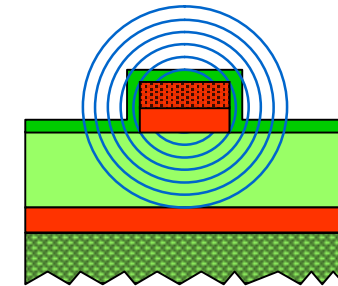
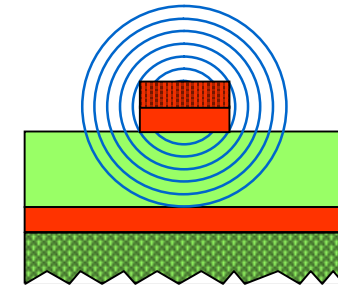
Das effektive Dielektrikum einer innenliegenden Leiterbahn ergibt sich aus den Dielektrika der angrenzenden Materialien.

Die relative Permittivität orientiert sich an der effektiven Permittivität, die sich aus den Geometrien der Lagenaufbaumoduln ergibt.

Für Leiterbahnen auf den Layern ergeben sich unterschiedliche Geschwindigkeiten.

Das CAD-System muß das berücksichtigen.

$$v_{(\text{sig})} = \frac{c}{\sqrt{\epsilon_r}}$$



FR4

PTFE

Multilayer-Dokumentation

Der **Lagenaufbau** für die "Leiterplatte 2010".

Für das BGA mit einer fast belegten Matrix von 25x25 Spalten und Reihen sind maximal 5 **Signallayer** für das Routing erforderlich.

Für **GND** sind 7 Lagen vorgesehen, für **VCC** insgesamt 4 Lagen.

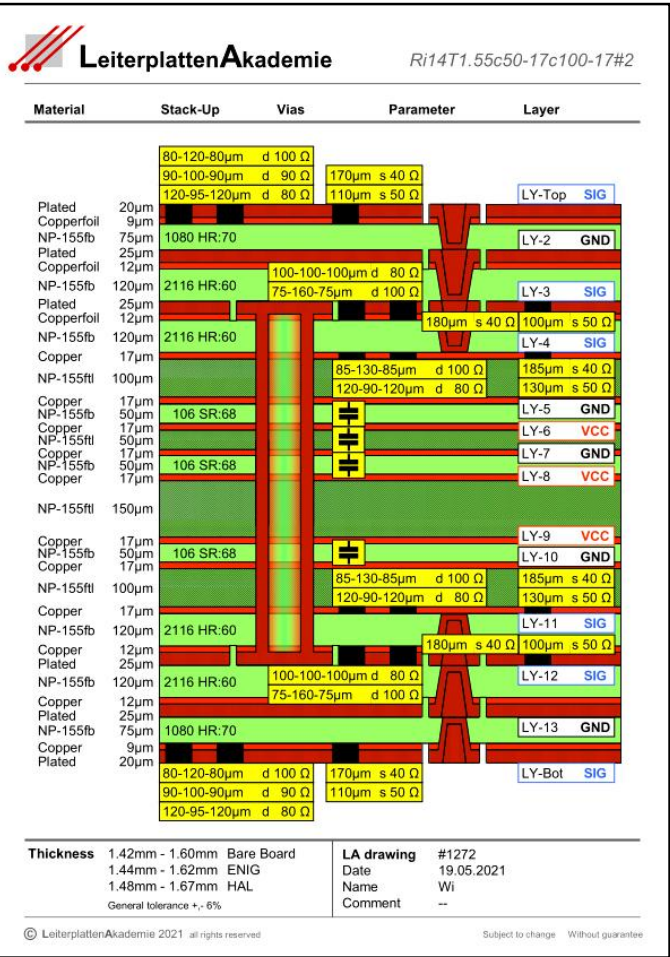
Die GNDs sind so verteilt, daß Impedanzen und Rückströme definiert sind.

Durch die Kombination von 8 GND-VCC-Paaren stehen **interne Kapazitäten** im Multilayer für eine effektive Stromversorgung zur Verfügung.



Multilayer-Dokumentation

Ein Lagenaufbau des Typs "Any Layer" ohne durchgehende Vias.
BuriedVias mit Epoxyd-Plugging. BlindVias mit Copper Filling. Die Geometrien der BlindVias sind im Grenzbereich. Variable Kupferdicken.
Aber : Keine idealen Rückstromwege und Stromversorgungen.



LeiterplattenAkademie

Ri14T1.55c50-17c100-17#2

Plated

20µm

9µm

NP-155fb

75µm

1080 HR:70

Plated

25µm

12µm

NP-155fb

120µm

2116 HR:60

Plated

25µm

12µm

NP-155fb

120µm

2116 HR:60

Copper

17µm

NP-155fb

100µm

Copper

17µm

NP-155fb

50µm

Copper

17µm

NP-155fb

50µm

Copper

17µm

NP-155fb

50µm

Copper

17µm

NP-155fb

150µm

Copper

17µm

NP-155fb

50µm

Copper

17µm

NP-155fb

50µm

Copper

17µm

NP-155fb

100µm

Copper

17µm

NP-155fb

120µm

Copper

12µm

Plated

25µm

NP-155fb

120µm

Copper

12µm

Plated

25µm

NP-155fb

75µm

Copper

9µm

Plated

20µm

LABvc 1-2

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

LABvc 2-3

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

LABvc 3-4

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

DRbup 3-12

Ø CAD 100µm

Ø Drill 200µm

Ø Pad 400µm

LABvc 12-11

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

LABvc 13-12

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

LABvc 14-13

Ø CAD 50µm

Ø Laser 100µm

Ø Pad 350µm

LY-Top

SIG

LY-2

GND

LY-3

SIG

LY-4

SIG

LY-5

GND

LY-6

VCC

LY-7

GND

LY-8

VCC

LY-9

VCC

LY-10

GND

LY-11

SIG

LY-12

SIG

LY-13

GND

LY-Bot

SIG

© LeiterplattenAkademie 2021 all rights reserved

Subject to change Without guarantee



3.5 Toleranzen

Produktionstoleranzen in Richtlinien und Normen

Produktionstoleranzen in Richtlinien und Normen

Normungsgremien

Für das CAD-Design, die Fertigung von Leiterplatten und die Produktion von Baugruppen sind Normen und Richtlinien wichtig.

Weltweit gibt es mehrere Dutzend Gremien, die sich mit *dieser* Aufgabe beschäftigen und mit etlichen Nebenbedingungen, die für Basismaterialien, Lacke, Werkzeuge und, und ... wichtig sind.

Das ist gut so.

Aber : Elektronische Produkte sind heute auf hohem Niveau individuell und variantenreich.

Statische Normen können diese Aufgabe *nicht erfüllen*.

LP-Akademie		Normungsgremien	20.03.2019
Abkuerzung	Organisation		
AFNOR	Association Francais de Normalisation		
ANSI	American National Standards Institute		
AS	Australia Standards		
ASTM	American Society for Testing and Materials		
CECC	Cenelec Electronic Components Committee		
CNS	Chinese National Standards		
CSA	Canadian Standards Association		
DANSK	Dansk Standard		
DGO	Deutsche Gesellschaft fuer Galvano- und Oberflaechentechnik		
DIN	Deutsches Institut fuer Normierung		
DIN/EN	Aus dem Europaeischen Recht uebernommene DIN-Norm		
DIN/ISO	Aus dem ISO-Regelwerk uebernommene DIN-Norm		
DIS	Draft International Standard		
DVS	Deutscher Verband fuer Schweissen und verwandte Verfahren		
Delphi	Delphi		
EIA	Electronic Industries Alliance		
EIPC	European Institut for the PCB Community		
EN	European Standards		
GOST	Gosstandart		
ICAO	International Civil Aviation Organization		
IEC	International Electrotechnical Commission		
IEEE	Institute of Electrical and Electronics Engineers		
IPC	Institute for Interconnecting and Packaging Electronic Circuit		
ISA	Instrumentation Systems and Automation Society		
ISO	International Organization for Standardization		
ITU	International Telecommunication Union		
JASO	Japanese Automobile Standards Organization		
JEDEC	Joint Electron Device Engineering Council		
JSA	Japanese Standards Association		
KS	Korea Standard		
LN	Luftfahrt Normen		
LST	Lithuania Bureau of Standards		
MIL	Military Specifications		
NEMA	National Electrical Manufacturers Association		
NF	Normalisation de Francaise		
RAL	Deutsches Institut fuer Guetesicherung und Kennzeichnung		
RAL	(alt) : Reichsausschuss fuer Lieferbedingungen		
SABS	South African Bureau of Standards		
SAE	Society of Automotive Engineers		
SASO	Saudi Arabian Standards Organization		
SFS	Finlands Standardiserings Kommission		
SNV	Schweizer Normenvereinigung		
SNZ	New Zealand Standards		
SS	Singapore Standard		
--- Normungsgremien -----			
Seite 1			

Produktionstoleranzen in Richtlinien und Normen

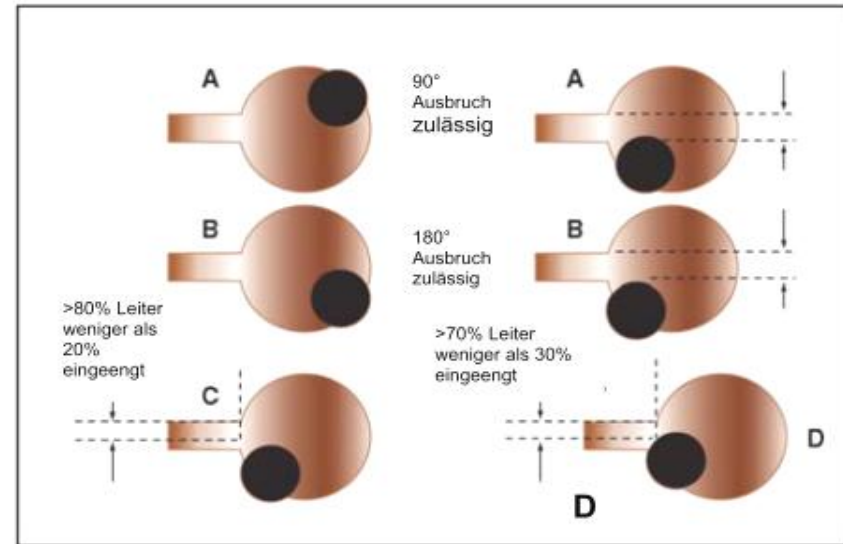
Beispiel aus der IPC A-600 : Versatz des Vias zum Leiterbild.

Klasse 2 ist typisch für Produkte im Bereich der Industrieelektronik. Standardseitig akzeptiert IPC, wenn Bohrungen außerhalb des Pads liegen (... das betrifft eigentlich aber nur Vias).

Es wird nicht bedacht, daß Vias und Pads in der CAD-Bibliothek als **komplexe Padstacks** definiert sind, denen auch eine Isolation auf Powerplanes zugeordnet ist.

Die hier akzeptierte Toleranz gestattet Unterschreitungen des Isolationsabstandes auf den Powerplanes.

Das ist **fahrlässig** und folglich inakzeptabel.



Zulässig – Klasse 2

- Ausbruch von maximal 90° (A).
- Wenn der Ausbruch an der Verbindungsstelle der Leiterbahn zur Anschlussstelle auftritt, darf die Leiterbahn um maximal 20% der Mindestleiterbreite reduziert sein, die in der technischen Zeichnung oder dem Nennwert des Fertigungsmasters festgelegt ist. Die Verbindung der Leiterbahn sollte nicht weniger als 0,05 mm [0,0020 in] oder die Mindestleiterbreite sein (der kleinere Wert gilt.). (C)
- Minimaler Seitenabstand zwischen den Leitern ist eingehalten.

Bildquelle IPC A-600

Kontrovers : Statik und Dynamik

Für den CAD-Designer, den Leiterplattenhersteller und den Baugruppenproduzenten stellt sich die Forderung nach dynamischen, projektbezogenen und einsatzabhängigen Toleranzen, die individuell und zeitnah zur Verfügung stehen müssen.

Ein statisches Regelwerk mit unüberschaubaren Verknüpfungen zu begleitenden Regelwerken ist unübersichtlich, provoziert Fehler und führt zu unangenehmen Risiken.

► Wir müssen handeln.

LP-Akademie		Auftrag	3966
L E I T E R P L A T T E N P R O D U K T I O N			
	■ Toleranz Pruefen	: +3ym -8ym Leiterbild der Aussenlage : Kurzschlusse, Kratzer und Unterbrechungen	
OFT 13 F-306	1.TFG Innenlagen	: Fotoresist strippen	
	Strpgeschwindigkeit	: _____ (m/min)	
	Gemessene Cu-Dicke	: _____ (ym) Kupfer	
QP 14 F-310	1.TFG AOI-Test	: Innenlagen pruefen	
	Fehlerkennung Entwerten	: Schwarz markieren : Leiterbahnbuendel durchtrennen	
	Richtlinie	: ISW-Standard	
	■ Toleranz Pruefen	: +8ym -8ym Leiterbildstruktur : AOI-Test gegen Referenzdaten (Gerber Keine Kurzschlusse/Unterbrechungen	
MLT 15 F-315	1.TFG Innenlagen	: Stanzen	
	Richtlinie	: ISW-Standard	
	■ Toleranz Pruefen	: +15ym -15ym Stanzgenauigkeit : Positionierung der Stanzposition mit Bezug zur Passmarkierung	
MLT 16 F-314	1.TFG Innenlagen	: Zusammenlegen vor dem Verpressen	
	Richtlinie	: ISW-Standard	
	■ Toleranz Pruefen	: +20ym -20ym Passung im Presswerkzeug : Stanzaufnahme auf der Innenlage	
MLT 17 F-320	1.TFG Innenlagen	: Verpressen (Teilmultilayer)	
	Werkzeugaufbau	: _____	
	ML-Pressse	: _____	
	ML-Pressprogramm	: _____	
	Richtlinie	: ISW-Standard	
	■ Toleranz Pruefen	: +25ym -25ym Lagenversatz : Passgenauigkeit	
BFT 18 F-340	1.TFG Umsaeumen	: Rand/Grat entfernen	



4. Abschnitt

Hinweise zum Design-Ablauf

Umstieg auf 32-Bit und 64-Bit Mikrokontroller

Firmen wie NXP und STM, beispielsweise, haben eine derartige Vielfalt an Mikrokontrollern im Portfolio, dass Kunden für die Auswahl des geeigneten Controllers mit den gewünschten Eigenschaften eigene Abteilungen mit der Sichtung und Bewertung, sowie dem Aufbau von Know-How beauftragt und eingerichtet haben.

Es genügt daher nicht, 8-Bit Mikrokontroller einfach durch leistungsfähigere 32-Bit Varianten zu ersetzen. Vielmehr muss das vorhandene Platinen-Layout entweder signifikant überarbeitet oder komplett neugestaltet werden.

Für viele Unternehmen ist das ohne externe Expertenhilfe in der gewünschten kurzen Zeit nicht realistisch umzusetzen.

Design-Ablauf

Board-Entwicklung (1/2)

- ❖ Projektplanung
 - Funktionen definieren und optimieren
 - Pflichtenheft
- ❖ Design-Beginn
 - Bauelemente-Auswahl (EMV-freundliche Logikfamilien -- Vermeidungsprinzip)
 - Prüfen auf Lieferbarkeit und Second Source
- ❖ Schaltplan
 - Hierarchisches Design
 - Tabellen und Grafiken (z.B. Lagenaufbau und Anzahl der benötigten Spannungen)
 - Zusammenfassung nach Funktionsgruppen, Regeln für das Layout
 - Dokumentation mit umfangreichen Textfeldern innerhalb der Schaltpläne
- ❖ Lagenaufbau
 - Spannungen festlegen, Grobsegmentierung der Spannungslagen
 - Abstimmung mit dem Leiterplattenhersteller bzw. der Leiterplattenakademie

Design-Ablauf

Board-Entwicklung (2/2)

❖ Layout

- Designregeln (Impedanzen)
- Lagenaufbau im Detail
- Platzieren und Routen
- Abstimmung mit dem Leiterplattenhersteller bzw. der Leiterplattenakademie
- Abstimmung mit dem Baugruppenproduzenten
- Erstellung der CAM-Daten

❖ Produktionsdaten

- Abstimmung mit dem Leiterplattenhersteller bzw. der Leiterplattenakademie
- Abstimmung mit dem Baugruppenproduzenten



Vielen Dank für Ihr Interesse.

Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigersreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach.
Aber alles Einfache ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas
et respice finem.

Äsop

Informationen zur Dirks Compliance Consulting

Nils Dirks

Nils Dirks ist Inhaber der 1993 von ihm gegründeten Dirks Compliance Consulting.

Er brachte 1992 das PowerIntegrity-Tool Silent® auf den Markt. Kurz darauf gründete er die Veranstaltungsreihe EMV-Praxis®, um die Verfügbarkeit der erfolgreichen EMV-Seminare zu verbessern.



Leidenschaftlich erforscht er EMV-Phänomene in seinem eigenen Labor mit modernster Mess- und Simulationstechnik. Aus diesem Verständnis entwickelt er Lösungen für Ihre EMV-Probleme.

Von dem kumulierten Know-how aus über vier Jahrzehnten profitieren seine namhaften Kunden in Seminaren und Beratungen. Er schätzt die direkte Zusammenarbeit mit seinen Kunden bei der Lösung schwieriger EMV-Probleme. Aus seiner Arbeit gingen viele Veröffentlichungen hervor.

Informationen zu unitel

Gerhard Eigelsreiter

Ihr Vortragender



Gerhard Eigelsreiter

Entwirft seit 1972 μ P-System-Hardware. Fundierte Praxis im Schaltungsentwurf mit CPUs, MPUs und FPGAs bildete die Basis zur Entwicklung von High-Speed Embedded-Hardware mit besten EMV Eigenschaften und außergewöhnlicher Stabilität.

eMail g.eigelsreiter@unitel.at

Publikationen

Sonderheft:
Die Leiterplatte 2005

Serie & Sonderheft:
Die Leiterplatte 2010



Informationen zur

LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



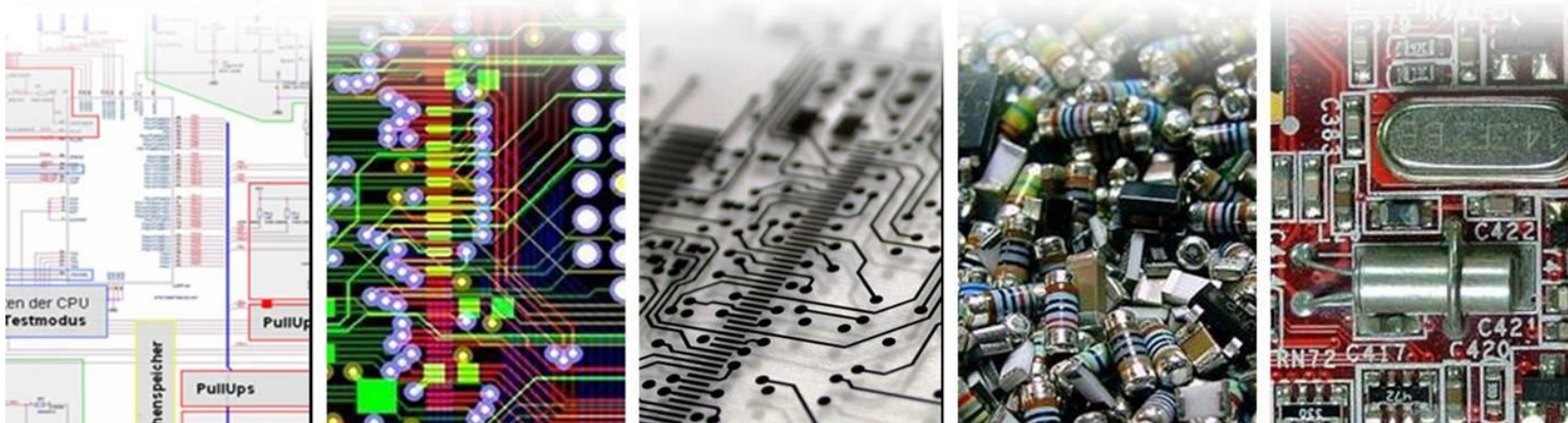
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppententechnologie.

Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.

Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.

Aktives Mitglied im AK-Design des ZVEI.

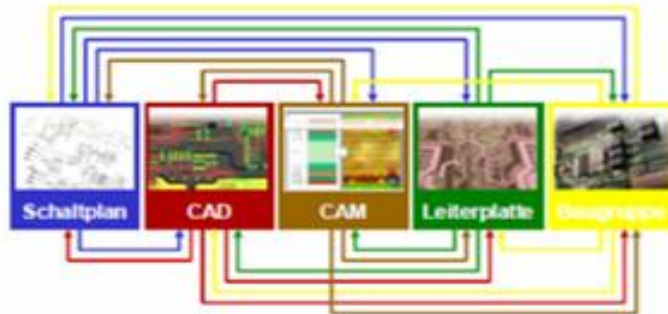
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.



Herzlich willkommen bei der LeiterplattenAkademie!

Analysen - Projekte - Schulungen

Leiterplatten sind die Brücke zwischen dem virtuellen Schaltungskonzept und der realen Baugruppe. Die Evolution der elektronischen Baugruppen ist ohne die Leistungsfähigkeit der modernen Leiterplattentechnologie undenkbar. Die erforderliche Wissensbasis für das Design eines fachgerechten CAD-Layouts ist allerdings beträchtlich.



Wichtige Entscheidungen müssen bereits während der Diskussion des Schaltplankonzeptes getroffen werden. Das erfordert detaillierte Kompetenz. Die Auswirkungen von Basismaterial auf die Lagenaufbaukonstruktion und die Baugruppenfertigung müssen deshalb bereits im Vorfeld transparent definiert sein.

Die Lösung dieser Aufgabe besteht in der Konstruktion von Multilayersystemen. Die verbindliche Dokumentation macht die technischen, physikalischen und wirtschaftlichen Eigenschaften eines Projektes vorhersagbar.

Wir werden die Inhalte unserer Homepage stetig weiterentwickeln, um Ihnen Informationen und Lösungen für Ihre alltägliche Arbeit anbieten zu können.

LA - LeiterplattenAkademie GmbH

Unser Beitrag zur
Eindämmung des
Coronavirus:

Aus aktuellem Anlass
finden zunächst bis
Ende Juni 2020
keine Schulungen statt.



[HOME](#) | [LOGIN LIZENZSERVER](#) | [ABONNEMENTS](#) | [ÜBER UNS](#) | [IHR AUTOR](#) | [FAQ](#) | [NEWSLETTER](#)

Herzlich Willkommen auf unserem Portal.

Wir bieten Ihnen Kompetenz, Information und Ausbildung zu den Themenfeldern CAD-Designregeln, Leiterplattentechnologie und Baugruppenproduktion, getreu unserem Motto "Lernen – Wissen – Handeln".

Unter **Abonnements** und **FAQ** erfahren Sie, welche Leistungen wir Ihnen zur Verfügung stellen und welche Kosten entstehen.

Mit dem **Login** auf unseren Lizenzserver erhalten Sie Zugang zu den Seminarunterlagen, Bauplänen, Design-Regeln, Fertigungsabläufen und Spezifikationen.

Der Link "**LeiterplattenAkademie**" führt Sie zur Homepage unseres Partners, der LA – LeiterplattenAkademie GmbH.

Sie können dort als Präsenz oder Online freie Seminare und InHouse-Schulungen buchen.

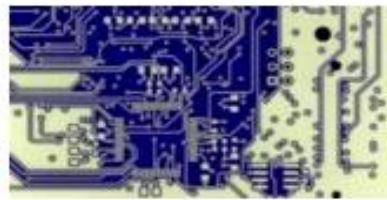
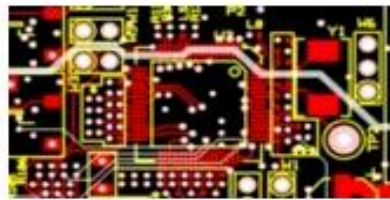
Danke für Ihr Interesse.

Arnold Wiemers

```

S TXBVG="CHT10(REFB,BVG)
S TXBGE="CHT03(REFB,BGE)
LIST35 : Datenbank : Verzeichnis zeigen
S GLB=SE(TXBTY_LER,1,16) " " SE(TXBWR
S N=N+1,"VRZ01(TTY,N)=" " SE(GLB_LER,1,
S "PRK01(TTY,N)+BTY_" " BWR_" " BVG_"
G LIST34
PLZG : Projektliste zu Bauteiltypen erst
KILL BTXT S AN-"",A="PRK01(TTY,VZNR)
S BTY=SP(A,"",1),BWR=SP(A,"",2),BVG=

```



Software

CAD

Leiterplatte

Baugruppe



© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers.
Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne
schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht
zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Technischer Direktor

Arnold Wiemers

Telefon 030 / 34 35 18 99

Telefax 030 / 34 35 19 02

Telefon 0171 / 358 3712

Telefax 0531 / 126441

eMail

info@leiterplattenakademie.de

eMail

awi@leiterplattenakademie.de

