

Arnold Wiemers

Dokumentation und Spezifikation von Leiterplatten



LeiterplattenAkademie





Vorwort



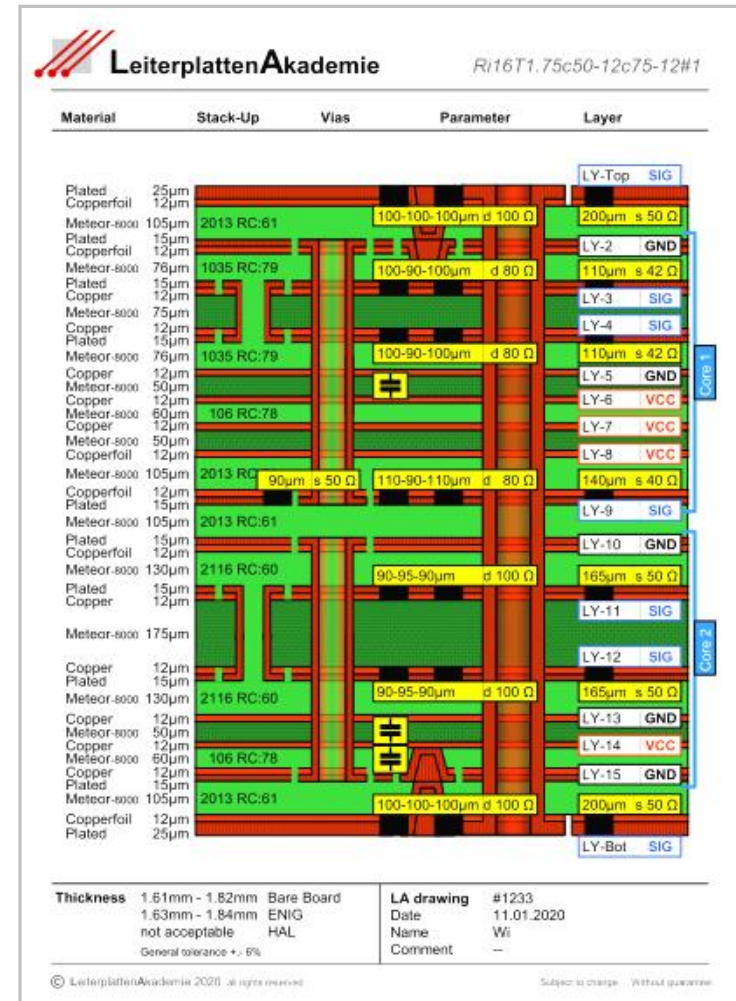
Entrée 2

Welche Aufgabe hat eine Leiterplatte ?

Leiterplatten sind Trag- und Montageflächen für die elektromechanischen Komponenten einer Baugruppen. Die während des CAD-Layouts konstruierten Leiterbahnverbindungen sorgen für den kommunikativen Signaltransfer, die Powerverbindungen für die Versorgung der Komponenten mit Energie.

- ▶ Das Dielektrikum des Basismaterials bestimmt die Signallaufzeit.
- ▶ Die Dicken der Kupferschichten sind verantwortlich für die Stromtragfähigkeit und die Entwärmungskapazität.
- ▶ Flächige Powerplanes sind Referenz für den Signalrückstrom und die Impedanz, nivellieren die Betriebswärme, verbessern die Funktion der Hardware *und* Software und erhöhen die Lebensdauer der Baugruppe.

Das ist eigentlich schon alles.





Dokumentation

Dokumentation des Bauplans 1

Wann sollte ein Bauplan erstellt werden ?

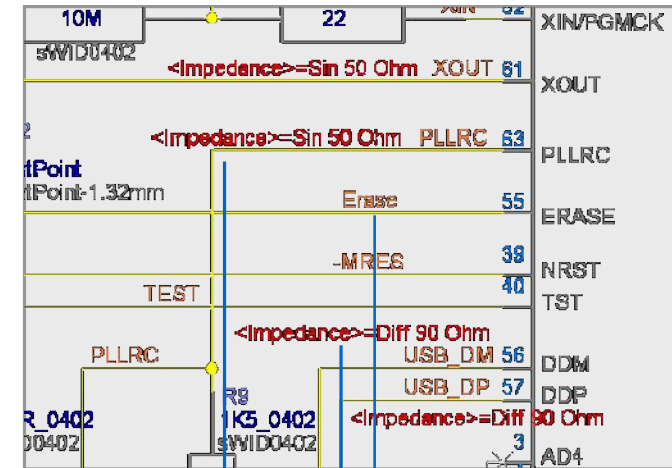
Die möglichst umfangreiche Simulation einer Schaltung *noch vor* der Erstellung des CAD-Layouts reduziert die Wahrscheinlichkeit einer Revision und eines Zeitverlusts.

Eine Schaltplan- und CAD-Layout-Korrektur inklusive neuer Leiterplatten- und Baugruppenmuster provoziert Kosten und verzögert den Marktzugang.

► Idealerweise liegt der Bauplan bereits zum Zeitpunkt der Schaltungssimulation vor.

Ist das Basismaterial bekannt, dann sind der ϵ_r -Wert für die Simulation der Signallaufzeit und das $\tan \delta$ für den Verlust an Signalübertragungsenergie bekannt.

Die vorzeitige Zuordnung von GND, VCC und SIG erlaubt in den Constraints bereits die Layervorgabe für kritische Signale (...Clock, USB, RAM, Steuersignale, Sensorik...).



LeiterplattenAkademie

Ri10T1.60c100-17c250-17#1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm			LY-Top SIG EM
Copper	17µm			
NP-155fb	50µm		100-125-100µm d 100 Ω	200µm s 50 Ω
NP-155fb	70µm		10-100-110µm d 90 Ω	
Copper	17µm			LY-2 GND
NP-155fb	100µm			
Copper	17µm			LY-3 VCC
NP-155fb	70µm		15-100-115µm d 90 Ω	
NP-155fb	70µm		100-140-100µm d 100 Ω	155µm s 50 Ω
Copper	17µm			LY-4 SIG
NP-155fb	250µm	DRth 1-10		
Copper	17µm			LY-5 SIG
NP-155fb	70µm		100-140-100µm d 100 Ω	155µm s 50 Ω
NP-155fb	70µm		115-100-115µm d 90 Ω	
Copper	17µm			LY-6 GND
NP-155fb	250µm			
Copper	17µm			
NP-155fb	70µm		100-100-100µm d 90 Ω	
Copper	17µm		100-155-100µm d 100 Ω	140µm s 50 Ω
NP-155fb	70µm			LY-7 SIG
NP-155fb	100µm			
Copper	17µm			LY-8 VCC
NP-155fb	70µm			
NP-155fb	100µm			
Copper	17µm			LY-9 GND
NP-155fb	70µm		110-100-110µm d 90 Ω	
NP-155fb	50µm		100-125-100µm d 100 Ω	200µm s 50 Ω
Plated	25µm			LY-Bot SIG

Thickness	1.44mm - 1.62mm Bare Board
	1.52mm - 1.71mm ENIG
	1.55mm - 1.75mm HAL
	General tolerance +/- 6%

LA-Drawing	#1038
Date	24.02.2011
Name	Wi
Comment	--

© LeiterplattenAkademie 2011 all rights reserved

Dokumentation des Bauplans 2

Wer sollte den Bauplan erstellen ?

Die Erstellung eines Bauplans ist letztlich eine *kommunikative* Aufgabensstellung für die Technologen, den Leiterplattenhersteller, den Baugruppenproduzenten und die wirtschaftlichen Disponenten.

- Die physikalische Funktion der Baugruppe steht im Vordergrund.

Eine erfolgreiche wirtschaftliche Effektivität und ein positives Image für das Unternehmen leistet eine Leiterplatte dann, wenn sie die Physik als Partner respektiert.

- Die Projektierung des Bauplans für eine Leiterplatte liegt in den Händen der Technologen.

Die Technologen müssen vorgeben, welche technischen Parameter das Basismaterial erfüllen muß, welche Geometrien umgesetzt werden müssen und welche Kontaktierungsstrategie erforderlich sein wird. *Geht das ?*

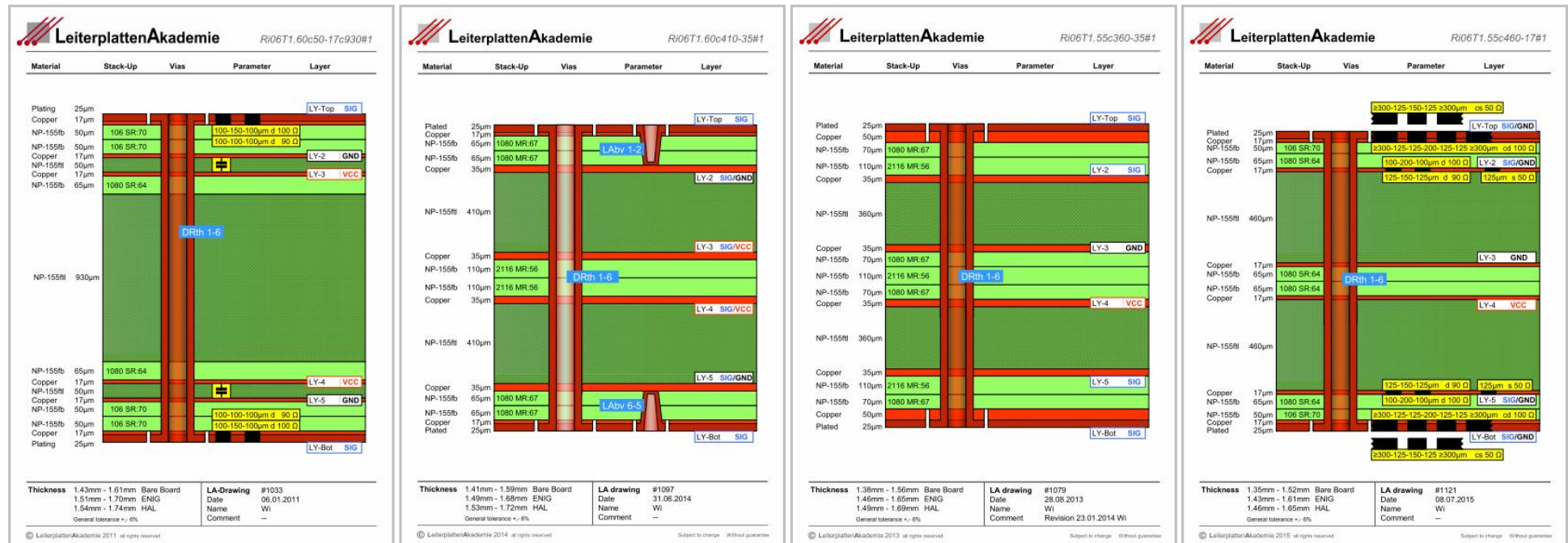
LeiterplattenAkademie					Ri14T2.35c150-17c150-70#1	
Material	Stack-Up	Vias	Parameter	Layer		
Plated	25µm		100-100-100µm d 100 Ω	LY-Top	SIG	
Copper	17µm					
R-1650D	74µm	1080 SR-64	100-190-100µm d 120 Ω	250µm ± 50 Ω		
R-1650D	74µm	1080 SR-64				
Copper	17µm			LY-2	GND	
R-1755D	150µm					
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω		
R-1650D	74µm	1080 SR-64		LY-3	SIG	
R-1650D	74µm	1080 SR-64				
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω		
R-1755D	150µm					
Copper	17µm			LY-5	GND	
R-1650D	74µm	1080 SR-64				
R-1650D	74µm	1080 SR-64				
Copper	70µm			LY-6	VCC	
R-1755D	150µm		DRth 1-14			
Copper	70µm			LY-7	GND	
R-1650D	74µm	1080 SR-64				
R-1650D	74µm	1080 SR-64	100-130-100µm d 100 Ω	170µm ± 50 Ω		
Copper	17µm			LY-8	SIG	
R-1755D	150µm					
Copper	17µm			LY-9	SIG	
R-1650D	74µm	1080 SR-64	100-130-100µm d 100 Ω	170µm ± 50 Ω		
R-1650D	74µm	1080 SR-64				
Copper	17µm			LY-10	GND	
R-1755D	150µm					
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω		
R-1650D	74µm	1080 SR-64		LY-11	SIG	
R-1650D	74µm	1080 SR-64				
Copper	17µm		100-130-100µm d 100 Ω	170µm ± 50 Ω		
R-1755D	150µm					
Copper	17µm			LY-13	GND	
R-1650D	74µm	1080 SR-64				
R-1650D	74µm	1080 SR-64	100-190-100µm d 120 Ω	250µm ± 50 Ω		
Copper	17µm					
Plated	25µm		100-100-100µm d 100 Ω	LY-Bot	SIG	
Thickness						
2.14mm - 2.42mm Bare Board					LA drawing #1158	
2.22mm - 2.51mm ENIG					Date 15.08.2016	
2.26mm - 2.54mm HAL					Name Wi	
General tolerance ± 0.6%					Comment —	
© LeiterplattenAkademie 2016 all rights reserved					Subject to change Without guarantee	

Dokumentation des Bauplans 3

Ist die Leiterplattentechnologie leicht überschaubar ?

Nein, das ist sie nicht. Pauschal gibt es zwei Optionen :

- 1 Der Technologie legt seinem Leiterplattenhersteller den Bauplan vor. Damit dokumentiert er seine geplanten Anforderungen.
 - 2 Der Leiterplattenhersteller legt dem Technologen einen Bauplan vor. Damit dokumentiert er übliche und oft bereits bekannte Lösungen.
- Erst das gegenseitige abwägen, prüfen, korrigieren und anpassen führt zu einer für beide Partner akzeptablen Lösung.



Dokumentation des Bauplans 4

Welche Informationen muß ein Bauplan enthalten ?

- Die elementaren technischen, physikalischen und logistischen Qualitäten müssen bildlich dokumentiert sein. Texte sind bevorzugt in Englisch anzugeben.

Kupferdicke
(DK galvanisch, Folie,
Basiskupfer)

Materialtyp

Laminatdicke

Prepregdicke
(mit Glasgewebe und
Harzgehalt)

Enddicke

		Ri06T1.65c102-17c610-17#1		
Material	Stack-Up	Vias	Parameter	Layer
Plated Copper	25µm			LY-Top SIG
I-Tera MT40	114µm		225-135-225µm d 100 Ω	450µm s 50 Ω
I-Tera MT40	114µm			LY-2 GND
Copper	17µm			LY-3 SIG
I-Tera MT40	102µm		100-100-100µm d 100 Ω	175µm s 50 Ω
Copper	17µm			
I-Tera MT40	114µm			
		DRth 1-6 Ø CAD 150µm Ø Drill 250µm Ø Pad 450µm		
I-Tera MT40	610µm			
I-Tera MT40	114µm		100-100-100µm d 100 Ω	175µm s 50 Ω
Copper	17µm			LY-4 SIG
I-Tera MT40	102µm			LY-5 GND
Copper	17µm			
I-Tera MT40	114µm			
Copper	17µm			
Plated	25µm			LY-Bot VCC
Thickness		1.55mm - 1.65mm Bare Board 1.57mm - 1.77mm ENIG 1.61mm - 1.81mm HAL General tolerance +/- 6%		
LA drawing		#1235 Date 22.04.2020 Name Wi Comment --		
© LeiterplattenAkademie 2020 all rights reserved		Subject to change Without guarantee		

Artikelname

Impedanzen
(mit Leiterbahn-
breiten, -abständen
und Impedanztyp)

Zuordnung der
Datafiles

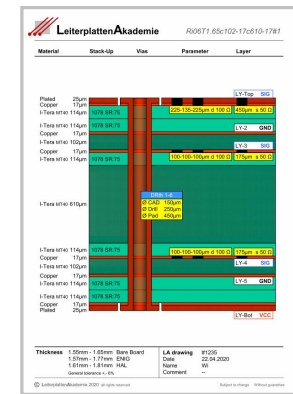
Via
(mit CAD-Vorgabe,
Loch- und Pad-Ø)

Zuordnung der
Qualitäten SIG,
GND und VCC

Dokumentation des Bauplans 5

Wofür werden diese Informationen benötigt ?

Artikelname ...sorgt für eine verbindliche Zuordnung des Bauplans zum CAD-Layout und steuert den Wareneinkauf.



Materialtyp, Laminatdicke, Prepregdicke und Kupferdicke ...fixieren die physikalische Qualität der Leiterplatte und ermöglichen der CAM des Leiterplattenherstellers eine fachgerechte Überprüfung des Lageraufbaus hinsichtlich Delamination usw.

Impedanzen ...fixieren für CAD das Routing und erlauben CAM die Nachberechnung und die Generierung eines Testcoupons.

Datafiles ...schaffen eine organisierte und nachprüfbare Zuordnung der CAD-Daten zum Lagenaufbau der Leiterplatte.

Via ...gibt Routingparameter für CAD vor und fixiert das notwendige AspektRatio für das zuverlässige galvanische Kontaktieren.

SIG, GND und VCC ...fixieren die Strategie für das CAD-Layout.

Enddicke ...dient der Überprüfung des Produktionsergebnisses nach dem Verpressen sowie im Warenausgang und im Wareneingang.



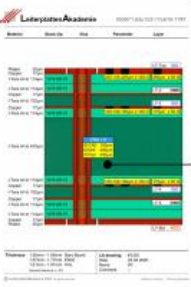
Dokumentation des Bauplans 6

Reichen diese Informationen aus ?

Nein, das tun sie leider nicht. Es werden mehr Informationen benötigt.

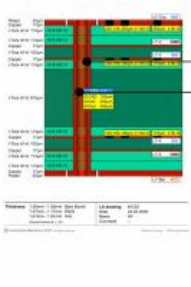
 **LeiterplattenAkademie** Ri06T1.65c102-17c610-17#1

Material per PCB	#	Glass	Resin	Pressed Thickness	Company	
Prepreg	I-Tera® MT40	6	1078	SR:75%	114µm +/- 10µm	Isola
Core	I-Tera® MT40	2	1035	SR:66%	102µm +/- 10µm	Isola
Core	I-Tera® MT40	1	3313	SR:61%	610µm +/- 61µm	Isola

**Main Material Properties I-Tera® MT40**

IPC specification sheet	IPC-4101C / 102
Epoxy system	FR4
Curing agent	phenolic
Flame retardant mech.	RoHS compliant Bromine
UL certificate	UL94 V-0
Dielectric value	3.35@20GHz
Loss tangent	0.003@20GHz
Tg	200° by DSC
CTE x/y/z	before Tg : 12/12/ maximum 55 ppm after Tg : 12/12/ maximum 290 ppm
Electrical strength	45.4 kV/mm minimum specified by IPC
Adhesive strength	1.00 N/mm minimum for copper foils >17µm

Isola Data sheet / April 2020 not found in the documentation

**PCB & CAD-Layout Specification**

PCB class	Rigid
Cores mounted	Inside
Copper thickness	25µm for throughhole barrels
Throughhole vias	CAD : 150µm diameter, 450µm pad minimum Drill : 250µm tool diameter minimum
AspectRatio	1:7 or better is necessary
BuriedVia	no
BlindVia	no
Track width	100µm minimum on all signal layers
Track distance	100µm minimum on all signal layers
Solder mask	double sided, fotosensitive, thickness 20µm
Plugging	no
Edge metallization	no
UL	yes

© LeiterplattenAkademie 2020 all rights reserved Subject to change Without guarantee

Die **IPC-Spezifikation** sichert die internationale Materialakzeptanz. **Dielektrikum** und **Härter** entscheiden über die RoHs-Zuordnung und die späteren *Entsorgungsvorgaben*. Das **UL-Zertifikat** ist wichtig für die Temperaturstabilität. Das **Dielektrikum** gibt Auskunft über die Signalgeschwindigkeit und der **tan δ** über den Energieverlust. Der **Tg** markiert die Harzelastizität und **CTE** gibt den Koeffizienten für die Materialausdehnung an. Die **Durchschlagsfestigkeit** markiert die Strombelastbarkeit und die **Cu-Klebkraft** die Kupferhaftung auf dem Dielektrikum.



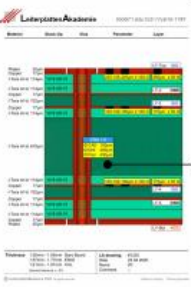
Dokumentation des Bauplans 7

Reichen die Informationen jetzt aus ?

Nein, leider immer noch nicht. Es werden mehr Informationen benötigt.

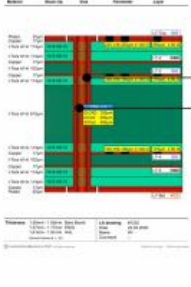
**LeiterplattenAkademie**Ri06T1.65c102-17c610-17#1

Material per PCB	#	Glass	Resin	Pressed Thickness	Company
Prepreg I-Tera® MT40	6	1078	SR:75%	114µm +/- 10µm	Isola
Core I-Tera® MT40	2	1035	SR:66%	102µm +/- 10µm	Isola
Core I-Tera® MT40	1	3313	SR:61%	610µm +/- 61µm	Isola

**Main Material Properties I-Tera® MT40**

IPC specification sheet IPC-4101C / 102
Epoxy system **FR4**
Curing agent **phenolic**
Flame retardant mech. **RoHS compliant Bromine**
UL certificate UL94 V-0
Dielectric value 3.35@20GHz
Loss tangent 0.003@20GHz
Tg 200° by DSC
CTE x/y/z before Tg : 12/12/ maximum 55 ppm
after Tg : 12/12/ maximum 290 ppm
Electrical strength 45.4 kV/mm minimum specified by IPC
Adhesive strength 1.00 N/mm minimum for copper foils >17µm

Isola Data sheet / April 2020 not found in the documentation

**PCB & CAD-Layout Specification**

PCB class Rigid
Cores mounted Inside
Copper thickness 25µm for throughhole barrels
Throughhole vias CAD : 150µm diameter, 450µm pad minimum
Drill : 250µm tool diameter minimum
AspectRatio 1:7 or better is necessary
BuriedVia no
BlindVia no
Track width 100µm minimum on all signal layers
Track distance 100µm minimum on all signal layers
Solder mask double sided, fotosensitive, thickness 20µm
Plugging no
Edge metallization no
UL yes

© LeiterplattenAkademie 2020 all rights reserved

Subject to change Without guarantee

Jeder Bauplan, der pauschal vorgelegt werden kann, formuliert und definiert bereits gleichzeitig eine **allgemeine Spezifikation** für die Leiterplatte.

Mit der Leiterplattenklasse werden die Optionen auf eine Kontaktierungsstrategie festgelegt.

Die Dicke des **Hülsenkupfers** ist maßgebend für die Stromtragfähigkeit, den Signaltransfer und die Entwärmung.

Die Vorgabe obliegt dem Technologen und ist unabhängig von einer IPC-Klassifizierung.

Die **minimalen Routinggeometrien** sind essentielle Vorgaben für das CAD-Layout.

Damit ist die Spezifikation vordefiniert.

Dokumentation des Bauplans

Wer benötigt denn nun einen Bauplan ?

- ▶ *Alle*, die in das Projekt für eine elektronische Baugruppe eingebunden sind, benötigen einen Bauplan.

Schaltplan

Die Simulation der Schaltungsfunktion kann präziser durchgeführt werden.

CAD-Layout

Die wichtigsten geometrischen (...Via, Leiterbild) und räumlichen Vorgaben (...Lagenanzahl, SIG-, GND-, VCC-Zuordnung) sind geklärt.

Leiterplattenhersteller

Die Anforderungen an die Produktion (...Basismaterial, Preßzyklen, Kontaktierungsstrategie, Leiterbildgeometrie) sind geklärt.

Baugruppenproduzent

Der Aufwand (...Bauformen, Aufbau- und Verbindungstechnologie, Temperaturbelastbarkeit) und die Risiken sind geklärt.

Kostendisposition

Die Kosten für die Leiterplattenfertigung und die Baugruppenproduktion sind (...weitestgehend) geklärt.





Spezifikation



Spezifikation der Leiterplatte

Welche Aufgabe hat die Spezifikation einer Leiterplatte ?

- Für die Produktion und Kalkulation einer Leiterplatte müssen die Eckwerte festgelegt sein, die eine technische *und* wirtschaftliche Beurteilung gestatten.

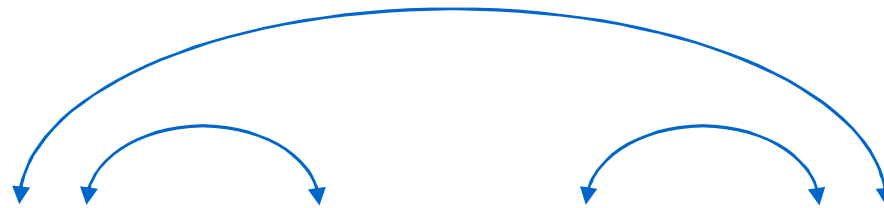
Die Spezifikation einer Leiterplatte soll auch über die Komplikation der späteren *Baugruppe* Auskunft geben. Dann kann schon in der Projektphase vorausschauend das Optimum für die Baugruppenproduktion mit einbezogen werden.

- ***Wir benötigen eine Spezifikation der Leiterplatte und Baugruppe.***

CAD-Layout

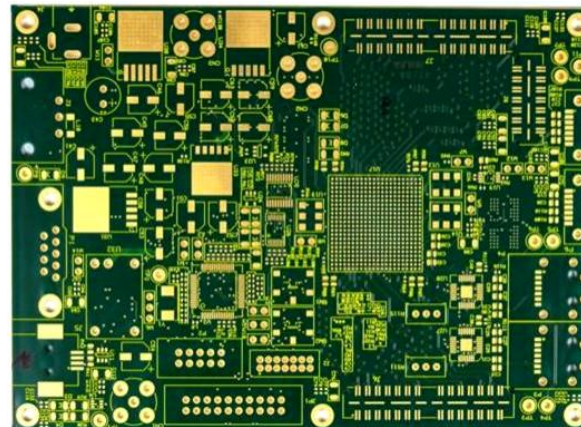
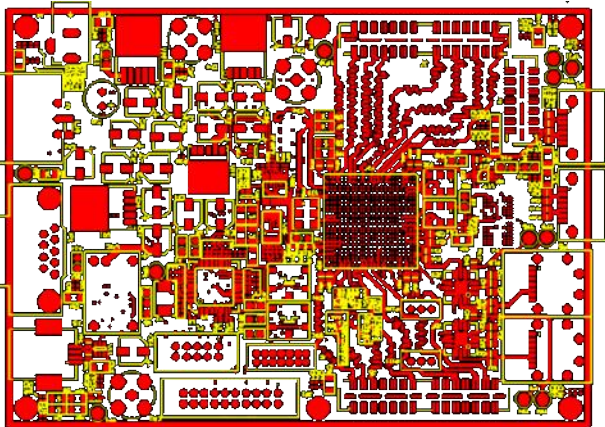
→ Leiterplatte

→ Baugruppe



Gerhard Eigelsreiter
Die Leiterplatte 2010

Danke, Gerhard.



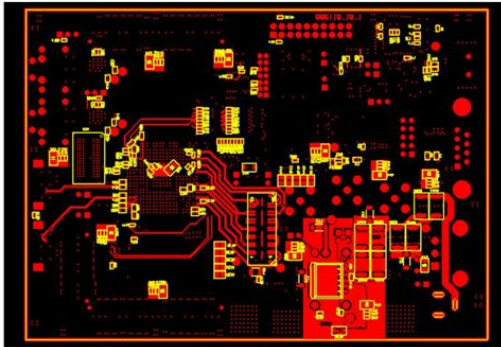
Spezifikation von Leiterplatten und Baugruppen 1

Erläuterung zu den Eingaben

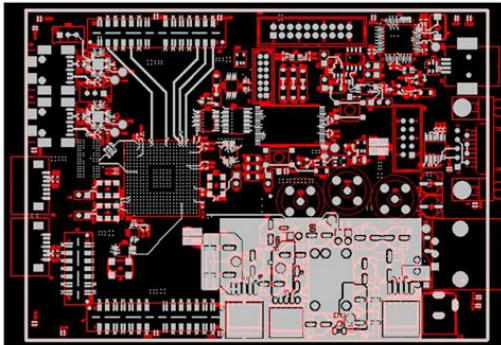
Die Informationen zu einer Leiterplatte/Baugruppe sollten immer durch eine optische Darstellung unterstützt werden. Fotos oder Screenshots sind hilfreich, weil sie die Komplexität der Baugruppe zeigen.

 LeiterplattenAkademie		Leiterplattenspezifikation	1/5
Beispiel	Baugruppe	Baugruppenspezifikation	

Toplayer



Bottomlayer

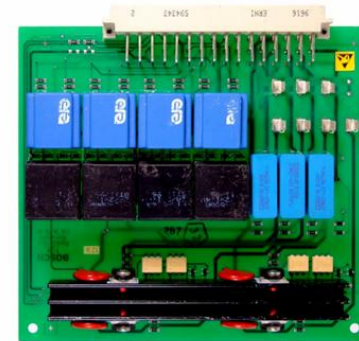


Screenshot mit Toplayer und Bottomlayer sowie dem dazu passenden Bestückungsdruck.

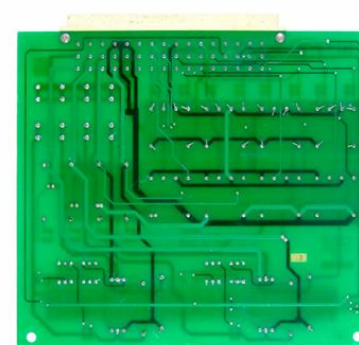
Fotografie einer bestückten Baugruppe auf FR4-Basismaterial

 LeiterplattenAkademie		Leiterplattenspezifikation	1/5
Beispiel	Baugruppe	Baugruppenspezifikation	

Toplayer



Bottomlayer



Spezifikation von Leiterplatten und Baugruppen 2

Erläuterung zu den Eingaben

Kontakt

Die Anfrage/Spezifikation muß einem Unternehmen zugeordnet werden können.

Für Rückfragen muß ein Ansprechpartner bekannt sein.

Anfragestatus

Der Status entscheidet über die Anlage des Produktionsnutzens.

Produktbezeichnung

Die Identifikation und Zuordnung von Leiterplatten und Baugruppen erfolgt üblicherweise über die Leiterplattenbezeichnung.

Bei Bedarf kann die Zeichnungsnummer noch ergänzt werden.

LeiterplattenAkademie		Leiterplattenspezifikation		2/5
● Kontakt	Firma			
	Ansprechpartner/in			
	Telefon / eMail			
● Anfragestatus		☐ Prototyp ☐ Vorserie ☐ Serie		
● Produktbezeichnung	Leiterplattenbezeichnung			
	Zeichnungsnummer			
Datensatzkennung				
Klassifizierung	Leiterplattenklasse	☐ starr ☐ flex ☐ starrflex		
	Layoutklasse	☐ Standard (>150) ☐ HDI (~100µm) ☐ MFT (<100µm)		
	Lagenanzahl	☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8 ☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst _____		
Basismaterial	Materialtyp	☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175° ☐ nicht halogenfrei ☐ halogenfrei		
		☐ CEM1 ☐ CEM3 ☐ FR2 ☐ Polyimid ☐ PTFE ☐ Sonst _____		
Materialhersteller		☐ keine Vorgabe ☐ Sonst _____		
LP-/Multilayerbauplan		☐ ohne Bauplan ☐ Bauplan nach Anlage		
Bohren	Anzahl THT-Bohrungen	_____ dk _____ ndk		
	dk-Vias	☐ nein ☐ End-Ø _____ µm Anzahl _____		
	BlindVias	☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
	BuriedVias	☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
Information				

Spezifikation von Leiterplatten und Baugruppen 3

Datensatzkennung

Die Datensätze für die Produktion einer Leiterplatte respektive einer Baugruppe sollten eine einheitliche Bezeichnung haben (~ Filesyntax).

Das ist die Voraussetzung für ein strukturiertes Speichern und Wiederfinden von Datenbeständen.

Klassifizierung (Leiterplattenklasse)

Die Leiterplattenklassen starr, flex oder starrflex legen den Aufwand für die Produktion der Leiterplatte und der Baugruppe fest, weil sie über technologisch mögliche oder nicht mögliche Prozesse entscheiden.

Beispiel (Leiterplattenklasse : Oberfläche)

Die Endoberfläche kann nicht HAL sein, wenn die Leiterplattenklasse flex oder starrflex ist. Die Temperaturbelastung des Basismaterials ist beim HAL-Prozeß zu intensiv. Die Leiterplatte würde beschädigt werden.

LeiterplattenAkademie **Leiterplattenspezifikation** 2/5

Kontakt
Firma _____
Ansprechpartner/in _____
Telefon / eMail _____

Anfragestatus ☐ Prototyp ☐ Vorserie ☐ Serie

Produktbezeichnung
Leiterplattenbezeichnung _____
Zeichnungsnummer _____

Datensatzkennung _____

Klassifizierung
Leiterplattenklasse ☐ starr ☐ flex ☐ starrflex
Layoutklasse ☐ Standard (>150) ☐ HDI (<100µm) ☐ MFT (<100µm)
Lagenanzahl ☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8
 ☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst _____

Basismaterial
Materialtyp ☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175°
 ☐ nicht halogenfrei ☐ halogenfrei
☐ CEM1 ☐ CEM3 ☐ FR2
☐ Polyimid ☐ PTFE ☐ Sonst _____

Materialhersteller ☐ keine Vorgabe ☐ Sonst _____

LP-/Multilayerbauplan ☐ ohne Bauplan ☐ Bauplan nach Anlage

Bohren
Anzahl THT-Bohrungen _____ dk _____ ndk

dk-Vias ☐ nein ☐ End-Ø _____ µm Anzahl _____

BlindVias ☐ nein ☐ End-Ø _____ µm Anzahl _____
 ☐ Bohren ☐ Lasern

BuriedVias ☐ nein ☐ End-Ø _____ µm Anzahl _____
 ☐ Bohren ☐ Lasern

Information _____



Spezifikation von Leiterplatten und Baugruppen 4

Klassifizierung (Layoutklasse)

Die Layoutklasse wird vornehmlich durch die minimale Leiterbildbreite sowie den minimalen Leiterbildabstand bestimmt.

Beispiel (Layoutklasse : Leiterbildstruktur)

Allgemein ist eine Leiterbildstruktur $>125\mu\text{m}$ bis $150\mu\text{m}$ der aktuelle Standard. Leiterbilder $\sim 125\mu\text{m}$ sind für die anspruchsvollere Elektronik notwendig. Leiterbilder $\sim 100\mu\text{m}$ müssen umgesetzt werden, wenn eine komplexere Verdrahtung von BGA-Bauteilen mit einem Pitch von $\geq 650\mu\text{m}$ geroutet werden soll. Ab einem Pitch $\leq 500\mu\text{m}$ ist ein Routing nur noch mit Leiterbildstrukturen $\sim 85\mu\text{m}$ möglich.

Klassifizierung (Lagenanzahl)

Die Lagenanzahl einer Leiterplatte legt den Schwierigkeitsgrad fest, der bei der Produktion zu erfüllen ist. Außer der vorgegebenen Auswahl sind auch höhere (... > 20) und ungerade Lagen (... 3, 5, 7,) möglich. Von der Vorgabe abweichende Lagen können unter "Lagen" eingetragen werden.

LeiterplattenAkademie		Leiterplattenspezifikation		2/5
Kontakt Firma _____ Ansprechpartner/in _____ Telefon / eMail _____				
Anfragestatus		☐ Prototyp ☐ Vorserie ☐ Serie		
Produktbezeichnung Leiterplattenbezeichnung _____ Zeichnungsnummer _____				
Datensatzkennung				
Klassifizierung				
Leiterplattenklasse	☐ starr ☐ flex ☐ starrflex			
Layoutklasse	☐ Standard (>150) ☐ HDI ($\sim 100\mu\text{m}$) ☐ MFT ($<100\mu\text{m}$)			
Lagenanzahl	☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8 ☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst _____			
Basismaterial				
Materialtyp	☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175° ☐ nicht halogenfrei ☐ halogenfrei			
	☐ CEM1 ☐ CEM3 ☐ FR2 ☐ Polyimid ☐ PTFE ☐ Sonst _____			
Materialhersteller	☐ keine Vorgabe ☐ Sonst _____			
LP-/Multilayerbauplan	☐ ohne Bauplan ☐ Bauplan nach Anlage			
Bohren				
Anzahl THT-Bohrungen	_____ dk _____ ndk			
dk-Vias	☐ nein ☐ End-Ø _____ μm Anzahl _____			
BlindVias	☐ nein ☐ End-Ø _____ μm Anzahl _____ ☐ Bohren ☐ Lasern			
BuriedVias	☐ nein ☐ End-Ø _____ μm Anzahl _____ ☐ Bohren ☐ Lasern			
Information				

Spezifikation von Leiterplatten und Baugruppen 5

Basismaterial (Materialtyp)

Das übliche Material für die Baugruppen ist FR4. Vor dem Hintergrund der RoHS-Anforderungen ist der Tg-Wert in Grad Celsius (°) *ein* wichtiger Parameter zur Beschreibung der Temperaturstabilität des Materials.

Vom FR4 abweichende Materialien sind in dem Feld "Sonst" zu notieren. Details zum Basismaterial (...Dicken für Kupfer, Laminat, Prepreg) müssen im Bauplan der Leiterplatte ausgewiesen sein.

LeiterplattenAkademie		Leiterplattenspezifikation		2/5
Kontakt Firma _____ Ansprechpartner/in _____ Telefon / eMail _____				
Anfragestatus		☐ Prototyp ☐ Vorserie ☐ Serie		
Produktbezeichnung Leiterplattenbezeichnung _____ Zeichnungsnummer _____				
Datensatzkennung				
Klassifizierung Leiterplattenklasse _____ Layoutklasse _____ Lagenanzahl _____		☐ starr ☐ flex ☐ starrflex ☐ Standard (>150) ☐ HDI (~100µm) ☐ MFT (<100µm) ☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8 ☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst _____		
Basismaterial Materialtyp _____		☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175° ☐ nicht halogenfrei ☐ halogenfrei ☐ CEM1 ☐ CEM3 ☐ FR2 ☐ Polyimid ☐ PTFE ☐ Sonst _____		
Materialhersteller		☐ keine Vorgabe ☐ Sonst _____		
LP-/Multilayerbauplan		☐ ohne Bauplan ☐ Bauplan nach Anlage		
Bohren Anzahl THT-Bohrungen _____		_____ dk _____ ndk		
dk-Vias		☐ nein ☐ End-Ø _____ µm Anzahl _____		
BlindVias		☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
BuriedVias		☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
Information				

Basismaterial (Materialhersteller)

Für Basismaterial wie FR4 und Polyimid gibt es mehrere Hersteller. Soll ein bestimmter Hersteller bevorzugt werden, dann kann er in diesem Feld ausgewiesen werden. Der Leiterplattenhersteller muß dann prüfen, ob er dieses Material disponieren kann.

Basismaterial (LP-/Multilayerbauplan)

Für jede Leiterplatte muß im Prinzip ein Bauplan vorliegen. Fehlende Baupläne sind im Zuge der Kalkulation zu ergänzen und zuzuordnen.



Spezifikation von Leiterplatten und Baugruppen 6

Bohren (Anzahl THT-Bohrungen)

Hier ist die Anzahl der Bohrungen für bedrahtete Bauteile (~THT) einzutragen. Für die Analyse der zu fertigenden Leiterplatte ist die Unterscheidung in nichtdurchkontaktierte (~ndk) sowie in durchkontaktierte (~dk) Bauteilbohrungen erforderlich.

Bohren (dk-Vias)

dk-Vias kontaktieren alle Lagen einer Leiterplatte. Wenn es keine dk-Vias gibt, wie das beispielsweise bei einseitigen Leiterplatten der Fall sein kann, dann ist die Option "nein" zu wählen. Andernfalls sind der minimale Enddurchmesser sowie die Anzahl der dk-Vias einzugeben. In Verbindung mit dem $\text{AspectRatio}_{(\text{Bohrungen})}$ und der Länge der dk-vias wird der Leiterplattenhersteller die technische Kontaktierbarkeit prüfen.

Bohren (BlindVias)

Ist das Layout ohne BlindVias, dann ist die Option "nein" zu wählen. Andernfalls sind der minimale Enddurchmesser und die Anzahl einzugeben. BlindVias müssen im ML-Bauplan eingezeichnet sein.

LeiterplattenAkademie **Leiterplattenspezifikation** 2/5

Kontakt
Firma _____
Ansprechpartner/in _____
Telefon / eMail _____

Anfragestatus ☐ Prototyp ☐ Vorserie ☐ Serie

Produktbezeichnung
Leiterplattenbezeichnung _____
Zeichnungsnummer _____

Datensatzkennung

Klassifizierung
Leiterplattenklasse ☐ starr ☐ flex ☐ starrflex
Layoutklasse ☐ Standard (>150) ☐ HDI (~100µm) ☐ MFT (<100µm)
Lagenanzahl ☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8
☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst. _____

Basismaterial
Materialtyp ☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175°
☐ nicht halogenfrei ☐ halogenfrei
☐ CEM1 ☐ CEM3 ☐ FR2
☐ Polyimid ☐ PTFE ☐ Sonst. _____

Materialhersteller
LP-/Multilayerbauplan ☐ keine Vorgabe ☐ Sonst. _____
☐ ohne Bauplan ☐ Bauplan nach Anlage

Bohren
Anzahl THT-Bohrungen _____
dk-Vias ☐ nein ☐ End-Ø _____ µm Anzahl _____
BlindVias ☐ nein ☐ End-Ø _____ µm Anzahl _____
☐ Bohren ☐ Lasern
BuriedVias ☐ nein ☐ End-Ø _____ µm Anzahl _____
☐ Bohren ☐ Lasern

Information

Spezifikation von Leiterplatten und Baugruppen 7

Bohren (BuriedVias)

Ist das Layout ohne BuriedVias, dann ist die Option "nein" zu wählen.

Andernfalls sind der minimale Enddurchmesser und die Anzahl der BuriedVias einzugeben.

BuriedVias müssen im ML-Bauplan eingezeichnet sein.

Wenn BuriedVias geplugged werden sollen, dann ist das auch im Bauplan der Leiterplatte grafisch darzustellen.

LeiterplattenAkademie		Leiterplattenspezifikation		2/5
Kontakt Firma _____ Ansprechpartner/in _____ Telefon / eMail _____				
Anfragestatus		☐ Prototyp ☐ Vorserie ☐ Serie		
Produktbezeichnung Leiterplattenbezeichnung _____ Zeichnungsnummer _____				
Datensatzkennung				
Klassifizierung Leiterplattenklasse _____ Layoutklasse _____ Lagenanzahl _____		☐ starr ☐ flex ☐ starrflex ☐ Standard (>150) ☐ HDI (~100µm) ☐ MFT (<100µm) ☐ 1 ☐ 2 ☐ 3 ☐ 4 ☐ 5 ☐ 6 ☐ 7 ☐ 8 ☐ 10 ☐ 12 ☐ 14 ☐ 16 ☐ 18 ☐ 20 ☐ Sonst _____		
Basismaterial Materialtyp _____		☐ FR4 ☐ Tg 135° ☐ Tg 150° ☐ Tg 175° ☐ nicht halogenfrei ☐ halogenfrei ☐ CEM1 ☐ CEM3 ☐ FR2 ☐ Polyimid ☐ PTFE ☐ Sonst _____		
Materialhersteller _____		☐ keine Vorgabe ☐ Sonst _____		
LP-/Multilayerbauplan _____		☐ ohne Bauplan ☐ Bauplan nach Anlage		
Bohren Anzahl THT-Bohrungen _____		☐ dk ☐ ndk		
dk-Vias _____		☐ nein ☐ End-Ø _____ µm Anzahl _____		
BlindVias _____		☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
BuriedVias _____		☐ nein ☐ End-Ø _____ µm Anzahl _____ ☐ Bohren ☐ Lasern		
Information				

Bohren (Hinweis BuriedVias und BlindVias)

Für BuriedVias (...sowie auch für BlindVias) muß die Technologie für das Prozessieren der Vias angegeben werden. Über die Zuordnung der Verfahrenstechnologie ist es möglich, Lagenaufbauten und AspectRatios verbindlich auf Produzierbarkeit zu prüfen.

Information (Seite 2/5)

Ergänzende Erläuterungen zu den Feldern auf dieser Seite.

Spezifikation von Leiterplatten und Baugruppen 8

Kontur (Fräsen)

Gibt es keine zu fräsenden Konturen, dann ist die Option "nein" zu wählen.

Fräsarbeiten sind möglich, wenn das Material stabil ist (z.B. FR4). Dann ist "ja" zu wählen und die Fräsweglänge ist einzugeben.

Kontur (Ritzen)

Gibt es keine zu ritzenden Konturen, dann ist die Option "nein" zu wählen.

Ritzarbeiten sind in stabilem Material ab einer Mindestdicke von zirka 0.5mm möglich. Es kann nur geradeaus geritzt werden. Bei Wahl von "ja" ist zudem die Ritzweglänge einzugeben.

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja _____ cm fräsen			
Ritzen	☐ nein ☐ ja _____ cm ritzen			
Lasern	☐ nein ☐ ja _____ cm lasern			
Galvanische Qualität				
Endoberfläche	☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn			
	☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP			
	☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold			
	☐ Galvanisch Gold			
Kantenmetallisierung	☐ nein ☐ ja			
Steckervergoldung	☐ nein ☐ ja _____ cm ²			
Stecker anfasen	☐ nein ☐ ja ☐ 20° ☐ 30° ☐ 45°			
Plugging				
Viaplugging	☐ nein ☐ ja ☐ Epoxydharz ☐ Silberleitpaste			
	☐ Sonst _____			
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Bestückungsdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Abziehlack	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Viadruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Carbondruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Heatsinkdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Information				

Spezifikation von Leiterplatten und Baugruppen 9

Kontur (Lasern)

Gibt es keine zu lasernden Konturen, dann ist die Option "nein" zu wählen.

Konturen werden bevorzugt dann gelasert, wenn das Material dünn und instabil ist. Das betrifft flexible Materialien für die Fertigung flexibler oder starrflexibler Leiterplatten.

Werden Konturen gelasert, dann ist "ja" zu wählen und die Weglänge ist einzugeben.

Hinweis (Konturbearbeitung)

Die verschiedenen Konturbearbeitungen können miteinander kombiniert werden.

Galvanische Oberfläche (Endoberfläche)

Ni/Gold (~ENIG) ist eine typische Endoberfläche. Silber (~ASIG) ist sehr gut, ebenfalls OSP (~Organic Surface Protection). Die gewählte Endoberfläche ist zu markieren.

Eine weitere Endoberfläche kann im Freifeld eingetragen werden.

Endoberflächen können miteinander kombiniert werden (... ! Kosten).

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja _____ cm fräsen			
Ritzen	☐ nein ☐ ja _____ cm ritzen			
Lasern	☐ nein ☐ ja _____ cm lasern			
Galvanische Qualität				
Endoberfläche	☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn			
	☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP			
	☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold			
	☐ Galvanisch Gold			
Kantenmetallisierung	☐ nein ☐ ja			
Steckervergoldung	☐ nein ☐ ja _____ cm ²			
Stecker anfasen	☐ nein ☐ ja ☐ 20° ☐ 30° ☐ 45°			
Plugging				
Viaplugging	☐ nein ☐ ja ☐ Epoxydharz ☐ Silberletpaste			
	☐ Sonst _____			
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Bestückungsdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Abziehlack	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Viadruk	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Carbondruk	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Heatsinkdruck	☐ nein ☐ top Farbe _____			
	☐ bot Farbe _____			
Information				



Spezifikation von Leiterplatten und Baugruppen 10

Galvanische Oberfläche (Kantenmetallisierung)

Ist keine Kantenmetallisierung gewünscht, dann ist die Option "nein" zu wählen.

Ist "ja" gewählt, dann muß der Leiterplattenhersteller prüfen, ob das CAD-Layout die konstruktiven Anforderungen erfüllt und ob die Konturbearbeitung für die partielle Metallisierung geeignet ist.

Galvanische Oberfläche (Steckervergoldung)

Ist auf der Leiterplatte kein zu vergoldender Stecker, dann ist die Option "nein" zu wählen.

Soll ein PC-Stecker hartvergoldet werden, dann ist die Option "ja" zu wählen. Der Leiterplattenhersteller wird dann prüfen, ob eine galvanische Anbindung ausgeführt werden kann. Für die Berechnung der Kosten ist die Fläche der Steckerzungen in Quadratzentimetern anzugeben.

Galvanische Oberfläche (Stecker anfasen)

Soll das Einstecken eines PC-Boards durch das Anfasen (~Anschrägen) des Steckers erleichtert werden, dann ist die Option "ja" zu wählen und es ist der gewünschte Anfaswinkel anzugeben.

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja	_____ cm fräsen		
Ritzen	☐ nein ☐ ja	_____ cm ritzen		
Lasern	☐ nein ☐ ja	_____ cm lasern		
Galvanische Qualität				
Endoberfläche				
☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn				
☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP				
☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold				
☐ Galvanisch Gold				
Kantenmetallisierung				
Steckervergoldung	☐ nein ☐ ja	_____ cm ²		
Stecker anfasen	☐ nein ☐ ja	☐ 20°	☐ 30°	☐ 45°
Plugging				
Viaplugging	☐ nein ☐ ja	☐ Epoxydharz	☐ Silberletpaste	
☐ Sonst _____				
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Bestückungsdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Abziehlack	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Viadruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Carbondruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Heatsinkdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Information				



Spezifikation von Leiterplatten und Baugruppen 11

Pluggen (Viaplugging)

Mit der Technologie des Pluggens können Vias verfüllt werden. Ist kein Plugging gewünscht, dann ist die Option "nein" zu wählen.

Ist "ja" gewählt, dann wird der Leiterplattenhersteller prüfen, ob ein Plugging durchgeführt werden kann. In der CAD-Layoutdokumentation müssen die Vias gekennzeichnet sein. Mögliche Pluggingsubstrate sind Silberleitpaste und Epoxydharz.

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja	_____	cm fräsen	
Ritzen	☐ nein ☐ ja	_____	cm ritzen	
Lasern	☐ nein ☐ ja	_____	cm lasern	
Galvanische Qualität				
Endoberfläche	☐ Chem. Ni/Gold	☐ Chem. Silber	☐ Chem. Zinn	
	☐ HAL (bleifrei)	☐ HAL (PbSn)	☐ OSP	
	☐ Chem. Gold Ni/Pd	☐ Chem. Palladium/Gold		
	☐ Galvanisch Gold			
Kantenmetallisierung	☐ nein ☐ ja			
Steckervergoldung	☐ nein ☐ ja	_____	cm ²	
Stecker anfasen	☐ nein ☐ ja	☐ 20° ☐ 30° ☐ 45°		
Plugging				
Viaplugging	☐ nein ☐ ja	☐ Epoxydharz ☐ Silberleitpaste		
		☐ Sonst _____		
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top ☐ bot	Farbe _____		
Bestückungsdruck	☐ nein ☐ top ☐ bot	Farbe _____		
Abziehlack	☐ nein ☐ top ☐ bot	Farbe _____		
Viadruck	☐ nein ☐ top ☐ bot	Farbe _____		
Carbondruck	☐ nein ☐ top ☐ bot	Farbe _____		
Heatsinkdruck	☐ nein ☐ top ☐ bot	Farbe _____		
Information				

Drucke und Lacke (Lötstopdruck)

Ist kein Lötstopdruck erwünscht, dann ist die Option "nein" zu wählen. Andernfalls ist festzulegen, ob der Lötstopdruck einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist und welche Farbe der Lack haben soll. Üblich ist grün. Es sind aber auch weiß, schwarz, gelb, rot, blau und braun verfügbar.

Hinweis (Drucke und Lacke : Lötstopdruck)

Chemische Oberflächen sind nur möglich mit Lötstopdruck als Resist.



Spezifikation von Leiterplatten und Baugruppen 12

Drucke und Lacke (Bestückungsdruck)

Ist kein Bestückungsdruck gewünscht, dann ist die Option "nein" zu wählen.

Andernfalls ist festzulegen, ob der Bestückungsdruck einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist und welche Farbe der Lack haben soll. Üblich sind weiß oder gelb.

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja	_____ cm fräsen		
Ritzen	☐ nein ☐ ja	_____ cm ritzen		
Lasern	☐ nein ☐ ja	_____ cm lasern		
Galvanische Qualität				
Endoberfläche				
☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn				
☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP				
☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold				
☐ Galvanisch Gold				
Kantenmetallisierung				
Steckervergoldung	☐ nein ☐ ja	_____ cm ²		
Stecker anfasen	☐ nein ☐ ja	☐ 20°	☐ 30°	☐ 45°
Plugging				
Viaplugging	☐ nein ☐ ja	☐ Epoxydharz	☐ Silberletpaste	
☐ Sonst _____				
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Bestückungsdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Abziehlack	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Viadruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Carbondruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Heatsinkdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Information				

Drucke und Lacke (Abziehlack)

Ist kein Abziehlack gewünscht, dann ist die Option "nein" zu wählen. Andernfalls ist festzulegen, ob der Abziehlack einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist. Übliche Farben für den Lack sind blau oder grau.

Drucke und Lacke (Viadruck)

Ist kein Viadruck gewünscht, dann ist die Option "nein" zu wählen. Andernfalls ist festzulegen, ob der Viadruck einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist und welche Farbe der Lack haben soll. Üblich sind grün oder blau.



Spezifikation von Leiterplatten und Baugruppen 13

Drucke und Lacke (Carbondruck)

Ist kein Carbondruck gewünscht, dann ist die Option "nein" zu wählen. Andernfalls ist festzulegen, ob der Carbondruck einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist und welche Farbe der Lack haben soll. Üblich ist grau.

Drucke und Lacke (Heatsinkdruck)

Ist kein Heatsinkdruck gewünscht, dann ist die Option "nein" zu wählen. Andernfalls ist festzulegen, ob der Heatsinkdruck einseitig (~ Option "es") oder doppelseitig (~ Option "ds") auszuführen ist und welche Farbe der Lack haben soll. Üblich ist dunkelgrau.

Hinweis (Drucke und Lacke)

Mit der Spezifikation der Lacke kann der Leiterplattenhersteller sowohl die Fertigbarkeit als auch die Verträglichkeit beurteilen. Bei Vorlage der CAD-Daten kann zudem die Einhaltung der Designregeln geprüft werden.

Information (Seite 3/5) Ergänzende Erläuterungen zu dieser Seite.

LeiterplattenAkademie		Leiterplattenspezifikation		3/5
Kontur				
Fräsen	☐ nein ☐ ja	_____ cm fräsen		
Ritzen	☐ nein ☐ ja	_____ cm ritzen		
Lasern	☐ nein ☐ ja	_____ cm lasern		
Galvanische Qualität				
Endoberfläche	☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn			
	☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP			
	☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold			
	☐ Galvanisch Gold			
Kantenmetallisierung				
Steckervergoldung	☐ nein ☐ ja	_____ cm ²		
Stecker anfasen	☐ nein ☐ ja	☐ 20°	☐ 30°	☐ 45°
Plugging				
Viaplugging	☐ nein ☐ ja	☐ Epoxyharz	☐ Silberletpaste	
		☐ Sonst _____		
Drucke und Lacke				
Lötstopdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Bestückungsdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Abziehlack	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Viadruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Carbondruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Heatsinkdruck	☐ nein ☐ top	Farbe _____		
	☐ bot	Farbe _____		
Information				



Spezifikation von Leiterplatten und Baugruppen 14

Verifikation (Impedanzprüfung)

Ist keine Impedanzprüfung erforderlich, dann ist "nein" zu wählen. Andernfalls ist mit der Wahl "ja" auch festzulegen, welche Impedanzwerte einzuhalten sind. Single Ended (~se) und Differentielle (~dif) Impedanzen sollten unterschieden werden.

Verifikation (Widerstandsmessung)

Ist keine Widerstandsmessung gewünscht, dann ist "nein" zu wählen. Andernfalls ist mit der Wahl "ja" auch festzulegen, welche Ohmwerte einzuhalten sind. Die Leiterplatten werden dann mit einem entsprechenden Zertifikat geliefert.

 **LeiterplattenAkademie**

●

●

Verifikation (Leiterplatte)

Impedanzprüfung

Widerstandsmessung

Leiterplatte vermessen

Elektronische Prüfung

Stückzahl und Abmaße

Anzahl Leiterplatten

Leiterplattenmaß

Lieferrutzen

Liefermaß

Warenausgang

Endkontrolle

CAD-Layoutgeometrien

Minimale Leiterbahnbreite

Minimaler Leiterbildabstand

Minimaler Via-Restring

Technische Anforderungen

Durchschlagsfestigkeit

Cu-Abzugskraft

Permittivität ϵ_r

Entwärmung

UL-Anforderung

RoHs

Information

Leiterplattenspezifikation

4/5

☐ nein

☐ ja

Werte _____ Ω

☐ nein

☐ ja

Werte _____ Ω

☐ nein

☐ ja

Werte _____

☐ nein

☐ ja

_____ Stück

_____ mm x _____ mm

_____ -fach

_____ mm x _____ mm

☐ Standard

☐ Sonst _____

☐ >200 μ m

☐ 200-150

☐ 150-125

☐ 125-100 μ m

☐ 100-85 μ m

☐ 85-70 μ m

☐ <70 μ m

☐ >200 μ m

☐ 200-150

☐ 150-125

☐ 125-100 μ m

☐ 100-85 μ m

☐ 85-70 μ m

☐ <70 μ m

☐ >200 μ m

☐ 200-175

☐ 175-150

☐ <150 μ m

☐ nein

☐ ja

_____ kV / mm

☐ nein

☐ ja

_____ N / mm

☐ nein

☐ ja

_____ bei 1GHz

☐ nein

☐ ja

☐ mittel

☐ hoch

☐ nein

☐ ja

☐ nein

☐ ja

Dokumentation und Spezifikation von Leiterplatten

29



Spezifikation von Leiterplatten und Baugruppen 15

Verifikation (Leiterplatte vermessen)

Ist keine Vermessung gewünscht, dann ist "nein" zu wählen. Bei Wahl von "ja" wird der Lieferung der Leiterplatten ein Meßprotokoll beigelegt.

Verifikation (Elektronische Prüfung)

Ist keine Elektronische Prüfung gewünscht, dann ist die Option "nein" zu wählen.

Für die Funktionsprüfung von Multilayern ist die Elektronische Prüfung Pflicht.

Warenausgang (Endkontrolle)

Wird für die Endkontrolle die Option "Standard" gewählt, dann wird die Standard-Endkontrolle durch die übliche Vorgehensweise des Leiterplattenherstellers bestimmt.

Unter der Option "Sonst" können individuelle Kontrollvorgaben eingetragen werden. Das können firmeneigene Regelwerke sein, internationale Prüfscenarien oder branchentypische Vorgaben.

Der Leiterplattenhersteller wird die durchgeführten Prüfungen mit einem COC, einem Protokoll oder einem Zertifikat bestätigen.

LeiterplattenAkademie		Leiterplattenspezifikation		4/5
Verifikation (Leiterplatte)				
Impedanzprüfung	☐ nein ☐ ja	Werte	_____ Ω	
Widerstandsmessung	☐ nein ☐ ja	Werte	_____ Ω	
Leiterplatte vermessen	☐ nein ☐ ja	Werte	_____ Ω	
Elektronische Prüfung	☐ nein ☐ ja			
Stückzahl und Abmaße				
Anzahl Leiterplatten	_____ Stück			
Leiterplattenmaß	_____ mm	x	_____ mm	
Liefermengen	_____ -fach			
Liefermaß	_____ mm	x	_____ mm	
Warenausgang				
Endkontrolle	☐ Standard ☐ Sonst _____			
CAD-Layoutgeometrien				
Minimale Leiterbahnbreite	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Leiterbildabstand	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Via-Restring	☐ >200 μ m	☐ 200-175	☐ 175-150	☐ <150 μ m
Technische Anforderungen				
Durchschlagsfestigkeit	☐ nein ☐ ja	_____ kV / mm		
Cu-Abzugskraft	☐ nein ☐ ja	_____ N / mm		
Permittivität ϵ_r	☐ nein ☐ ja	_____ bei 1GHz		
Entwärmung	☐ nein ☐ ja	☐ mittel ☐ hoch		
UL-Anforderung	☐ nein ☐ ja			
RoHs	☐ nein ☐ ja			
Information				



Spezifikation von Leiterplatten und Baugruppen 16

Stückzahl und Abmaße (Anzahl Leiterplatten)

Für die wirtschaftliche Bewertung einer Anfrage bzw. eines Auftrages muß die Stückzahl der zu fertigenden Leiterplatten angegeben werden.

Stückzahl und Abmaße (Leiterplattenmaß)

Das Leiterplattenmaß wird für die Ermittlung des optimalen Produktionsnutzens benötigt.
Die effektive Auslastung des Produktionsnutzens legt zu zirka 80% die Kosten für die einzelne Leiterplatte fest.

Stückzahl und Abmaße (Liefernutzen)

Für die effektive Bestückung von (... insbesondere kleinen) Leiterplatten ist die Festlegung des x-fachen Liefernutzens erforderlich.

Stückzahl und Abmaße (Liefermaß)

Das Liefermaß beschreibt die Größe des Liefernutzens inklusive eines eventuell vorgesehenen Bestückungsrahmens.

LeiterplattenAkademie		Leiterplattenspezifikation		4/5
Verifikation (Leiterplatte)				
Impedanzprüfung	☐ nein ☐ ja	Werte	_____ Ω	
Widerstandsmessung	☐ nein ☐ ja	Werte	_____ Ω	
Leiterplatte vermessen	☐ nein ☐ ja	Werte	_____ Ω	
Elektronische Prüfung	☐ nein ☐ ja			
Stückzahl und Abmaße				
Anzahl Leiterplatten	_____ Stück			
Leiterplattenmaß	_____ mm	x	_____ mm	
Lieferrahmen	_____ -fach			
Liefermaß	_____ mm	x	_____ mm	
Warenausgang				
Endkontrolle	☐ Standard ☐ Sonst _____			
CAD-Layoutgeometrien				
Minimale Leiterbahnbreite	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Leiterbildabstand	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Via-Restring	☐ >200 μ m	☐ 200-175	☐ 175-150	☐ <150 μ m
Technische Anforderungen				
Durchschlagsfestigkeit	☐ nein ☐ ja	_____ kV / mm		
Cu-Abzugskraft	☐ nein ☐ ja	_____ N / mm		
Permittivität ϵ_r	☐ nein ☐ ja	_____ bei 1GHz		
Entwärmung	☐ nein ☐ ja	☐ mittel ☐ hoch		
UL-Anforderung	☐ nein ☐ ja			
RoHs	☐ nein ☐ ja			
Information				



Spezifikation von Leiterplatten und Baugruppen 17

CAD-Layoutgeometrien (minimale Leiterbahnbreite)

Die technische und wirtschaftliche Produzierbarkeit einer Leiterplatte hängt von den Leiterbahnbreiten ab, die am CAD-System geroutet worden sind. Leiterbahnbreiten $\geq 150\mu\text{m}$ sind standardseitig weltweit herstellbar.

CAD-Layoutgeometrien (minimaler Leiterbildabstand)

Geometrien $\leq 100\mu\text{m}$ sind teurer und können nicht von jedem Leiterplattenhersteller produziert werden. Der Abstand zwischen benachbarten Leiterbildstrukturen bestimmt den Aufwand und die Kosten für die Produktion einer Leiterplatte. Dabei muß nicht nur der Abstand von Signalleiterbahn zu Signalleiterbahn beachtet werden, sondern auch von Leiterbahn zu Massefläche oder von Massefläche zu Massefläche.

CAD-Layoutgeometrien (Minimaler Via-Restring)

Der minimale Restring legt den Toleranzraum fest, der den Versatz des Vias zum Pad ausgleichen muß. Ein minimaler Restring von $150\mu\text{m}$ ist üblicherweise das Limit für Leiterplatten aus FR4-Material.

LeiterplattenAkademie		Leiterplattenspezifikation		4/5
Verifikation (Leiterplatte)				
Impedanzprüfung	☐ nein ☐ ja	Werte	_____ Ω	
Widerstandsmessung	☐ nein ☐ ja	Werte	_____ Ω	
Leiterplatte vermessen	☐ nein ☐ ja	Werte	_____ Ω	
Elektronische Prüfung	☐ nein ☐ ja			
Stückzahl und Abmaße				
Anzahl Leiterplatten	_____ Stück			
Leiterplattenmaß	_____ mm	x	_____ mm	
Liefermengen	_____ -fach			
Liefermaß	_____ mm	x	_____ mm	
Warenausgang				
Endkontrolle	☐ Standard ☐ Sonst _____			
CAD-Layoutgeometrien				
Minimale Leiterbahnbreite	☐ $>200\mu\text{m}$ ☐ $200-150$ ☐ $150-125$ ☐ $125-100\mu\text{m}$			
	☐ $100-85\mu\text{m}$ ☐ $85-70\mu\text{m}$ ☐ $<70\mu\text{m}$			
Minimaler Leiterbildabstand	☐ $>200\mu\text{m}$ ☐ $200-150$ ☐ $150-125$ ☐ $125-100\mu\text{m}$			
	☐ $100-85\mu\text{m}$ ☐ $85-70\mu\text{m}$ ☐ $<70\mu\text{m}$			
Minimaler Via-Restring	☐ $>200\mu\text{m}$ ☐ $200-175$ ☐ $175-150$ ☐ $<150\mu\text{m}$			
Technische Anforderungen				
Durchschlagsfestigkeit	☐ nein ☐ ja	_____ kV / mm		
Cu-Abzugskraft	☐ nein ☐ ja	_____ N / mm		
Permittivität ϵ_r	☐ nein ☐ ja	_____ bei 1GHz		
Entwärmung	☐ nein ☐ ja	☐ mittel ☐ hoch		
UL-Anforderung	☐ nein ☐ ja			
RoHS	☐ nein ☐ ja			
Information				



Spezifikation von Leiterplatten und Baugruppen 18

Technische Anforderungen (Durchschlagsfestigkeit)

Die Durchschlagsfestigkeit hängt vom Dielektrikum des Basismaterials ab. Der Wert ist selbst für FR4-Material uneinheitlich. Wenn die Option "ja" gewählt wird, dann muß auch der erforderliche Mindestwert für die Durchschlagsfestigkeit angegeben werden.

Technische Anforderungen (Cu-Abzugskraft)

Die mechanische Kraft, die benötigt wird, um das Basiskupfers vom Trägermaterial abziehen, ist abhängig von der Oberflächenrauigkeit dieses Trägermaterials. Wenn die Option "ja" gewählt wird, dann muß der erforderliche Mindestwert angegeben werden.

Technische Anforderungen (Permittivität)

Die Permittivität ($\sim$ Epsilon r) beeinflusst die Signalgeschwindigkeit und die Speicherkapazität auf einer Leiterplatte. Die Berechnung der Impedanz erfordert die Kenntnis der Permittivität des eingesetzten Basismaterials. Wird "ja" gewählt, dann muß das Epsilon- r angegeben werden.

LeiterplattenAkademie		Leiterplattenspezifikation		4/5
Verifikation (Leiterplatte)				
Impedanzprüfung	☐ nein ☐ ja	Werte	_____ Ω	
Widerstandsmessung	☐ nein ☐ ja	Werte	_____ Ω	
Leiterplatte vermessen	☐ nein ☐ ja	Werte	_____ Ω	
Elektronische Prüfung	☐ nein ☐ ja			
Stückzahl und Abmaße				
Anzahl Leiterplatten	_____ Stück			
Leiterplattenmaß	_____ mm	x	_____ mm	
Liefermaßen	_____ -fach			
Liefermaß	_____ mm	x	_____ mm	
Warenausgang				
Endkontrolle	☐ Standard ☐ Sonst	_____		
CAD-Layoutgeometrien				
Minimale Leiterbahnbreite	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Leiterbildabstand	☐ >200 μ m ☐ 100-85 μ m	☐ 200-150 ☐ 85-70 μ m	☐ 150-125 ☐ 125-100 μ m	☐ <70 μ m
Minimaler Via-Restricting	☐ >200 μ m	☐ 200-175	☐ 175-150	☐ <150 μ m
Technische Anforderungen				
Durchschlagsfestigkeit	☐ nein ☐ ja	_____ kV / mm		
Cu-Abzugskraft	☐ nein ☐ ja	_____ N / mm		
Permittivität ϵ_r	☐ nein ☐ ja	_____ bei 1GHz		
Entwärmung	☐ nein ☐ ja	☐ mittel ☐ hoch		
UL-Anforderung	☐ nein ☐ ja			
RoHs	☐ nein ☐ ja			
Information				



Spezifikation von Leiterplatten und Baugruppen 19

Technische Anforderungen (Entwärmung)

Bei der Wahl "nein" ist die Entwärmung der Baugruppe über das Basismaterial der Leiterplatte unwichtig. Bei der Wahl "ja" wird der Leiterplattenhersteller prüfen, ob die geplanten Basismaterialien (...und bei Multilayern sind das alle eingesetzten Lamine und Prepregs) eine Entwärmung unterstützen. Über die Parameter "mittel" und "hoch" kann eine Vorrangigkeit zugeordnet werden.

Technische Anforderungen (UL-Anforderung)

Ist die UL-Anforderung mit "ja" bestätigt, dann prüft der Leiterplattenhersteller, ob die geplanten Basismaterialien, der Lötstoplack und das Fertigungsverfahren die UL-Anforderungen erfüllen.

Technische Anforderungen (RoHs)

Ist RoHs mit "ja" bestätigt, dann ist vor allem HAL(PbSn) als Oberfläche nicht mehr zulässig.

Information (Seite 4/5) Ergänzende Erläuterungen zu dieser Seite.

LeiterplattenAkademie		Leiterplattenspezifikation		4/5
Verifikation (Leiterplatte)				
Impedanzprüfung	☐ nein ☐ ja	Werte	_____ Ω	
Widerstandsmessung	☐ nein ☐ ja	Werte	_____ Ω	
Leiterplatte vermessen	☐ nein ☐ ja	Werte	_____ Ω	
Elektronische Prüfung	☐ nein ☐ ja			
Stückzahl und Abmaße				
Anzahl Leiterplatten	_____ Stück			
Leiterplattenmaß	_____ mm	x	_____ mm	
Liefermaßen	_____ -fach			
Liefermaß	_____ mm	x	_____ mm	
Warenausgang				
Endkontrolle	☐ Standard	☐ Sonst	_____	
CAD-Layoutgeometrien				
Minimale Leiterbahnbreite	☐ >200 μ m ☐ 200-150 ☐ 150-125 ☐ 125-100 μ m			
	☐ 100-85 μ m ☐ 85-70 μ m ☐ <70 μ m			
Minimaler Leiterbildabstand	☐ >200 μ m ☐ 200-150 ☐ 150-125 ☐ 125-100 μ m			
	☐ 100-85 μ m ☐ 85-70 μ m ☐ <70 μ m			
Minimaler Via-Restring	☐ >200 μ m ☐ 200-175 ☐ 175-150 ☐ <150 μ m			
Technische Anforderungen				
Durchschlagsfestigkeit	☐ nein ☐ ja	_____ kV / mm		
Cu-Abzugskraft	☐ nein ☐ ja	_____ N / mm		
Permittivität ϵ_r	☐ nein ☐ ja	_____ bei 1GHz		
Entwärmung	☐ nein ☐ ja	☐ mittel ☐ hoch		
UL-Anforderung	☐ nein ☐ ja			
RoHs	☐ nein ☐ ja			
Information				





Spezifikation von Leiterplatten und Baugruppen 21

Bauteile (BGA-Gehäuse)

Gibt es keine BGAs auf der Baugruppe, dann ist die Option "nein" zu wählen.

Bei Wahl der Option "ja" sind sowohl der Pitch als auch die Pinanzahl des komplexesten BGAs anzugeben, damit die Anforderung an die Leiterplatte eingeschätzt werden kann.

Bauteile (BTC-Gehäuse)

Gibt es keine BTCs auf der Baugruppe, dann ist die Option "nein" zu wählen.

Bei Wahl der Option "ja" kann die Anforderung an die Leiterplatte eingeschätzt werden.

Verbindungstechnik (Reflowlöten)

Das Reflowlöten wird für die Montage von SMDs eingesetzt.

Wenn keine Bauteile reflowgelötet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer reflowgelötet wird.

LeiterplattenAkademie		Baugruppenspezifikation		5/5
Bauteile				
SMD (Top)	☐ nein ☐ ja	Anzahl der SMD-Flächen		
kleinste Bauform		☐ ≥ 0603 ☐ 0402 ☐ 0201		
SMD (Bot)	☐ nein ☐ ja	Anzahl der SMD-Flächen		
kleinste Bauform		☐ ≥ 0603 ☐ 0402 ☐ 0201		
BGA-Gehäuse (minimal)	☐ nein ☐ ja	Pitch	_____ µm	Σ Pins _____
BTC-Gehäuse (minimal)	☐ nein ☐ ja	Pitch	_____ µm	Σ Pins _____
Verbindungstechnik				
Reflowlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Dampfphasenlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Wellenlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Sequentielle Welle	☐ nein ☐ ja	☐ Top	☐ Bot	
Manuell Löten	☐ nein ☐ ja	☐ Top	☐ Bot	
Bonden	☐ nein ☐ ja	☐ Top	☐ Bot	
Einpressen	☐ nein ☐ ja	☐ Top	☐ Bot	
Leitkleben	☐ nein ☐ ja	☐ Top	☐ Bot	
Betriebsbedingungen				
Sicherheitsanforderungen	☐ Ex-Geschützt	☐ Sonst	_____	
Einsatzbereich	☐ Automotive ☐ Medizin ☐ Agrartechnik ☐ Baumaschinen	☐ Avionik ☐ Industrie ☐ Nautik ☐ Sonst	☐ Raumfahrt ☐ IT+Computer ☐ Consumer	
Betriebsumgebung	☐ Büro ☐ Krankenhaus ☐ Arktis	☐ Freiland ☐ Produktionshalle ☐ Sonst	☐ Offshore ☐ Tropen	
Externe Belastung	☐ Hitze ☐ Säuren+Laugen ☐ Vibration ☐ Sonst	☐ Kälte ☐ Salznebel ☐ Rotation	☐ Feuchtigkeit ☐ Störenergie ☐ Beschleunigung	
Coating	☐ nein ☐ ja	Substrat	_____	
Information	_____			

Verbindungstechnik (Dampfphasenlöten)

Das Dampfphasenlöten wird für die Montage von SMDs eingesetzt. Wenn keine Bauteile dampfphasengelötet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer dampfphasengelötet wird.

Verbindungstechnik (Wellenlöten)

Das Wellenlöten wird für die Montage von THDs eingesetzt. Wenn keine Bauteile wellengelötet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer wellengelötet wird.

Verbindungstechnik (Selektive Welle)

Das selektive Wellenlöten wird für die Montage von THDs eingesetzt. Wenn keine Bauteile selektiv gelötet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer über eine selektive Welle gelötet wird.

LeiterplattenAkademie

Bauteile

SMD (Top)

kleinste Bauform

SMD (Bot)

kleinste Bauform

BGA-Gehäuse (minimal)

BTC-Gehäuse (minimal)

Verbindungstechnik

Reflowlöten

Dampfphasenlöten

Wellenlöten

Sequentielle Welle

Manuell Löten

Bonden

Einpressen

Leitkleben

Betriebsbedingungen

Sicherheitsanforderungen

Einsatzbereich

Betriebsumgebung

Externe Belastung

Coating

Information

☐ nein

☐ ja

Anzahl der SMD-Flächen

☐ ≥ 0603

☐ 0402

☐ 0201

☐ nein

☐ ja

Anzahl der SMD-Flächen

☐ ≥ 0603

☐ 0402

☐ 0201

☐ nein

☐ ja

Pitch

µm

Σ Pins

☐ nein

☐ ja

Pitch

µm

Σ Pins

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ Ex-Geschützt

☐ Sonst

☐ Automotive

☐ Medizin

☐ Agrartechnik

☐ Baumaschinen

☐ Avionik

☐ Industrie

☐ Nautik

☐ Sonst

☐ Raumfahrt

☐ IT+Computer

☐ Consumer

☐ Büro

☐ Krankenhaus

☐ Arktis

☐ Freiland

☐ Produktionshalle

☐ Sonst

☐ Offshore

☐ Tropen

☐ Hitze

☐ Säuren+Laugen

☐ Vibration

☐ Sonst

☐ Kälte

☐ Salznebel

☐ Rotation

☐ Feuchtigkeit

☐ Störenergie

☐ Beschleunigung

☐ nein

☐ ja

Substrat

Dokumentation und Spezifikation von Leiterplatten

37

Spezifikation von Leiterplatten und Baugruppen 23

Verbindungstechnik (Manuelles Löten)

Das manuelle Löten wird für die Montage von THDs aber auch von SMDs eingesetzt.

Wenn keine Bauteile manuell gelötet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Top- und/oder dem Bottomlayer manuell gelötet wird.

Verbindungstechnik (Bonden)

Das Bonden wird für die Direktmontage von Chips auf der Leiterplatte eingesetzt. Wenn keine Bauteile gebondet werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer gebondet gelötet wird. Für das Bonden muß die Leiterplattenoberfläche passen.

Verbindungstechnik (Einpressen)

Das Einpressen von THDs erfordert eine Mindestkupferdicke in den Hülsen der THD-Bohrungen. Soll nicht eingepreßt werden, dann ist die Option "nein" zu wählen. Andernfalls ist der Top- und/oder Bottomlayer anzugeben, auf dem eingepreßt werden soll.

LeiterplattenAkademie		Baugruppenspezifikation		5/5
Bauteile				
SMD (Top)	☐ nein ☐ ja	Anzahl der SMD-Flächen		
kleinste Bauform		☐ ≥ 0603 ☐ 0402 ☐ 0201		
SMD (Bot)	☐ nein ☐ ja	Anzahl der SMD-Flächen		
kleinste Bauform		☐ ≥ 0603 ☐ 0402 ☐ 0201		
BGA-Gehäuse (minimal)	☐ nein ☐ ja	Pitch	µm	Σ Pins
BTC-Gehäuse (minimal)	☐ nein ☐ ja	Pitch	µm	Σ Pins
Verbindungstechnik				
Reflowlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Dampfphasenlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Wellenlöten	☐ nein ☐ ja	☐ Top	☐ Bot	
Sequentielle Welle	☐ nein ☐ ja	☐ Top	☐ Bot	
Manuell Löten	☐ nein ☐ ja	☐ Top	☐ Bot	
Bonden	☐ nein ☐ ja	☐ Top	☐ Bot	
Einpressen	☐ nein ☐ ja	☐ Top	☐ Bot	
Leitkleben	☐ nein ☐ ja	☐ Top	☐ Bot	
Betriebsbedingungen				
Sicherheitsanforderungen	☐ Ex-Geschützt	☐ Sonst		
Einsatzbereich	☐ Automotive ☐ Medizin ☐ Agrartechnik ☐ Baumaschinen	☐ Avionik ☐ Industrie ☐ Nautik ☐ Sonst	☐ Raumfahrt ☐ IT+Computer ☐ Consumer	
Betriebsumgebung	☐ Büro ☐ Krankenhaus ☐ Arktis	☐ Freiland ☐ Produktionshalle ☐ Sonst	☐ Offshore ☐ Tropen	
Externe Belastung	☐ Hitze ☐ Säuren+Laugen ☐ Vibration ☐ Sonst	☐ Kälte ☐ Salznebel ☐ Rotation	☐ Feuchtigkeit ☐ Störenergie ☐ Beschleunigung	
Coating	☐ nein ☐ ja	Substrat		
Information				

Spezifikation von Leiterplatten und Baugruppen 24

Verbindungstechnik (Leitkleben)

Wenn keine Bauteile geklebt werden, dann ist die Option "nein" zu wählen. Andernfalls ist anzugeben, ob auf dem Toplayer und/oder dem Bottomlayer geklebt wird.

Hinweis (Verbindungstechnik)

Die Verbindungstechniken können miteinander kombiniert werden. Aus der Analyse der Angaben für die Aufbau- und Verbindungstechnik ergibt sich, ob Oberfläche, Lagenaufbau, Kontaktierung, Lack und Basismaterial für einander geeignet sind.

Beispiel (Verbindungstechnik)

Ist für eine doppelseitig SMD-bestückte Leiterplatte eine Reparatur vorgesehen, dann ist Chemisch Zinn keine akzeptable Oberfläche. Doppelseitiges Wellenlöten von THDs ist praktisch nicht umsetzbar. OSP ist bei einer doppelseitigen SMD-Bestückung nicht möglich. Beim Einpressen von Bauteilen muß die Hülsenkupferdicke $\geq 25\mu\text{m}$ sein.

LeiterplattenAkademie		Baugruppenspezifikation		5/5
Bauteile				
SMD (Top)	☐ nein ☐ ja Anzahl der SMD-Flächen _____			
kleinste Bauform	☐ ≥ 0603 ☐ 0402 ☐ 0201			
SMD (Bot)	☐ nein ☐ ja Anzahl der SMD-Flächen _____			
kleinste Bauform	☐ ≥ 0603 ☐ 0402 ☐ 0201			
BGA-Gehäuse (minimal)	☐ nein ☐ ja Pitch _____ μm Σ Pins _____			
BTC-Gehäuse (minimal)	☐ nein ☐ ja Pitch _____ μm Σ Pins _____			
Verbindungstechnik				
Reflowlöten	☐ nein ☐ Top ☐ Bot			
Dampfphasenlöten	☐ nein ☐ Top ☐ Bot			
Wellenlöten	☐ nein ☐ Top ☐ Bot			
Sequentielle Welle	☐ nein ☐ Top ☐ Bot			
Manuell Löten	☐ nein ☐ Top ☐ Bot			
Bondieren	☐ nein ☐ Top ☐ Bot			
Einpressen	☐ nein ☐ Top ☐ Bot			
Leitkleben	☐ nein ☐ Top ☐ Bot			
Betriebsbedingungen				
Sicherheitsanforderungen	☐ Ex-Geschützt ☐ Sonst _____			
Einsatzbereich	☐ Automotive ☐ Avionik ☐ Raumfahrt			
	☐ Medizin ☐ Industrie ☐ IT+Computer			
	☐ Agrartechnik ☐ Nautik ☐ Consumer			
	☐ Baumaschinen ☐ Sonst _____			
Betriebsumgebung	☐ Büro ☐ Freiland ☐ Offshore			
	☐ Krankenhaus ☐ Produktionshalle ☐ Tropen			
	☐ Arktis ☐ Sonst _____			
Externe Belastung	☐ Hitze ☐ Kälte ☐ Feuchtigkeit			
	☐ Säuren+Laugen ☐ Salznebel ☐ Störenergie			
	☐ Vibration ☐ Rotation ☐ Beschleunigung			
	☐ Sonst _____			
Coating	☐ nein ☐ ja Substrat _____			
Information				



Spezifikation von Leiterplatten und Baugruppen 25

Betriebsbedingungen (Sicherheitsanforderungen)

Die Betriebsbedingungen der Baugruppe wirken sich auf die Eigenschaften der Leiterplatte aus. Soll die Baugruppe die Sicherheitsanforderungen einer ex-geschützten Umgebung erfüllen, dann ist das entsprechende Feld zu markieren. Andernfalls kann unter "Sonst" auch eine andere Vorgabe notiert werden.

Betriebsbedingungen (Einsatzbereich)

Der Einsatzbereich der Leiterplatte, respektive der späteren Baugruppe, beeinflusst die Materialauswahl und die Prozeßtechnologie. Ist der Einsatzbereich markiert, dann kann der Leiterplattenhersteller mit seiner Kompetenz beratend unterstützen.

Beispiel (Betriebsbedingungen)

Lagenabstände, Feuchtigkeitsaufnahme, Kupferdicken, minimale Bohrdurchmesser, minimale Leiterbahnbreiten und -Abstände müssen sich am Einsatzbereich der Baugruppe, des Gerätes oder der Maschine orientieren, um eine langfristig zuverlässige Funktion zu gewährleisten.

LeiterplattenAkademie		Baugruppenspezifikation		5/5
Bauteile				
SMD (Top)	☐ nein ☐ ja Anzahl der SMD-Flächen _____			
kleinste Bauform	☐ ≥ 0603 ☐ 0402 ☐ 0201			
SMD (Bot)	☐ nein ☐ ja Anzahl der SMD-Flächen _____			
kleinste Bauform	☐ ≥ 0603 ☐ 0402 ☐ 0201			
BGA-Gehäuse (minimal)	☐ nein ☐ ja Pitch _____ μm Σ Pins _____			
BTC-Gehäuse (minimal)	☐ nein ☐ ja Pitch _____ μm Σ Pins _____			
Verbindungstechnik				
Reflowlöten	☐ nein ☐ Top ☐ Bot			
Dampfphasenlöten	☐ nein ☐ Top ☐ Bot			
Wellenlöten	☐ nein ☐ Top ☐ Bot			
Sequentielle Welle	☐ nein ☐ Top ☐ Bot			
Manuell Löten	☐ nein ☐ Top ☐ Bot			
Bonden	☐ nein ☐ Top ☐ Bot			
Einpressen	☐ nein ☐ Top ☐ Bot			
Leitkleben	☐ nein ☐ Top ☐ Bot			
Betriebsbedingungen				
Sicherheitsanforderungen	☐ Ex-Geschützt ☐ Sonst _____			
Einsatzbereich	☐ Automotive ☐ Avionik ☐ Raumfahrt			
	☐ Medizin ☐ Industrie ☐ IT+Computer			
	☐ Agrartechnik ☐ Nautik ☐ Consumer			
	☐ Baumaschinen ☐ Sonst _____			
Betriebsumgebung	☐ Büro ☐ Freiland ☐ Offshore			
	☐ Krankenhaus ☐ Produktionshalle ☐ Tropen			
	☐ Arktis ☐ Sonst _____			
Externe Belastung	☐ Hitze ☐ Kälte ☐ Feuchtigkeit			
	☐ Säuren+Laugen ☐ Salznebel ☐ Störenergie			
	☐ Vibration ☐ Rotation ☐ Beschleunigung			
	☐ Sonst _____			
Coating	☐ nein ☐ ja Substrat _____			
Information				



Betriebsbedingungen (Betriebsumgebung)

Die Betriebsumgebung beeinflusst die Konstruktion der Leiterplatte oder des Multilayers. Die langfristige Zuverlässigkeit orientiert sich an einer optimal angepaßten Fertigungsstrategie.

Betriebsbedingungen (Externe Belastung)

Ob bereits mittelfristig Schäden an einer Baugruppe auftreten werden, ergibt sich aus den Belastungen, denen die Baugruppe ausgesetzt ist.

Für den Einsatzbereich, die Betriebsumgebung und die externe Belastung der Baugruppe sind Mehrfachnennungen möglich.

Coating

Ist die Wahl "ja", dann ist das Coating-Substrat anzugeben. Der Leiterplattenhersteller hat dann die Möglichkeit, Wechselwirkungen zwischen der Chemie der von ihm verarbeiteten Lacke und der vom Baugruppenproduzenten verarbeiteten Substrate zu erkennen.

LeiterplattenAkademie

Bauteile

SMD (Top)

kleinste Bauform

SMD (Bot)

kleinste Bauform

BGA-Gehäuse (minimal)

BTC-Gehäuse (minimal)

Verbindungstechnik

Reflowlöten

Dampfphasenlöten

Wellenlöten

Sequentielle Welle

Manuell Löten

Bonden

Einpressen

Leitkleben

Betriebsbedingungen

Sicherheitsanforderungen

Einsatzbereich

Betriebsumgebung

Externe Belastung

Coating

Information

Baugruppenspezifikation

5/5

☐ nein

☐ ja

Anzahl der SMD-Flächen

☐ ≥ 0603

☐ 0402

☐ 0201

☐ nein

☐ ja

Anzahl der SMD-Flächen

☐ ≥ 0603

☐ 0402

☐ 0201

☐ nein

☐ ja

Pitch

µm

Σ Pins

☐ nein

☐ ja

Pitch

µm

Σ Pins

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ nein

☐ Top

☐ Bot

☐ Ex-Geschützt

☐ Sonst

☐ Automotive

☐ Medizin

☐ Agrartechnik

☐ Baumaschinen

☐ Avionik

☐ Industrie

☐ Nautik

☐ Sonst

☐ Raumfahrt

☐ IT+Computer

☐ Consumer

☐ Büro

☐ Krankenhaus

☐ Arktis

☐ Freiland

☐ Produktionshalle

☐ Sonst

☐ Offshore

☐ Tropen

☐ Hitze

☐ Säuren+Laugen

☐ Vibration

☐ Sonst

☐ Kälte

☐ Salznebel

☐ Rotation

☐ Feuchtigkeit

☐ Störenergie

☐ Beschleunigung

☐ nein

☐ ja

Substrat

Dokumentation und Spezifikation von Leiterplatten

41



Fazit



Fazit

Die Komplexität elektronischer Baugruppen hat sich in den letzten 15 Jahren merklich verändert.

Es ist nicht mehr so, daß die Elektronik und die darauf installierte Software uns nur *begleiten*.

Die Elektronik und die Software treffen *Entscheidungen*. Über unseren privaten und beruflichen Alltag. Über unser Leben.

Wir sind sicherlich perfekt. Zumindestens annähernd. Fehlerfrei sind wir nicht. Der Fortschritt beruht (...auch) darauf, Fehler zu erkennen, um sie in der Zukunft vermeiden zu können.

Doch erkennen können wir Fehler nur, wenn verbindlich dokumentiert wurde, was wir gemacht haben. Die detaillierte Dokumentation der eingesetzten Materialien und der strategischen Lösungen für die Entwicklung von Leiterplatten *müssen* uns auf unserem Weg unterstützen.

Und vergessen wir bitte eines nicht.

Wenn Millionen Baugruppen gefertigt werden, dann müssen irgendwann auch Millionen Baugruppen entsorgt und/oder recycelt werden.

Und da sollte man dann schon wissen, was man vor sich hat.





...das war das...





...und
vielen Dank

Philosophisches zum Ende

Eine einfachere Einfachheit ist nur möglich vor dem Hintergrund einer komplexeren Komplexität.

Gerhard Eigelsreiter, Graz

Komplexe Systeme erzeugen komplexe Fehler.

Berufserfahrung

Alles Gute ist immer einfach.
Aber alles Einfache ist nicht immer gut.

Volksmund

Man muß die Dinge so einfach wie möglich machen, aber nicht zu einfach.

Albert Einstein

Quidquid agis, prudenter agas
et respice finem.

Äsop



Informationen zur
LA - LeiterplattenAkademie GmbH



LeiterplattenAkademie



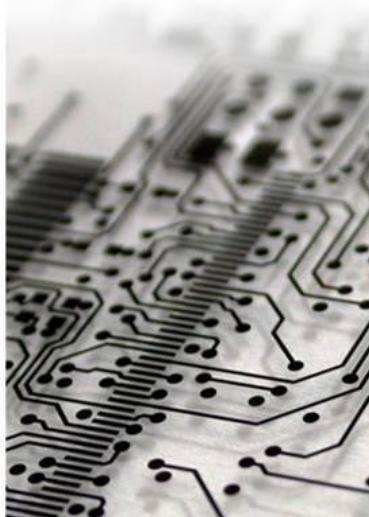
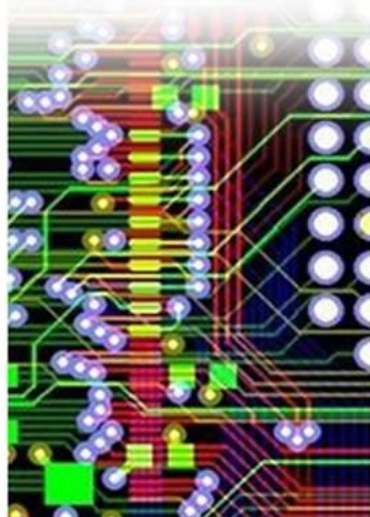
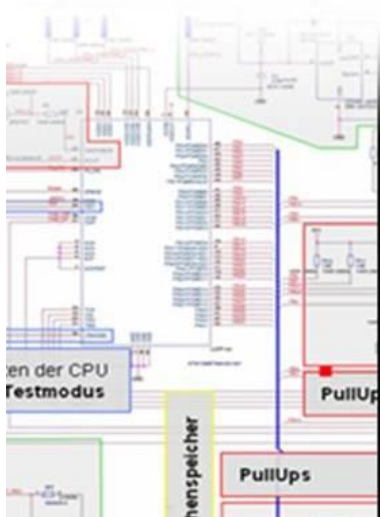
Die LA - LeiterplattenAkademie GmbH

Die Sicherung des Standortes Deutschland in Europa und der Erhalt der internationalen Wettbewerbsfähigkeit setzt eine systematische und kontinuierliche Qualifikation der Mitarbeiter/innen eines Unternehmens voraus.

Die wirtschaftliche Leistungsfähigkeit einer Industriegesellschaft und ihre technologische Kompetenz am Weltmarkt wird (auch) durch die Qualität ihrer Elektronikprodukte bestimmt.

Das erfordert eine fachlich hochwertige Aus- und Weiterbildung. Wir verstehen es als unserer Aufgabe, Fachwissen in den entscheidenden Bereichen zu vermitteln.

- Schaltplanentwicklung
- CAD-Design
- CAM-Bearbeitung
- Leiterplattentechnologie
- Baugruppenproduktion



Ihr Referent

Arnold Wiemers

Seit 1980 selbstständig als Softwareentwickler für die Kalkulation, die Fertigungsabläufe und Fertigungsleitsteuerung von Leiterplatten.

Ab 1983 angestellter Geschäftsführer für den Fachbereich CAD der ILFA GmbH, Aufbau der CAM in den 1990er Jahren und ab 2000 Technologieberatung für komplexe Leiterplatten.

Seit 2009 Inhaber und Technischer Direktor der LA-LeiterplattenAkademie GmbH.



Fachseminare zur Leiterplatten- und Baugruppententechnologie.
Mitarbeit am Schulungskonzept der entsprechenden Fachverbände.
Vom IPC zertifizierter CID, CID+, CIS 6012, Tutor und Trainer. ZED.
Aktives Mitglied im AK-Design des ZVEI.
Förderung der Ausbildung an Berufs-, Fach- und Hochschulen.





© *Alle Rechte an den Unterlagen liegen beim Autor Arnold Wiemers. Eine Vervielfältigung gleich welcher Art, auch auszugsweise, ist ohne schriftliche Genehmigung der LA - LeiterplattenAkademie GmbH nicht zulässig. Alle Angaben in diesen Unterlagen sind ohne Gewähr.*

Kontakt

LA - LeiterplattenAkademie GmbH
Krefelder Straße 18
D-10555 Berlin

www.leiterplattenakademie.de

Geschäftsleitung

Kathrin Fechner

Technischer Direktor

Arnold Wiemers

Telefon 030 / 34 35 18 99

Telefax 030 / 34 35 19 02

Telefon 0171 / 358 3712

Telefax 0531 / 126441

eMail

info@leiterplattenakademie.de

eMail

awi@leiterplattenakademie.de



Informationen zum ISW-Lizenzserver



LeiterplattenAkademie



Herzlich Willkommen auf unserem Portal.

Wir bieten Ihnen Kompetenz, Information und Ausbildung zu den Themenfeldern CAD-Designregeln, Leiterplattentechnologie und Baugruppenproduktion, getreu unserem Motto "Lernen - Wissen - Handeln".

Unter **Abonnements** und **FAQ** erfahren Sie, welche Leistungen wir Ihnen zur Verfügung stellen und welche Kosten entstehen.

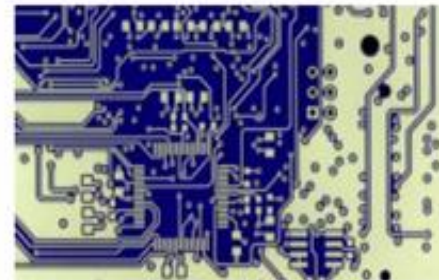
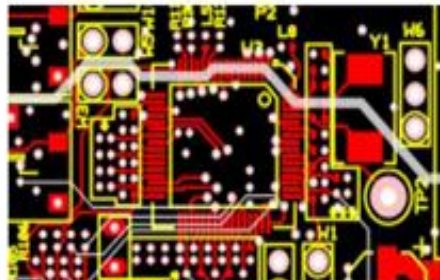
Mit dem **Login** auf unseren Lizenzserver erhalten Sie Zugang zu den Seminarunterlagen, Bauplänen, Design-Regeln, Fertigungsabläufen und Spezifikationen.

Der Link "**LeiterplattenAkademie**" führt Sie zur Homepage unseres Partners, der LA - LeiterplattenAkademie GmbH. Sie können dort als Präsenz oder Online freie Seminare und InHouse-Schulungen buchen.

Danke für Ihr Interesse.

Arnold Wiemers

```
S IXBVG="CMT10(REFB,BVG)
S IXBGE="CMT03(REFB,BGE)
LIST35 ; Datenbank : Verzeichnis zeigen
S GLB=SE(IXBTY_LER,1,16) SE(IXBWR
S N=N+1,"VRZ01(TTY,N)="_SE(GLB_LER,1,
S "MRK01(TTY,N)=BTY","_BWR","_BVG";
G LIST34
PLZ6 ; Projektliste zu Bauteiltypen erst
KILL BTXT S AN="",A="MRK01(TTY,VZNR)
S BTY=$P(A,";",1),BWR=$P(A,";",2),BVG=$
```



Software

CAD

Leiterplatte

Baugruppe

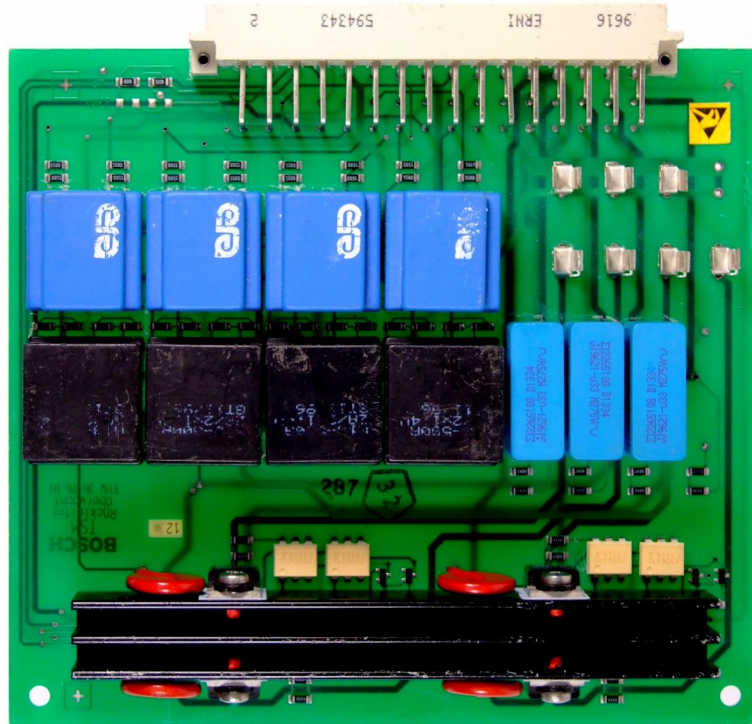
Anhang

Beispiel

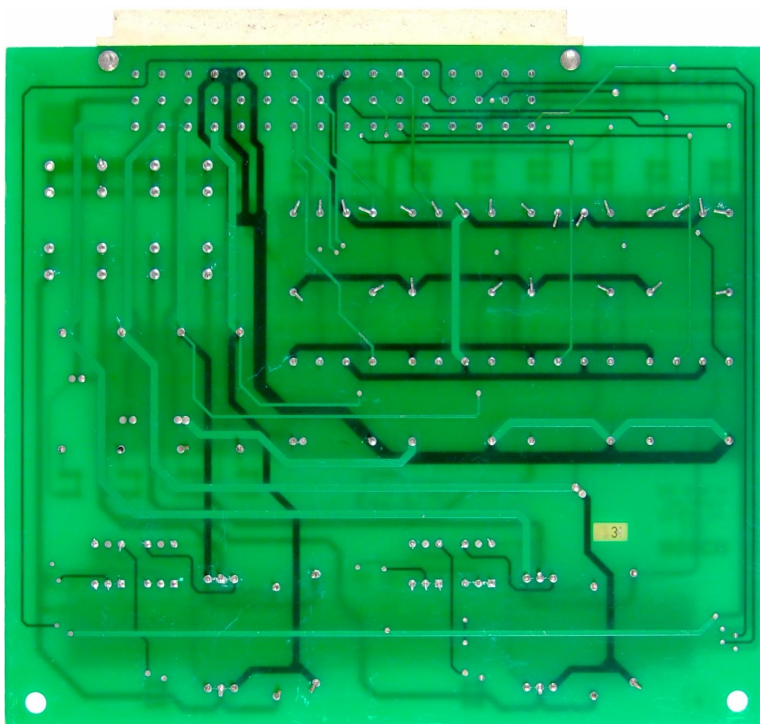
Baugruppe

Baugruppenspezifikation

Toplayer



Bottomlayer

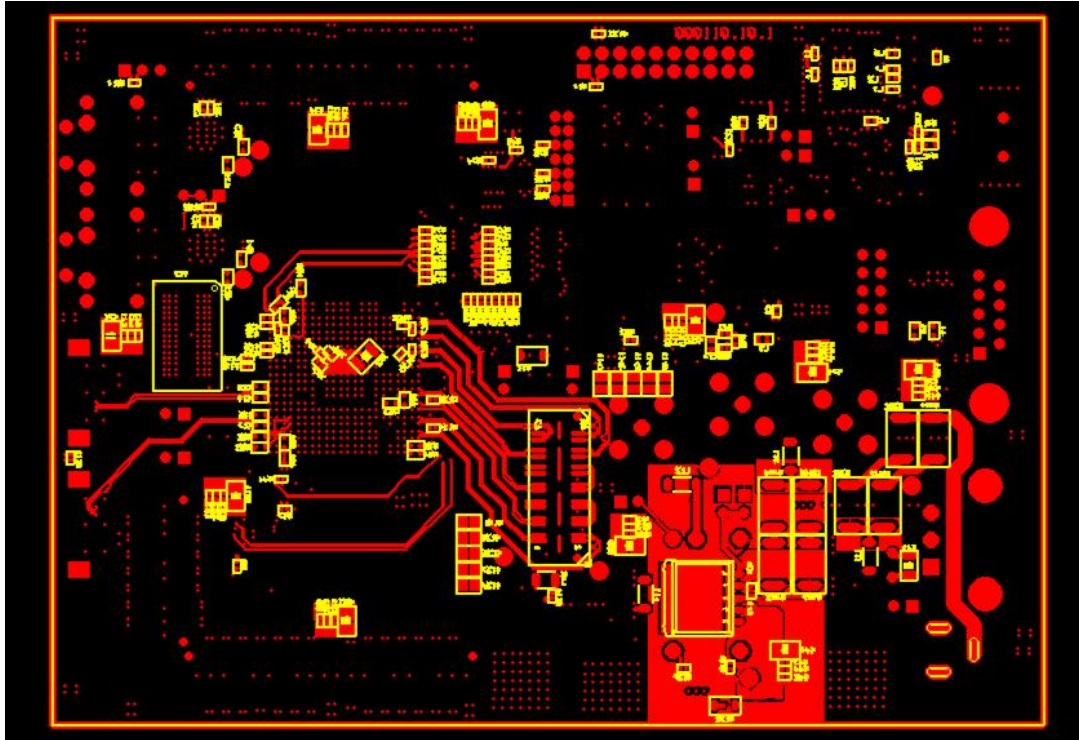


Beispiel

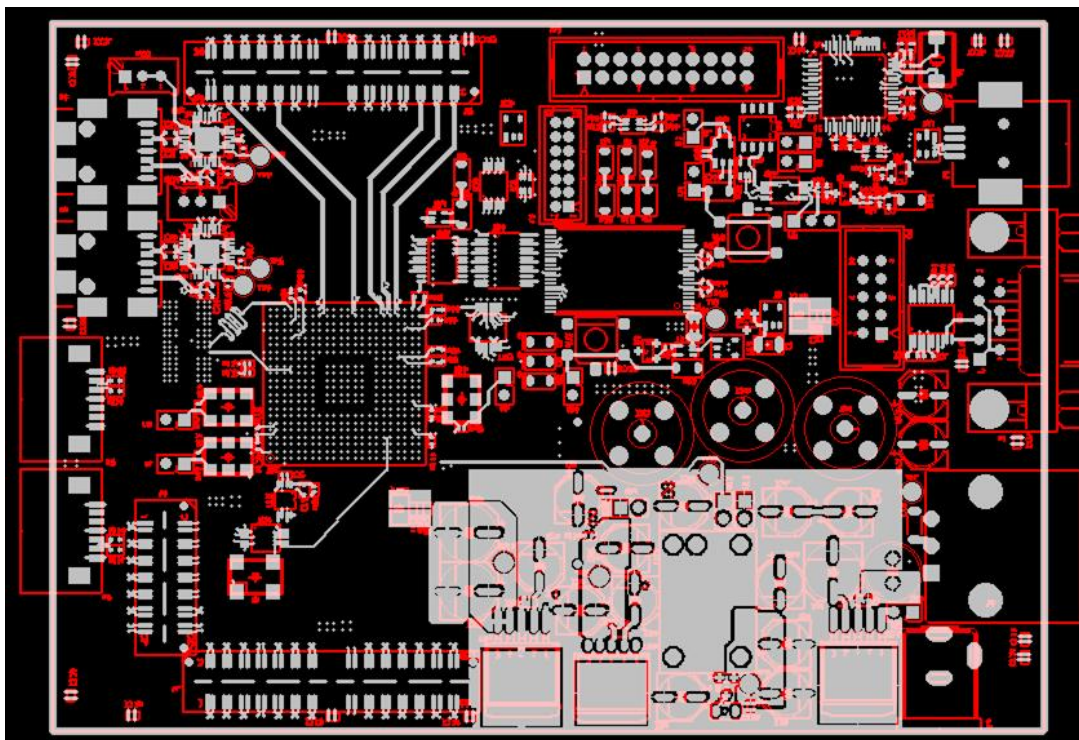
Baugruppe

Baugruppenspezifikation

Toplayer



Bottomlayer



**Kontakt**

Firma

Ansprechpartner/in

Telefon / eMail

Anfragestatus☐ Prototyp ☐ Vorserie ☐ Serie**Produktbezeichnung**

Leiterplattenbezeichnung

Zeichnungsnummer

Datensatzkennung**Klassifizierung**

Leiterplattenklasse

Layoutklasse

Lagenanzahl

☐ starr	☐ flex	☐ starrflex					
☐ Standard (>150)	☐ HDI (~100µm)	☐ MFT (<100µm)					
☐ 1	☐ 2	☐ 3	☐ 4	☐ 5	☐ 6	☐ 7	☐ 8
☐ 10	☐ 12	☐ 14	☐ 16	☐ 18	☐ 20	☐ Sonst	_____

Basismaterial

Materialtyp

☐ FR4	☐ Tg 135°	☐ Tg 150°	☐ Tg 175°
	☐ nicht halogenfrei	☐ halogenfrei	
☐ CEM1	☐ CEM3	☐ FR2	
☐ Polyimid	☐ PTFE	☐ Sonst	_____

Materialhersteller

☐ keine Vorgabe ☐ Sonst _____

LP-/Multilayerbauplan

☐ ohne Bauplan ☐ Bauplan nach Anlage**Bohren**

Anzahl THT-Bohrungen

_____ dk _____ ndk

dk-Vias

☐ nein ☐ End-Ø _____ µm Anzahl _____

BlindVias

☐ nein ☐ End-Ø _____ µm Anzahl _____☐ Bohren ☐ Lasern

BuriedVias

☐ nein ☐ End-Ø _____ µm Anzahl _____☐ Bohren ☐ Lasern**Information**

**Kontur**

Fräsen

☐ nein ☐ ja _____ cm fräsen

Ritzen

☐ nein ☐ ja _____ cm ritzen

Lasern

☐ nein ☐ ja _____ cm lasern**Galvanische Qualität**

Endoberfläche

☐ Chem. Ni/Gold ☐ Chem. Silber ☐ Chem. Zinn☐ HAL (bleifrei) ☐ HAL (PbSn) ☐ OSP☐ Chem. Gold Ni/Pd ☐ Chem. Palladium/Gold☐ Galvanisch Gold

Kantenmetallisierung

☐ nein ☐ ja

Steckervergoldung

☐ nein ☐ ja _____ cm²

Stecker anfasen

☐ nein ☐ ja ☐ 20° ☐ 30° ☐ 45°**Plugging**

Viaplugging

☐ nein ☐ ja ☐ Epoxydharz ☐ Silberleitpaste☐ Sonst _____**Drucke und Lacke**

Lötstopdruck

☐ nein ☐ top Farbe _____☐ bot Farbe _____

Bestückungsdruck

☐ nein ☐ top Farbe _____☐ bot Farbe _____

Abziehlack

☐ nein ☐ top Farbe _____☐ bot Farbe _____

Viadruck

☐ nein ☐ top Farbe _____☐ bot Farbe _____

Carbondruck

☐ nein ☐ top Farbe _____☐ bot Farbe _____

Heatsinkdruck

☐ nein ☐ top Farbe _____☐ bot Farbe _____**Information**

Verifikation (Leiterplatte)

Impedanzprüfung ☐ nein ☐ ja Werte _____ Ω
 Widerstandsmessung ☐ nein ☐ ja Werte _____ Ω
 Leiterplatte vermessen ☐ nein ☐ ja Werte _____
 Elektronische Prüfung ☐ nein ☐ ja

Stückzahl und Abmaße

Anzahl Leiterplatten _____ Stück
 Leiterplattenmaß _____ mm x _____ mm
 Liefernutzen _____ -fach
 Liefermaß _____ mm x _____ mm

Warenausgang

Endkontrolle ☐ Standard ☐ Sonst _____

CAD-Layoutgeometrien

Minimale Leiterbahnbreite ☐ >200 μ m ☐ 200-150 ☐ 150-125 ☐ 125-100 μ m
☐ 100-85 μ m ☐ 85-70 μ m ☐ <70 μ m

Minimaler Leiterbildabstand ☐ >200 μ m ☐ 200-150 ☐ 150-125 ☐ 125-100 μ m
☐ 100-85 μ m ☐ 85-70 μ m ☐ <70 μ m

Minimaler Via-Restring ☐ >200 μ m ☐ 200-175 ☐ 175-150 ☐ <150 μ m

Technische Anforderungen

Durchschlagsfestigkeit ☐ nein ☐ ja _____ kV / mm
 Cu-Abzugskraft ☐ nein ☐ ja _____ N / mm
 Permittivität ϵ_r ☐ nein ☐ ja _____ bei 1GHz
 Entwärmung ☐ nein ☐ ja ☐ mittel ☐ hoch
 UL-Anforderung ☐ nein ☐ ja
 RoHs ☐ nein ☐ ja

Information

**Bauteile**

SMD (Top)

kleinste Bauform

☐ nein☐ ja

Anzahl der SMD-Flächen _____

☐ ≥ 0603 ☐ 0402☐ 0201

SMD (Bot)

kleinste Bauform

☐ nein☐ ja

Anzahl der SMD-Flächen _____

☐ ≥ 0603 ☐ 0402☐ 0201

BGA-Gehäuse (minimal)

☐ nein☐ jaPitch _____ μm Σ Pins _____

BTC-Gehäuse (minimal)

☐ nein☐ jaPitch _____ μm Σ Pins _____**Verbindungstechnik**

Reflowlöten

☐ nein☐ Top☐ Bot

Dampfphasenlöten

☐ nein☐ Top☐ Bot

Wellenlöten

☐ nein☐ Top☐ Bot

Sequentielle Welle

☐ nein☐ Top☐ Bot

Manuell Löten

☐ nein☐ Top☐ Bot

Bonden

☐ nein☐ Top☐ Bot

Einpressen

☐ nein☐ Top☐ Bot

Leitkleben

☐ nein☐ Top☐ Bot**Betriebsbedingungen**

Sicherheitsanforderungen

☐ Ex-Geschützt☐ Sonst _____

Einsatzbereich

☐ Automotive☐ Avionik☐ Raumfahrt☐ Medizin☐ Industrie☐ IT+Computer☐ Agrartechnik☐ Nautik☐ Consumer☐ Baumaschinen☐ Sonst _____

Betriebsumgebung

☐ Büro☐ Freiland☐ Offshore☐ Krankenhaus☐ Produktionshalle☐ Tropen☐ Arktis☐ Sonst _____

Externe Belastung

☐ Hitze☐ Kälte☐ Feuchtigkeit☐ Säuren+Laugen☐ Salznebel☐ Störenergie☐ Vibration☐ Rotation☐ Beschleunigung☐ Sonst _____**Coating**☐ nein☐ ja

Substrat _____

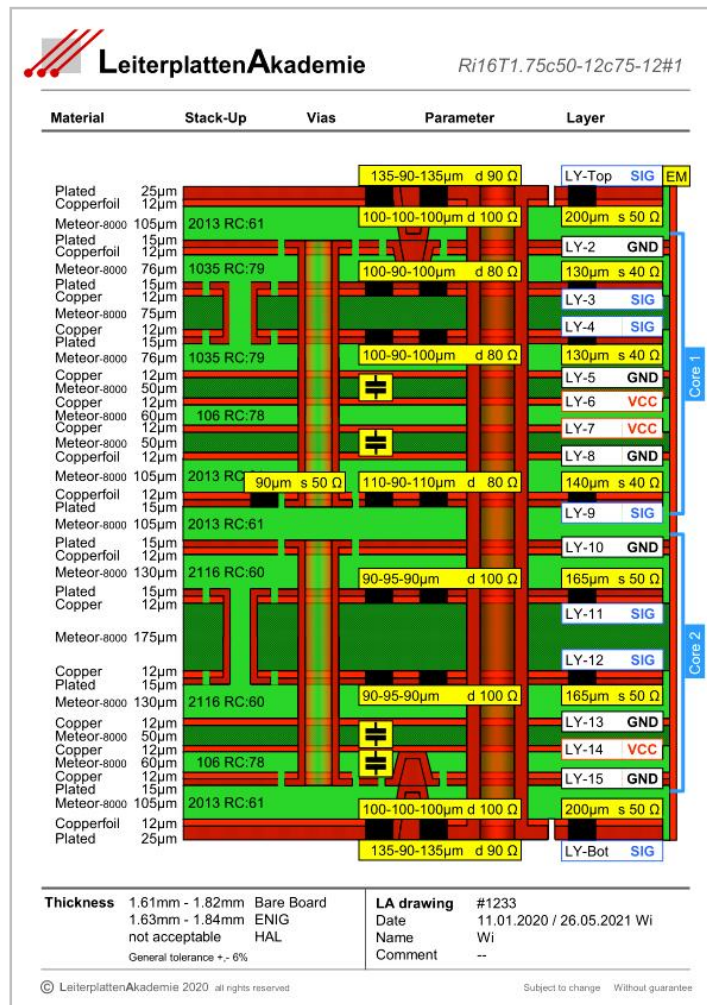
Information

Anhang

PCB Stack-Up

PCB class Rigid
 Layer count 16
 Material Meteorwave[®] 8000

PCB name R16T1.75c50-12c75-12#1
 LA drawing 1233





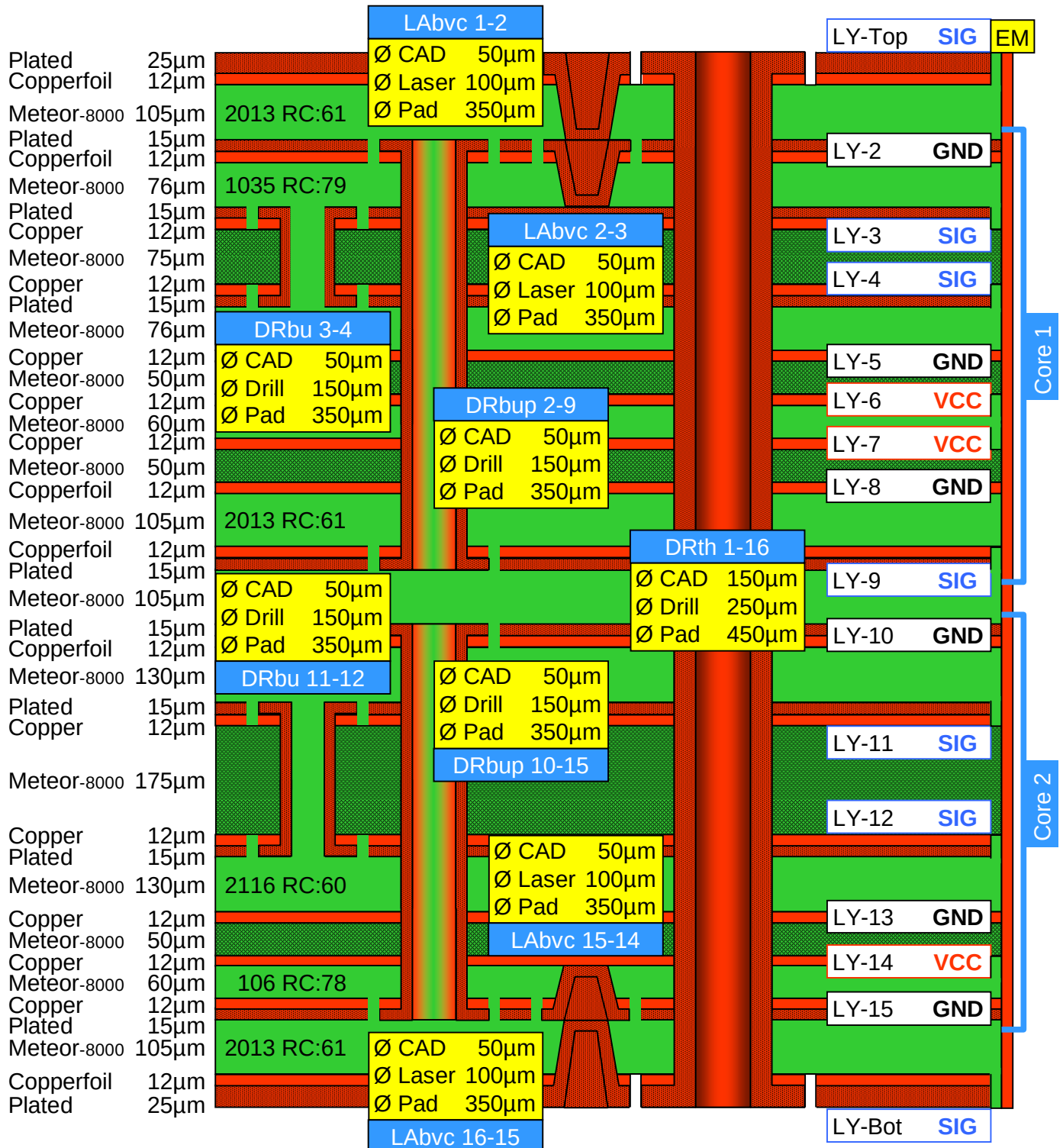
Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		135-90-135µm d 90 Ω	LY-Top SIG EM
Copperfoil	12µm			
Meteor-8000	105µm	2013 RC:61	100-100-100µm d 100 Ω	200µm s 50 Ω
Plated	15µm			LY-2 GND
Copperfoil	12µm			
Meteor-8000	76µm	1035 RC:79	100-90-100µm d 80 Ω	130µm s 40 Ω
Plated	15µm			LY-3 SIG
Copper	12µm			LY-4 SIG
Meteor-8000	75µm			
Copper	12µm			
Plated	15µm		100-90-100µm d 80 Ω	130µm s 40 Ω
Meteor-8000	76µm	1035 RC:79		LY-5 GND
Copper	12µm			LY-6 VCC
Meteor-8000	50µm			LY-7 VCC
Copper	12µm			LY-8 GND
Plated	15µm			
Meteor-8000	50µm			
Copperfoil	12µm			
Meteor-8000	105µm	2013 RC:61	90µm s 50 Ω 110-90-110µm d 80 Ω	140µm s 40 Ω
Copperfoil	12µm			LY-9 SIG
Plated	15µm			LY-10 GND
Meteor-8000	105µm	2013 RC:61		
Plated	15µm			
Copperfoil	12µm			
Meteor-8000	130µm	2116 RC:60	90-95-90µm d 100 Ω	165µm s 50 Ω
Plated	15µm			LY-11 SIG
Copper	12µm			LY-12 SIG
Meteor-8000	175µm			
Copper	12µm			
Plated	15µm			
Meteor-8000	130µm	2116 RC:60	90-95-90µm d 100 Ω	165µm s 50 Ω
Copper	12µm			LY-13 GND
Meteor-8000	50µm			LY-14 VCC
Copper	12µm			LY-15 GND
Meteor-8000	60µm	106 RC:78		
Copper	12µm			
Plated	15µm			
Meteor-8000	105µm	2013 RC:61	100-100-100µm d 100 Ω	200µm s 50 Ω
Copperfoil	12µm			
Plated	25µm		135-90-135µm d 90 Ω	LY-Bot SIG

Thickness 1.61mm - 1.82mm Bare Board
 1.63mm - 1.84mm ENIG
 not acceptable HAL
 General tolerance +, - 6%

LA drawing #1233
 Date 11.01.2020 / 26.05.2021 Wi
 Name Wi
 Comment --



Plating	From Layer	To Layer	File Extension	From Layer	To Layer	File Extension
Throughholes	LY-Top	LY-Bot	DRth 1-16			
BlindVias	LY-Bot	LY-2	LABcv1-2	LY-2	LY-3	LABvc2-3
BuriedVias	LY-3	LY-4	DRbu3-4	LY-2	LY-9	DRbup2-9
BuriedVias	LY-11	LY-12	DRbu11-12	LY-10	LY-15	DRbup10-15
BlindVias	LY-15	LY-14	LABvc15-14	LY-Bot	LY-15	LABvc16-15





Material per PCB		#	Glass	Resin	Pressed Thickness	Company
Prepreg	Meteorwave 8000	2	106	RC:78%	50µm +,- 13µm	Park
Prepreg	Meteorwave 8000	2	1035	RC:79%	76µm +,- 13µm	Park
Prepreg	Meteorwave 8000	4	2013	RC:61%	105µm +,- 13µm	Park
Prepreg	Meteorwave 8000	2	2116	RC:60%	130µm +,- 18µm	Park
Core	Meteorwave 8000	3	106	RC:75%	50µm +,- 13µm	Park
Core	Meteorwave 8000	1	1080	RC:69%	75µm +,- 13µm	Park
Core	Meteorwave 8000	1	2013	RC:56%	175µm +,- 26µm	Park

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		130-90-130µm d 90 D	LY-Top SIG
Copperfoil	12µm		100-100-100µm d 100 D	LY-2 GND
Meteor-ess	105µm		100-90-100µm d 90 D	LY-3 SIG
Plated	15µm		100-90-100µm d 90 D	LY-4 SIG
Copper	12µm		100-90-100µm d 90 D	LY-5 GND
Meteor-ess	75µm		100-90-100µm d 90 D	LY-6 VCC
Plated	15µm		100-90-100µm d 90 D	LY-7 VCC
Copper	12µm		100-90-100µm d 90 D	LY-8 GND
Meteor-ess	105µm		100-90-100µm d 90 D	LY-9 SIG
Plated	15µm		100-90-100µm d 90 D	LY-10 GND
Copperfoil	12µm		100-90-100µm d 90 D	LY-11 SIG
Meteor-ess	130µm		100-90-100µm d 90 D	LY-12 SIG
Plated	15µm		100-90-100µm d 90 D	LY-13 GND
Copper	12µm		100-90-100µm d 90 D	LY-14 VCC
Meteor-ess	60µm		100-90-100µm d 90 D	LY-15 GND
Copper	12µm		100-90-100µm d 90 D	LY-16 SIG
Plated	15µm		100-90-100µm d 90 D	LY-17 SIG
Meteor-ess	175µm		100-90-100µm d 90 D	LY-18 SIG
Copper	12µm		100-90-100µm d 90 D	LY-19 SIG
Plated	15µm		100-90-100µm d 90 D	LY-20 SIG
Meteor-ess	130µm		100-90-100µm d 90 D	LY-21 SIG
Copper	12µm		100-90-100µm d 90 D	LY-22 GND
Meteor-ess	60µm		100-90-100µm d 90 D	LY-23 VCC
Copper	12µm		100-90-100µm d 90 D	LY-24 GND
Plated	15µm		100-90-100µm d 90 D	LY-25 SIG
Meteor-ess	105µm		100-90-100µm d 90 D	LY-26 SIG
Copperfoil	12µm		100-90-100µm d 90 D	LY-27 SIG
Plated	25µm		130-90-130µm d 90 D	LY-Bot SIG
Thickness: 1.61mm - 1.82mm Bare Board 1.63mm - 1.84mm ENIG not acceptable HAL General tolerance +/- 0.05				
LA drawing: #1233 Date: 11.01.2020 / 26.05.2021 W Name: W Comment: --				
© LeiterplattenAkademie 2020 - all rights reserved. Subject to change. Without guarantee.				

Material Properties

Meteorwave ®

IPC specification sheet
Epoxy system
Curing agent
Flame retardant mech.
UL certificate
Dielectric value
Loss tangent
Tg
CTE x/y/z
Electrical strength
Adhesive strength

IPC-4101 / 102

FR4

phenolic

RoHS compliant Bromine

UL94 V-0

3.35@10GHz

0.0016@10GHz

165° by DSC

before Tg : 14/16/35 ppm

after Tg : 14/16/185 ppm

40 kV/mm minimum specified by IPC

0.78 N/mm minimum for copper foils >17µm

Park Electrochemical Corp. Data sheet July 2018

Values not listed in the technical documentation

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		130-90-130µm d 90 D	LY-Top SIG
Copperfoil	12µm		100-100-100µm d 100 D	LY-2 GND
Meteor-ess	105µm		100-90-100µm d 90 D	LY-3 SIG
Plated	15µm		100-90-100µm d 90 D	LY-4 SIG
Copper	12µm		100-90-100µm d 90 D	LY-5 GND
Meteor-ess	75µm		100-90-100µm d 90 D	LY-6 VCC
Plated	15µm		100-90-100µm d 90 D	LY-7 VCC
Copper	12µm		100-90-100µm d 90 D	LY-8 GND
Meteor-ess	105µm		100-90-100µm d 90 D	LY-9 SIG
Plated	15µm		100-90-100µm d 90 D	LY-10 GND
Copperfoil	12µm		100-90-100µm d 90 D	LY-11 SIG
Meteor-ess	130µm		100-90-100µm d 90 D	LY-12 SIG
Plated	15µm		100-90-100µm d 90 D	LY-13 GND
Copper	12µm		100-90-100µm d 90 D	LY-14 VCC
Meteor-ess	60µm		100-90-100µm d 90 D	LY-15 GND
Copper	12µm		100-90-100µm d 90 D	LY-16 SIG
Plated	15µm		100-90-100µm d 90 D	LY-17 SIG
Meteor-ess	175µm		100-90-100µm d 90 D	LY-18 SIG
Copper	12µm		100-90-100µm d 90 D	LY-19 SIG
Plated	15µm		100-90-100µm d 90 D	LY-20 SIG
Meteor-ess	130µm		100-90-100µm d 90 D	LY-21 SIG
Copper	12µm		100-90-100µm d 90 D	LY-22 GND
Meteor-ess	60µm		100-90-100µm d 90 D	LY-23 VCC
Copper	12µm		100-90-100µm d 90 D	LY-24 GND
Plated	15µm		100-90-100µm d 90 D	LY-25 SIG
Meteor-ess	105µm		100-90-100µm d 90 D	LY-26 SIG
Copperfoil	12µm		100-90-100µm d 90 D	LY-27 SIG
Plated	25µm		130-90-130µm d 90 D	LY-Bot SIG
Thickness: 1.61mm - 1.82mm Bare Board 1.63mm - 1.84mm ENIG not acceptable HAL General tolerance +/- 0.05				
LA drawing: #1233 Date: 11.01.2020 / 26.05.2021 W Name: W Comment: --				
© LeiterplattenAkademie 2020 - all rights reserved. Subject to change. Without guarantee.				

PCB & CAD-Layout Specification

PCB class

Rigid

Cores mounted

Inside / Dual Core

Copper thickness

15µm for buried vias

25µm for throughhole barrels

Throughhole vias

CAD : 150µm diameter, 450µm pad minimum

Drill : 250µm tool diameter minimum

AspectRatio

1:8 or better is necessary

BuriedVia

CAD : 50µm diameter, 350µm pad minimum

Drill : 150µm tool diameter minimum

BlindVia

CAD : 50µm diameter, 350µm pad minimum

Laser: 100µm diameter maximum

Track width

90µm minimum on inner signal layers

Track distance

90µm minimum on inner signal layers

Solder mask

Double sided, fotosensitive, thickness 20µm

Plugging

BuriedVias (Epoxy) / BlindVias (Copper)

Edge metallization

No

UL

Yes



LeiterplattenAkademie Ri16T1.75c50-12c75-12#1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		135-90-135µm d 90 Ø	LY-Top SIG
Copper	12µm			LY-Top SIG
Meteor wave	100µm		100-100-100µm d 100 Ø	LY-2 GND
Plated	15µm			LY-2 GND
Copper	12µm			LY-2 GND
Meteor wave	75µm		105-65-105µm d 80 Ø	LY-3 SIG
Plated	15µm			LY-3 SIG
Copper	12µm			LY-3 SIG
Meteor wave	75µm		105-65-105µm d 80 Ø	LY-4 SIG
Plated	15µm			LY-4 SIG
Copper	12µm			LY-4 SIG
Meteor wave	50µm		108-RC-78	LY-5 GND
Copper	12µm			LY-5 GND
Meteor wave	50µm		108-RC-78	LY-6 VCC
Copper	12µm			LY-6 VCC
Meteor wave	50µm		108-RC-78	LY-7 VCC
Copper	12µm			LY-7 VCC
Meteor wave	50µm		108-RC-78	LY-8 GND
Copper	12µm			LY-8 GND
Meteor wave	100µm		115-90-115µm d 80 Ø	LY-9 SIG
Plated	15µm			LY-9 SIG
Copper	12µm			LY-9 SIG
Meteor wave	100µm		2013 RC-61	LY-10 GND
Plated	15µm			LY-10 GND
Copper	12µm			LY-10 GND
Meteor wave	130µm		2116 RC-90	LY-11 SIG
Plated	15µm			LY-11 SIG
Copper	12µm			LY-11 SIG
Meteor wave	175µm			LY-11 SIG
Copper	12µm			LY-12 SIG
Plated	15µm			LY-12 SIG
Copper	12µm			LY-12 SIG
Meteor wave	130µm		2116 RC-90	LY-13 GND
Plated	15µm			LY-13 GND
Copper	12µm			LY-13 GND
Meteor wave	60µm		108-RC-78	LY-14 VCC
Copper	12µm			LY-14 VCC
Meteor wave	60µm		108-RC-78	LY-15 GND
Plated	15µm			LY-15 GND
Copper	12µm			LY-15 GND
Meteor wave	100µm		2013 RC-61	LY-16 SIG
Plated	15µm			LY-16 SIG
Copper	12µm			LY-16 SIG
Meteor wave	25µm		135-90-135µm d 90 Ø	LY-Bot SIG

Thickness: 1.61mm - 1.82mm Bare Board
1.63mm - 1.84mm ENIG
not acceptable HAL
General reference - 10%
LA drawing #1233
Date 11.01.2020 / 26.05.2021
Name
Comment

© LeiterplattenAkademie 2020 - all rights reserved. Subject to change. Without guarantee.

Electromagnetical & Physical Properties

MultiPowerSystem 4 pairs GND + VCC with 50µm distance

Impedance 40, 50, 90 Ω single ended
80, 100 Ω differential

Decoupling no additional capacitors calculated

Power integrity



Signal integrity



EMI



Thermal properties



Impedance calculated with POLAR Si8000 V9.02.00
Decoupling capacitors are calculated with DCC Silent V.4.0

LeiterplattenAkademie Ri16T1.75c50-12c75-12#1

Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		135-90-135µm d 90 Ø	LY-Top SIG
Copper	12µm			LY-Top SIG
Meteor wave	100µm		100-100-100µm d 100 Ø	LY-2 GND
Plated	15µm			LY-2 GND
Copper	12µm			LY-2 GND
Meteor wave	75µm		105-65-105µm d 80 Ø	LY-3 SIG
Plated	15µm			LY-3 SIG
Copper	12µm			LY-3 SIG
Meteor wave	75µm		105-65-105µm d 80 Ø	LY-4 SIG
Plated	15µm			LY-4 SIG
Copper	12µm			LY-4 SIG
Meteor wave	50µm		108-RC-78	LY-5 GND
Copper	12µm			LY-5 GND
Meteor wave	50µm		108-RC-78	LY-6 VCC
Copper	12µm			LY-6 VCC
Meteor wave	50µm		108-RC-78	LY-7 VCC
Copper	12µm			LY-7 VCC
Meteor wave	50µm		108-RC-78	LY-8 GND
Copper	12µm			LY-8 GND
Meteor wave	100µm		115-90-115µm d 80 Ø	LY-9 SIG
Plated	15µm			LY-9 SIG
Copper	12µm			LY-9 SIG
Meteor wave	100µm		2013 RC-61	LY-10 GND
Plated	15µm			LY-10 GND
Copper	12µm			LY-10 GND
Meteor wave	130µm		2116 RC-90	LY-11 SIG
Plated	15µm			LY-11 SIG
Copper	12µm			LY-11 SIG
Meteor wave	175µm			LY-11 SIG
Copper	12µm			LY-12 SIG
Plated	15µm			LY-12 SIG
Copper	12µm			LY-12 SIG
Meteor wave	130µm		2116 RC-90	LY-13 GND
Plated	15µm			LY-13 GND
Copper	12µm			LY-13 GND
Meteor wave	60µm		108-RC-78	LY-14 VCC
Copper	12µm			LY-14 VCC
Meteor wave	60µm		108-RC-78	LY-15 GND
Plated	15µm			LY-15 GND
Copper	12µm			LY-15 GND
Meteor wave	100µm		2013 RC-61	LY-16 SIG
Plated	15µm			LY-16 SIG
Copper	12µm			LY-16 SIG
Meteor wave	25µm		135-90-135µm d 90 Ø	LY-Bot SIG

Thickness: 1.61mm - 1.82mm Bare Board
1.63mm - 1.84mm ENIG
not acceptable HAL
General reference - 10%
LA drawing #1233
Date 11.01.2020 / 26.05.2021
Name
Comment

© LeiterplattenAkademie 2020 - all rights reserved. Subject to change. Without guarantee.

Statistic Values

Copper volume + weight

Powerplane
243 mm³/dm²
2.16 gr/dm²

Copper thickness 27µm
Density 90%

Powerplane
108 mm³/dm²
0.96 gr/dm²

Copper thickness 12µm
Density 90%

Signal layer
108 mm³/dm²
0.96 gr/dm²

Copper thickness 27µm
Density 40%

Signal layer
148 mm³/dm²
1.32 gr/dm²

Copper thickness 37µm
Density 40%

Dielectric weight

Meteorwave 8000
2.0 gr/dm²

Reference thickness 100µm

Summary

45.37 gr/dm²

at 1.75mm PCB thickness

Via copper weight
Via copper volume
Via copper surface

14.9 mgr /100 vias at drill diameter 250µm
1.68 mm³ /100 vias
80.8 mm² /100 vias



LeiterplattenAkademie R/16T1.75c50-12c75-12#1

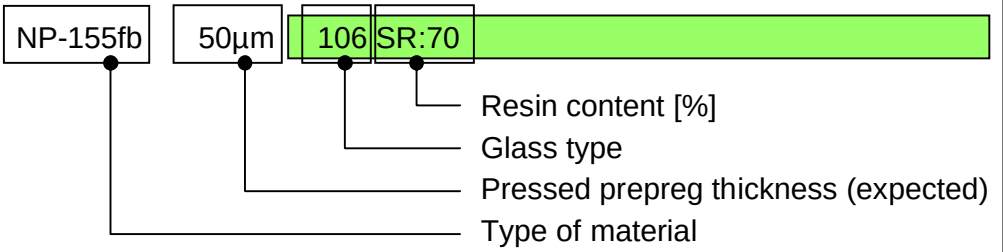
Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		135-90-135µm d 90 Q	LY-Top SIG
Copper foil	12µm		100-100-100µm d 100 Q	LY-1 SIG
Metalcore	100µm		200µm d 50 Q	LY-2 GND
Plated	15µm		100-90-100µm d 90 Q	LY-3 SIG
Copper	12µm		100-90-100µm d 90 Q	LY-4 SIG
Metalcore	75µm		100-90-100µm d 90 Q	LY-5 GND
Plated	12µm		100-90-100µm d 90 Q	LY-6 SIG
Copper	12µm		100-90-100µm d 90 Q	LY-7 VCC
Metalcore	50µm		100-90-100µm d 90 Q	LY-8 GND
Plated	12µm		100-90-100µm d 90 Q	LY-9 SIG
Copper	12µm		100-90-100µm d 90 Q	LY-10 GND
Metalcore	100µm		100-90-100µm d 90 Q	LY-11 SIG
Plated	12µm		100-90-100µm d 90 Q	LY-12 SIG
Copper	12µm		100-90-100µm d 90 Q	LY-13 GND
Metalcore	100µm		100-90-100µm d 90 Q	LY-14 VCC
Plated	12µm		100-90-100µm d 90 Q	LY-15 GND
Copper	12µm		100-90-100µm d 90 Q	LY-16 SIG
Metalcore	100µm		100-90-100µm d 90 Q	LY-Bot SIG

Thickness: 1.61mm - 1.82mm Bare Board
1.63mm - 1.84mm ENIG
not acceptable HAL
General reference v. 04

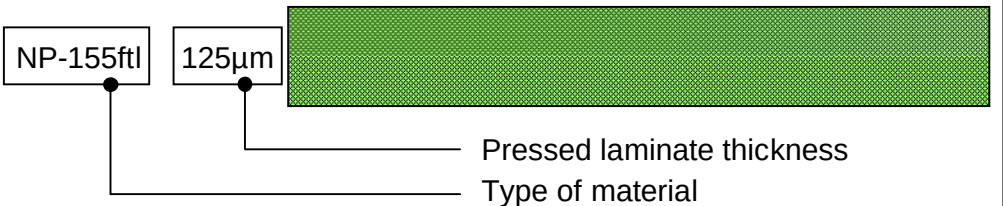
LA drawing #1233
Date 11.01.2020 / 26.05.2021 W
Name
Comment

© LeiterplattenAkademie 2020 - all rights reserved. Subject to change. Without guarantee.

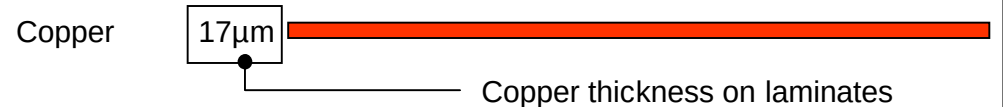
Prepreg



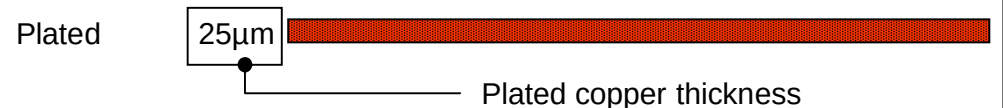
Laminate / Core for rigid parts of the PCB



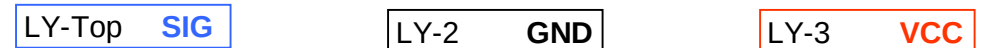
Basic copper on laminates or copper foils pressed on the surface



Galvanic deposited copper on the surface and in plated vias

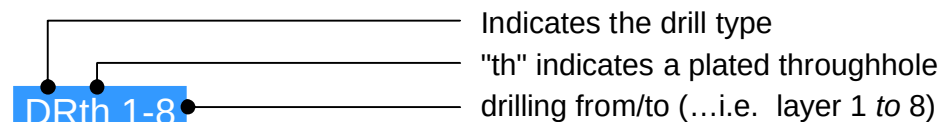


Layer names for organisation, communication and data integrity



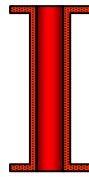
"LY" stands for "Layer" and is followed by the layers number. The first layer is called "TOP". The last layer is called "BOT". All other layers have a number. **Blue** frames and "SIG" indicate signal layers. **Black** frames and "GND" indicate ground layers. **Red** frames and "VCC" indicate power layers.

Drill names



[illegible]

Via types (plated)



Throughhole or Buried via (drill)



Blind via (drill)

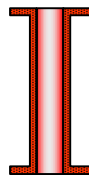


Blind via (laser)

(not plated)



Via types (plugged with silver paste)



Throughhole or
Buried via (drill)

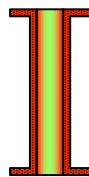


Blind via (drill)



Blind via (laser)

Via types (plugged with epoxy resin)



Edge metallization



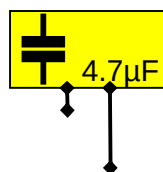
Some layers are connected to the copper at the edge of the PCB as shown in the stackup plan.

Plane capacitance



The capacitance of adjacent power planes is used.

Resonance frequency



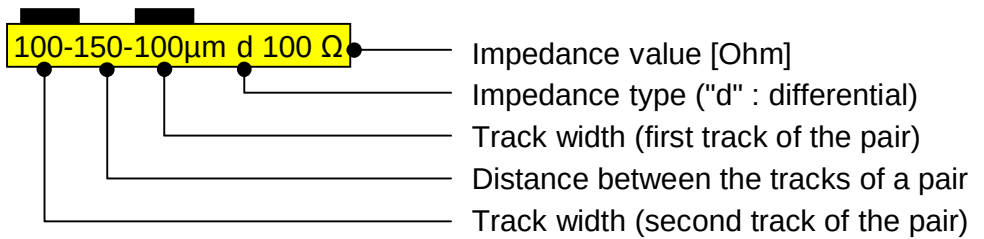
Reduce resonance frequency.
Value of capacity components.

Connection between the power supplies.

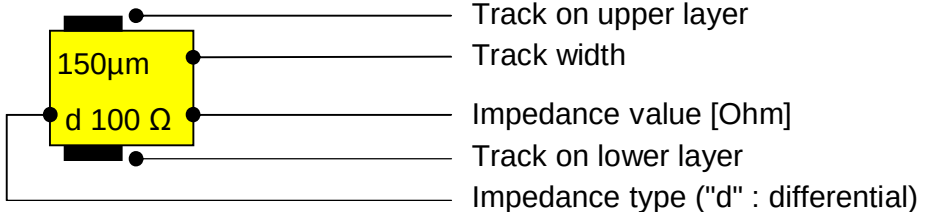


Material	Stack-Up	Vias	Parameter	Layer
Plated	25µm		135-90-135µm d 90 Ω	(LY-Top) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-2) GND
Metalcore	100µm		100-100-100µm d 100 Ω	(LY-2) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-3) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-3) SIG
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-4) SIG
Plated	15µm		100-100-100µm d 100 Ω	(LY-4) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-5) GND
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-5) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-6) VCC
Copper	12µm		100-100-100µm d 100 Ω	(LY-6) VCC
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-7) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-7) GND
Copper	12µm		100-100-100µm d 100 Ω	(LY-8) GND
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-8) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-9) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-9) SIG
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-10) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-10) GND
Copper	12µm		100-100-100µm d 100 Ω	(LY-11) SIG
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-11) SIG
Plated	15µm		100-100-100µm d 100 Ω	(LY-12) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-12) SIG
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-13) GND
Plated	15µm		100-100-100µm d 100 Ω	(LY-13) GND
Copper	12µm		100-100-100µm d 100 Ω	(LY-14) VCC
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-14) VCC
Plated	15µm		100-100-100µm d 100 Ω	(LY-15) GND
Copper	12µm		100-100-100µm d 100 Ω	(LY-15) GND
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-16) SIG
Plated	15µm		100-100-100µm d 100 Ω	(LY-16) SIG
Copper	12µm		100-100-100µm d 100 Ω	(LY-17) SIG
Metalcore	75µm		100-100-100µm d 100 Ω	(LY-17) SIG

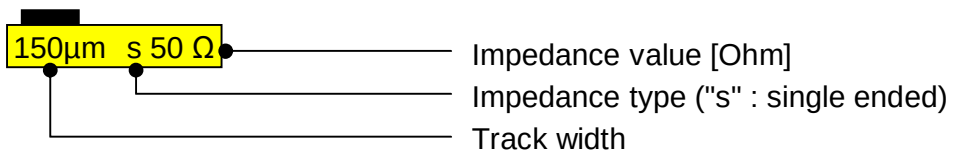
Impedance (differential)



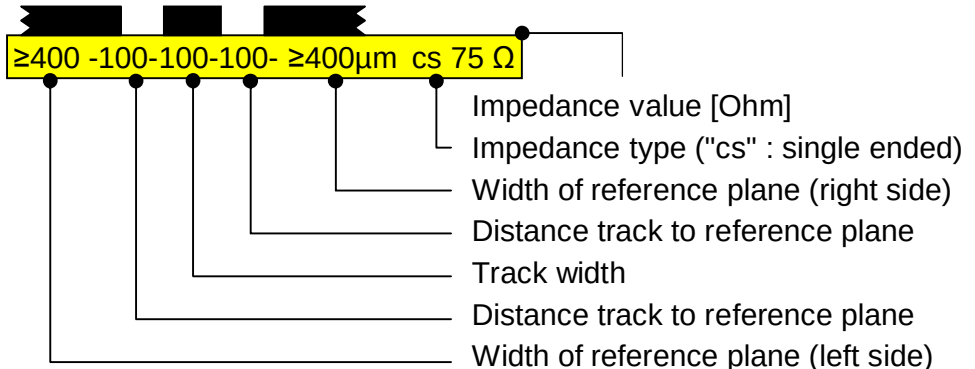
Impedance (differential broadside)



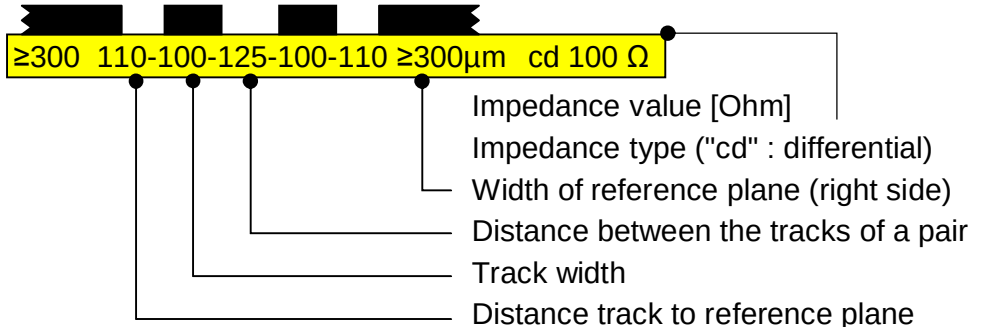
Impedance (single ended)



Impedance (coplanar single ended)



Impedance (coplanar differential)



	Variante	Layer	Material		Dicke [mm]	Qualitaet
1	Cu-Galv.	LY-Top	Galvan. Kupfer	0.025mm	0.025	SIG
2	Cu-Folie	LY-Top	Kupferfolie	0.012mm	0.012	SIG
3	Prepreg		Meteor8000 2013	0.105mm	0.105	
4	Cu-Galv.	LY-2	Galvan. Kupfer	0.015mm	0.015	GND
5	Cu-Folie	LY-2	Kupferfolie	0.012mm	0.012	GND
6	Prepreg		Meteor8000 1035	0.076mm	0.076	
7	Cu-Galv.	LY-3	Galvan. Kupfer	0.015mm	0.015	SIG
8	Cu-Basis	LY-3	Kupferfolie	0.012mm	0.012	SIG
9	Laminat		Meteor8000 0.075mm 12ym	0.075		
10	Cu-Basis	LY-4	Kupferfolie	0.012mm	0.012	SIG
11	Cu-Galv.	LY-4	Galvan. Kupfer	0.015mm	0.015	SIG
12	Prepreg		Meteor8000 1035	0.076mm	0.076	
13	Cu-Basis	LY-5	Kupferfolie	0.012mm	0.012	GND
14	Laminat		Meteor8000 0.050mm 12ym	0.050		
15	Cu-Basis	LY-6	Kupferfolie	0.012mm	0.012	VCC
16	Prepreg		Meteor8000 106	0.060mm	0.060	
17	Cu-Basis	LY-7	Kupferfolie	0.012mm	0.012	VCC
18	Laminat		Meteor8000 0.050mm 12ym	0.050		
19	Cu-Basis	LY-8	Kupferfolie	0.012mm	0.012	GND
20	Prepreg		Meteor8000 2013	0.105mm	0.105	
21	Cu-Folie	LY-9	Kupferfolie	0.012mm	0.012	SIG
22	Cu-Galv.	LY-9	Galvan. Kupfer	0.015mm	0.015	SIG
23	Prepreg		Meteor8000 2013	0.105mm	0.105	
24	Cu-Galv.	LY-10	Galvan. Kupfer	0.015mm	0.015	GND
25	Cu-Folie	LY-10	Kupferfolie	0.012mm	0.012	GND
26	Prepreg		Meteor8000 2116	0.130mm	0.130	
27	Cu-Galv.	LY-11	Galvan. Kupfer	0.015mm	0.015	SIG
28	Cu-Basis	LY-11	Kupferfolie	0.012mm	0.012	SIG
29	Laminat		Meteor8000 0.175mm 12ym	0.175		
30	Cu-Basis	LY-12	Kupferfolie	0.012mm	0.012	SIG
31	Cu-Galv.	LY-12	Galvan. Kupfer	0.015mm	0.015	SIG
32	Prepreg		Meteor8000 2116	0.130mm	0.130	
33	Cu-Basis	LY-13	Kupferfolie	0.012mm	0.012	GND
34	Laminat		Meteor8000 0.050mm 12ym	0.050		
35	Cu-Basis	LY-14	Kupferfolie	0.012mm	0.012	VCC
36	Prepreg		Meteor8000 106	0.060mm	0.060	
37	Cu-Folie	LY-15	Kupferfolie	0.012mm	0.012	GND
38	Cu-Galv.	LY-15	Galvan. Kupfer	0.015mm	0.015	GND
39	Prepreg		Meteor8000 2013	0.105mm	0.105	

ISW

Bauplan Ri16T1.75c50-12c75-12#1

06.06.2021

	Variante	Layer	Material		Dicke [mm]	Qualitaet
40	Cu-Folie	LY-Bot	Kupferfolie	0.012mm	0.012	SIG
41	Cu-Galv.	LY-Bot	Galvan. Kupfer	0.025mm	0.025	SIG

Gesamtdicke : 1.714 mm
 Bautyp ISW-Nummer : 1233
 Bautypbezeichnung : Ri16T1.75c50-12c75-12#1
 LP-Bauklasse : Starre Leiterplatte

Materialsummen

Referenz	Materialtyp		Anzahl
Cu-Basis	Kupferfolie	0.012mm	10
Cu-Folie	Kupferfolie	0.012mm	6
Cu-Galv.	Galvan. Kupfer	0.015mm	8
Cu-Galv.	Galvan. Kupfer	0.025mm	2
Laminat	Meteor8000	0.050mm 12ym	3
Laminat	Meteor8000	0.075mm 12ym	1
Laminat	Meteor8000	0.175mm 12ym	1
Prepreg	Meteor8000 106	0.060mm	2
Prepreg	Meteor8000 1035	0.076mm	2
Prepreg	Meteor8000 2013	0.105mm	4
Prepreg	Meteor8000 2116	0.130mm	2

Eigenschaft

Wert

(1) AspektRatio + Kupferdicken

AspektRatio fuer DK-Vias	1/8	
Kupferbelegung Powerplane	80	%
Kupferbelegung Signalplane	40	%
Kupferdicke der Viahuelse	25	ym
Spezifisches Gewicht Kupfer	8.9	gr/cm3
Spezifisches Gewicht Dielektrikum	2.0	gr/cm3
Leiterplattengewicht	45.4	gr /dm2
Minimaler Bohrdurchmesser DK-Via	150	ym
Viahuelse DK : Kupfergewicht	15.0	mgr/100 Vias
Viahuelse DK : Kupfervolumen	1.7	mm3/100 Vias
Viahuelse DK : Kupferoberflaeche	80.8	mm2/100 Vias
Dicke des Basiskupfers	120	ym
Dicke des Folienkupfers	72	ym
Dicke des Galvanischen Kupfers	170	ym
Dicke der Dielektrika (Laminate)	400	ym
Dicke der Dielektrika (Prepregs)	952	ym
Relation Laminate zu Prepregs	>>> die Prepregdicke ist hoch	
Relation Kupfer zum Dielektrikum	>>> die Kupferdicke ist hoch	
Verpresste Dicke der Leiterplatte	1.71	mm

(2) Verpresste Dicken

Dickentoleranz (+,-)	6	%
Zugabe bei Bleizinn	80	ym
Zugabe bei HAL	60	ym
Zugabe bei Gold	20	ym
Referenzdicke	1.714	mm
Dicke des verpressten Multilayers	1.61 - 1.71 - 1.82	mm
Dicke mit Oberflaeche Bleizinn	1.69 - 1.79 - 1.90	mm
Dicke mit Oberflaeche HAL	1.67 - 1.77 - 1.88	mm
Dicke mit Oberflaeche Gold	1.63 - 1.73 - 1.84	mm
	Min	Mittel
		Max

ISW

Bauplan Ri16T1.75c50-12c75-12#1

06.06.2021

Layer	von	nach	Bohrtyp	CAD	Loch	Technologie	Extension

1	LY-Top	LY-2	BlindVia-cuf	050 ym	100 ym	Lasern	LABvc 1-2
2	LY-Top	LY-Bot	DKVia	150 ym	250 ym	Bohren	DRth 1-16
3	LY-Top	LY-Bot	THD-DK	div ym	div ym	Bohren	DRth 1-16
4	LY-Top	LY-Bot	THD-NDK	div ym	div ym	Bohren	DRndk 1-16
5	LY-2	LY-3	BlindVia-cuf	050 ym	100 ym	Lasern	LABvc 2-3
6	LY-2	LY-9	BuriedVia-plg	050 ym	150 ym	Bohren	DRbup 2-9
7	LY-3	LY-4	BuriedVia	050 ym	150 ym	Bohren	DRbu 3-4
8	LY-10	LY-15	BuriedVia-plg	050 ym	150 ym	Bohren	DRbup 10-15
9	LY-11	LY-12	BuriedVia	050 ym	150 ym	Bohren	DRbu 11-12
10	LY-15	LY-14	BlindVia-cuf	050 ym	100 ym	Lasern	LABvc 15-14
11	LY-Bot	LY-15	BlindVia-cuf	050 ym	100 ym	Lasern	LABvc 16-15

Variable

Layer von nach	...referenziert die Extensions der LeiterplattenAkademie
CAD	...ist die CAD-Vorgabe fuer den Enddurchmesser
Loch	...ist der zu fertigende Lochdurchmesser
Technologie	...ist die Vorgabe fuer die Fertigungsart des Loches Die Technologie wird mit den ersten zwei Buchstaben der Extension angegeben : DR=Drill/Bohren LA=Lasern PU=Stanzen
Extension	...bezieht sich auf die Syntax der LeiterplattenAkademie Angaben wird der Lochtyp von Layer... nach Layer...

Bohrtyp

DkVia	Kontaktierte Vias (DK ~ Durchkontaktierung)
DkVia-plg	Kontaktierte und gepluggte (epoxy filling) Vias
DkVia-cuf	Kontaktierte und gepluggte (copper filling) Vias
DkViaBGA-plg	Kontaktierte und gepluggte Vias speziell fuer BGAs
BlindVia	Kontaktierte BlindVias
BlindVia-cuf	Kontaktierte und gepluggte (copper filling) BlindVias
BlindVia-plg	Kontaktierte und gepluggte (epoxy filling) BlindVias
BuriedVia	Kontaktierte BuriedVias
BuriedVia-plg	Kontaktierte und gepluggte (epoxy filling) BuriedVias
THD-DK	Kontaktierte THDs
THD-NDK	Nicht kontaktierte THDs

Teilfertigungen

ISW

Bauplan Ri16T1.75c50-12c75-12#1

06.06.2021

Layer	von	nach	Bohrtyp	CAD	Loch	Technologie	Extension
Teilfertigung	Layer von nach		Information				
1.TFG	LY-3	LY-4	Laminat	doppelseitig			
2.TFG	LY-11	LY-12	Laminat	doppelseitig			
3.TFG	LY-2	LY-9	Core	1			
4.TFG	LY-10	LY-15	Core	2			

	Layer	Impedanzklasse	Impedanzmodul	Impedanz	Toleranz
1	LY-Top	Single Ended	Surface Microstrip	50 Ohm	5.0 Ohm
2	LY-Top	Differentiell	Surface Microstrip	100 Ohm	5.0 Ohm
3	LY-3	Differentiell	Dual Stripline	80 Ohm	5.0 Ohm
4	LY-3	Single Ended	Dual Stripline	40 Ohm	5.0 Ohm
5	LY-4	Single Ended	Dual Stripline	40 Ohm	5.0 Ohm
6	LY-4	Differentiell	Dual Stripline	80 Ohm	5.0 Ohm
7	LY-9	Differentiell	Single Stripline	80 Ohm	5.0 Ohm
8	LY-9	Single Ended	Single Stripline	50 Ohm	5.0 Ohm
9	LY-9	Single Ended	Single Stripline	40 Ohm	5.0 Ohm
10	LY-11	Single Ended	Dual Stripline	50 Ohm	5.0 Ohm
11	LY-11	Differentiell	Dual Stripline	100 Ohm	5.0 Ohm
12	LY-12	Differentiell	Dual Stripline	100 Ohm	5.0 Ohm
13	LY-12	Single Ended	Dual Stripline	50 Ohm	5.0 Ohm
14	LY-Bot	Differentiell	Surface Microstrip	100 Ohm	5.0 Ohm
15	LY-Bot	Single Ended	Surface Microstrip	50 Ohm	5.0 Ohm

Impedanzklasse

Differentiell	...Referenz ist ein Leiterbahnpaar
...LYn-LYm	...das Leiterbahnpaar liegt auf benachbarten Lagen
Single Ended	...Referenz ist eine einzelne Leiterbahn
Coplanar	...die Leiterbahnen sind von einer Flaeche umgeben
SFlex	...die Leiterbahnen liegen bei Starrflex im Flexbereich

Impedanzmodul

Surface Microstrip Modul	die Leiterbahnen liegen auf einer Aussenlage SIG - POW
Embedded Microstrip Modul	die Leiterbahnen liegen auf der zweiten/vorletzten Lage Kupferfreie Aussenlage - SIG - POW
Single Stripline Modul	die Leiterbahnen liegen auf einer Innenlage POW - SIG - POW
Dual Stripline Modul	die Leiterbahnen liegen auf einer Innenlage POW - SIG - SIG - POW

